

Revista "Miniwatt"

signetics

Vol. 19 - Núm. 1

75 Ptas.

Panel visualizador del Sistema Microordenador Industrial IMS

Revista Miniwatt

VOLUMEN 19 - Número 1

ENERO 1980



INDICE

Publicada por:

COMPAÑIA DE PRODUCTOS ELECTRONICOS "COPRESA", S. A.

Revista MINIWATT
Balmes, 22 - Barcelona-7

SUSCRIPCION ANUAL
(11 números) 600 Ptas.
PRECIO EJEMPLAR 75 Ptas.
CAMBIO DOMICILIO 50 Ptas.

ISSN 0210-2641
Depósito Legal B.18.387-61
GRAFESA - Nápoles, 249 - Barcelona

EDITORIAL

El acoplamiento de un equipo con microprocesador a las máquinas que se desea controlar, plantea el problema de la Entrada/Salida. Este problema se plantea tanto para el manejo de datos, como para la generación de señales para sincronizar las transferencias de dichos datos. SIGNETICS ha diseñado una serie de circuitos integrados LSI cuya finalidad es resolver de forma simple las necesidades de Entrada/Salida para microprocesadores de 8 bits. En esta línea de circuitos integrados especiales se encuentran:

PPI	*acoplador programable para periféricos*	*2655*
PCI	*acoplador programable para comunicaciones*	*2651*
SMI	*acoplador de memoria y E/S*	*2656*
PVI	*acoplador programable para video*	*2636*
UVI	*acoplador universal para video*	*2637*
MPCC	*controlador de comunicaciones, multiprotocolo*	*2652*

Paralelamente se han dirigido también esfuerzos de diseño a la disponibilidad de circuitos integrados MSI para Entrada/Salida de microprocesadores de 8 bits para aplicaciones generales o diseños específicos, tales como M 273 . . .

En el marco del certamen Sonimag se realizó un encuentro entre la firma Copresa y representantes de Escuelas Técnicas, que fueron la culminación de las relaciones que durante largos años ha mantenido Copresa con los enseñantes de las diversas Cátedras de Electrónica. En el transcurso de este acto, se pusieron a disposición de las personas interesadas en la publicación de sus trabajos, las páginas de la Revista Miniwatt, en una colaboración siempre basada en el concepto de mutua ayuda y en el interés para el desarrollo de la técnica. La filosofía que hasta hoy se ha seguido con las Escuelas Técnicas, se pretende que alcance a todos los Centros de Formación Profesional que quieran integrarse en este sistema de ayuda y cooperación técnica.

Y como las noticias surgen abundantes en este número, también deseamos informar a nuestros lectores, en forma muy resumida, del anuncio en el propio Sonimag de los premios de investigación creados por Copresa, cuyas bases van a ser publicadas de inmediato en diversos medios de difusión y que esperamos obtengan una buena acogida entre aquellos a quienes van dirigidos.

Periférico programable (PPI) 2655 (continuación)

Es continuación y final del artículo del mismo título cuya primera parte se publicó en Revista Miniwatt, volumen 18, número 10.

Modo de temporizador

El modo de temporizador da al PPI 2655 la posibilidad de efectuar medidas de amplitud de impulsos, recuento de sucesos, recuento de retardos y recuento de fin de sucesos.

Medida de amplitud de impulsos

El tiempo que transcurre entre los flancos de subida y bajada de la señal $GATE_T$ puede medirse contando el número de impulsos de sincronización de una fuente de frecuencia constante, alimentando la entrada del TCLK, tal como se muestra en la figura 12.

Recuento de sucesos

Puede contarse el número de sucesos que ocurren durante el tiempo en que la señal $GATE_T$ es activa, cuando cada suceso proporciona un impulso a la entrada del TCLK, como se muestra en la figura 13.

Recuento de retardo

El microprocesador carga el contador con un valor inicial, y descuenta los impulsos TCLK (cuando la señal $GATE_T$ es activa), hasta que el contador llega a cero, en cuyo momento se genera un $INTR_T$ (Petición-Temporización) de interrupción para interrumpir al microprocesador. Durante el tiempo que transcurre entre la carga del contador y la petición de interrupción, el microprocesador puede ejecutar otros programas.

Recuento de sucesos de terminal

Es un recuento de sucesos hasta que se ha producido un número determinado de éstos. Se lleva a cabo cargando el contador con un número, después de lo cual irá disminuyendo éste a cada impulso de TCLK (sucesos), hasta que el contador llegue a cero. Esto genera una señal $INTR_T$, después de la cual el microprocesador puede actuar.

Estas funciones de sincronización pueden ejecutarse mediante la parte de temporización del registro B. Se utiliza un contador de 16 bits que disminuye su contenido a la velocidad del Reloj (TCLK) si la señal $GATE_T$ está en nivel activo, y genera una Petición de Interrupción ($INTR_T$) cuando llega a cero. El contador debe ser inicializado por el microordenador antes de iniciarse el contaje. Se inicializa con dos octetos, uno para los 8 bits superiores y uno para los 8 bits inferiores, a través de la barra de datos.

El recuento puede terminarse programando de nuevo el registro B, al mismo modo o a otro diferente, que también pone a cero la señal $INTR_T$.

El modo de temporizador utiliza tres terminales del registro B: uno para TCLK, otro para $GATE_T$ y uno tercero para $INTR_T$.

Registro del estado serie/temporizador

Los bits del registro de estado serie/temporizador pueden dividirse en cuatro grupos, como muestra la figura 14.

D_0 *Control de acceso a modo (MAC)*

Los modos serie y de temporizador comparten el registro B y el registro de estado serie/temporizador. El acceso a cada uno de ellos lo controla el bit MAC. Este bit controla también cual

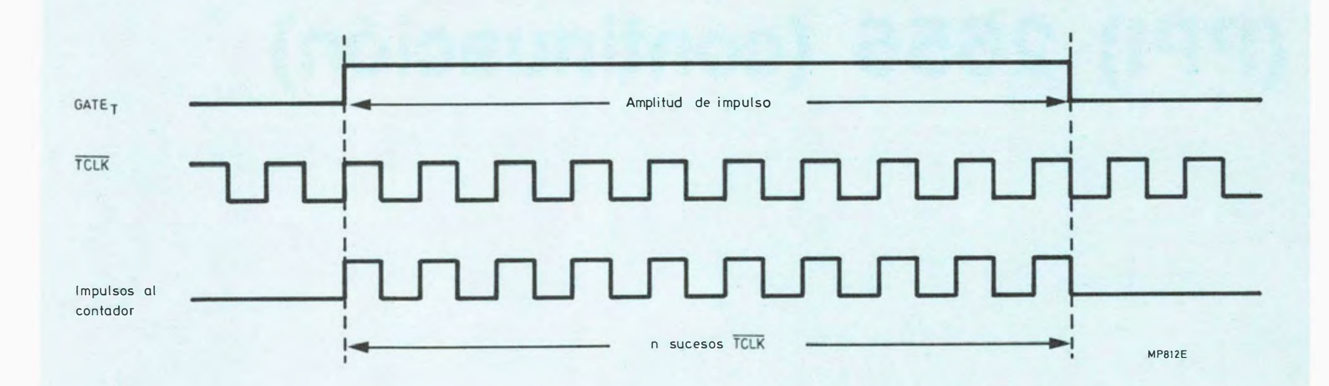


Figura 12. Medida de la amplitud de impulso en el modo de temporización.

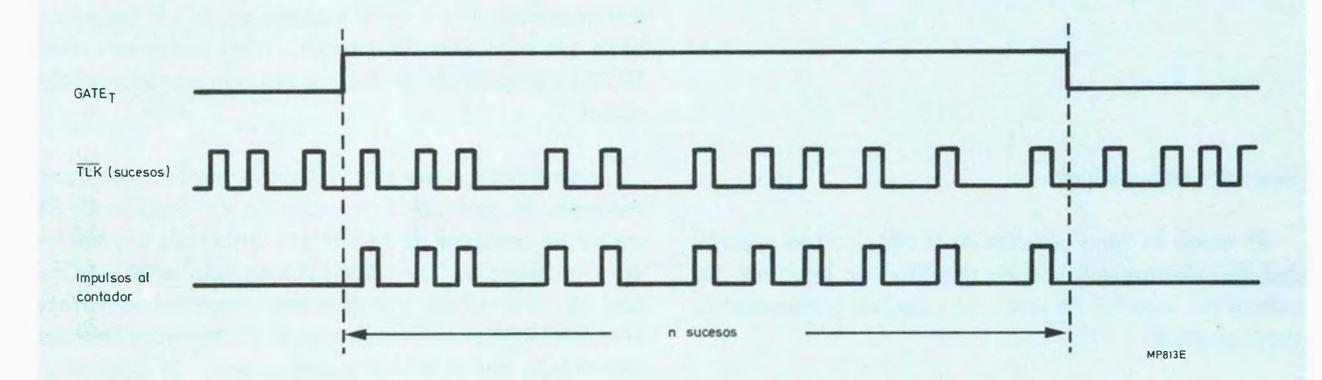


Figura 13. Recuento de sucesos en el modo de temporización.

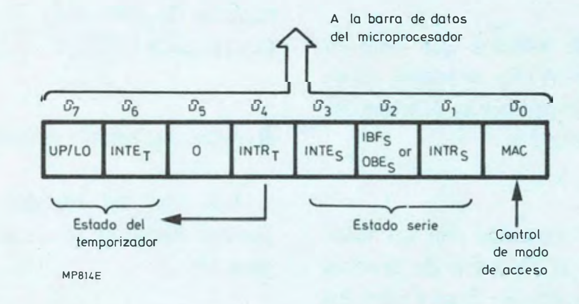


Figura 14. Información en el registro de estado serie/temporización.

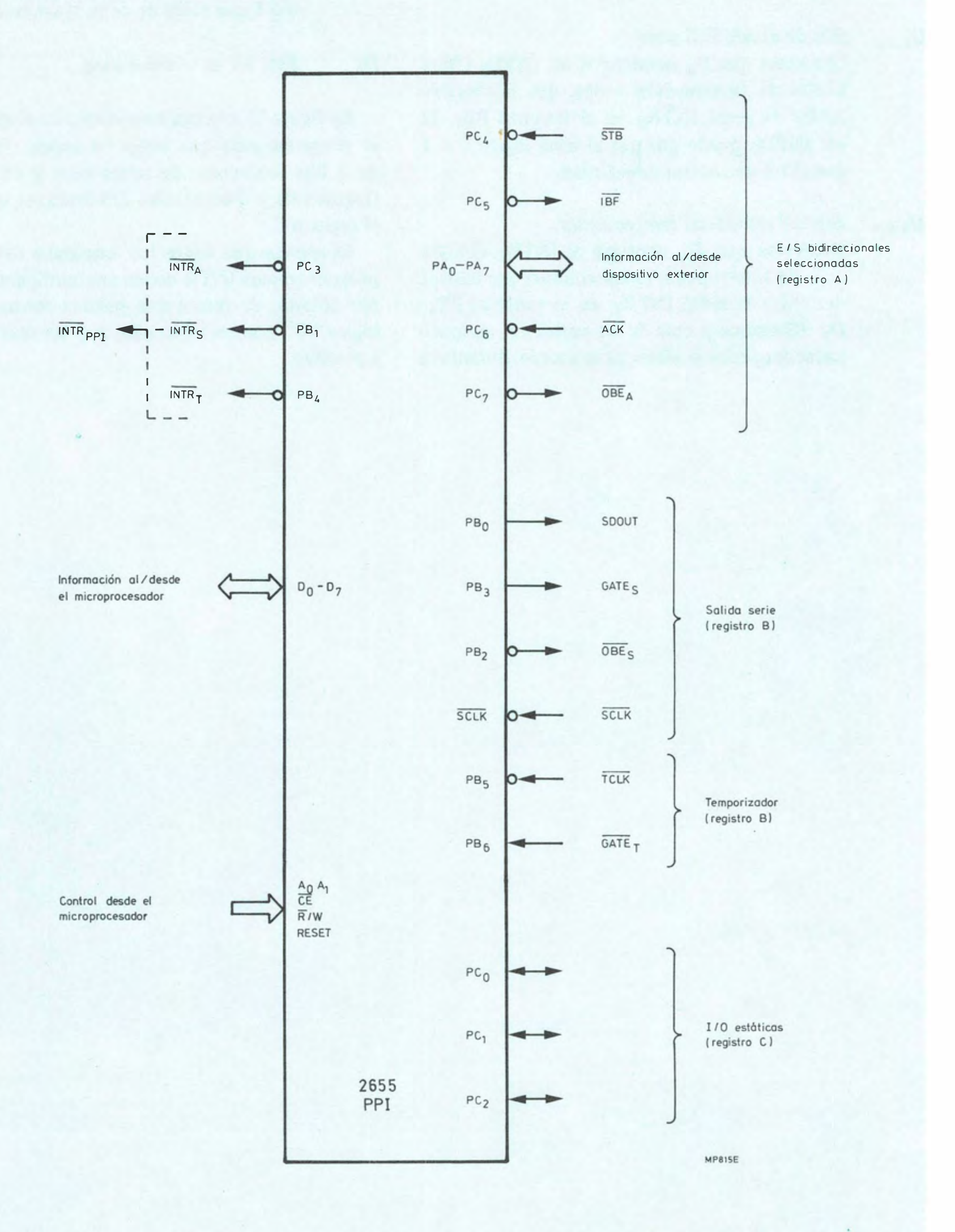


Figura 15. Ejemplo de programación de modo-múltiple del PPI 2655.

de los modos debe programarse y pone también a cero los bits apropiados de estado en el registro de estado serie/temporizador.

$D_{1,2,3}$ *Bits de estado E/S serie*
Obsérvese que D_3 contiene el bit $INTE_S$ (Inhibición de Interrupción serie), que inhibe/desinhibe la señal $INTR_S$ en el terminal PB_I. El bit $INTE_S$ puede ponerse al nivel lógico 0 ó 1 con el bit de control de set/reset..

$D_{4,6,7}$ *Bits del estado del temporizador*
Obsérvese que D_6 contiene el $INTE_T$ (Inhibición de Interrupción-temporizador) que inhibe/desinhibe la señal $INTR_T$ en el terminal PB_4. D_7 selecciona a cual de las partes del temporizador (superior o inferior) se accede, durante la lectura/escritura del/al temporizador. D_7 cambia de estado cada vez que se accede al temporizador. D_6 y D_7 pueden ponerse al nivel lógico 0 ó 1 con el bit de control set/reset.

D_5 *Este bit es siempre cero.*

La figura 15 muestra un ejemplo en el que el PPI 2655 se programa para que tenga un acceso (registro A) E/S de 8 bits, un acceso de salida serie y un temporizador (registro B) y 3 terminales E/S estáticas, que se dejan en el registro C.

Obsérvese que todos los terminales del 2655, que se programan para INTR tienen una configuración de drenador abierto, de forma que pueden formar una función lógica "0" con un nivel uno, con un resistor conectado a positivo. ■

Estructuras de entrada/salida y acoplamientos del microprocesador 2650

Este artículo estudia el empleo del conjunto de instrucciones de entrada/salida del microprocesador 2650 y el acoplamiento entre el 2650 y los registros de entrada/salida. No se describen las interrupciones y las entradas/salidas por acceso directo a memoria, DMA (Direct Memory Access). En este artículo se describen una serie de ejemplos de aplicación tanto para entradas/salidas en serie como en paralelo. También se estudian diversos tipos de entradas, salidas y dispositivos bidireccionales de acoplamiento.

INTRODUCCION

El acoplamiento de un microprocesador a los dispositivos periféricos es una parte muy importante del diseño total de un microordenador. Las características de este acoplamiento dependen en gran parte de los requisitos del sistema total y de otros factores tales como la carga u ocupación de la unidad central de procesos, CPU (Central Process Unit), y la velocidad de manejo de los datos. También es importante para la estructura de entrada/salida el empleo de interruptores y/o de estructuras de acceso directo a memoria, DMA (Direct Memory Access). El diseño de los acoplamientos de entrada/salida no está limitado por el hardware, debiéndose considerar las posibles alternativas entre hardware y software.

Estructura básica de entrada/salida del microprocesador 2650

El 2650 dispone de una amplia y muy versátil variedad de posibilidades de entrada/salida. Puede realizar esta operación tanto bit a bit como con 8 bits en paralelo.

La entrada y la salida de un bit, denominadas SENSE (Patilla 1) y FLAG (Patilla 40) están asociadas con la palabra superior de estado del programa, PSWU (Program Status Word Upper).

La salida FLAG refleja el valor del sexto bit de la PSWU, mientras que en el bit 7 de ésta se refleja el valor de la señal de entrada aplicada en SENSE. Las señales FLAG y SENSE pueden ser utilizadas mediante las instrucciones de manejo de la palabra de estado del programa, PSW (Program Status Word).

La entrada/salida en paralelo puede efectuarse empleando las instrucciones de lectura y escritura extendidas y no extendidas. La forma extendida y no extendida se distinguen mediante el estado de la salida $E/\overline{NE}$ del microprocesador 2650.

Las instrucciones de entrada/salida no extendidas son instrucciones de un solo octeto que realizan una transferencia de datos del octeto del exterior del 2650 hacia el interior, o viceversa. También controlan el estado de la salida $D/\overline{C}$ que puede emplearse como selección del periférico DATA o CONTROL en los sistemas pequeños.

Las instrucciones de entrada/salida extendidas son instrucciones de 2 octetos. Al ejecutarlas, el segundo octeto de la instrucción aparece en los 8 bits inferiores de la barra de direcciones (ADR0 – ADR7). Esta información se emplea normalmente como dirección o selección de un periférico de entrada/salida al que se debe hacer la transferencia entre los 256 posibles, pero también puede ser empleado como control de salida o como señales de estado.

Las operaciones de entrada/salida en paralelo pueden

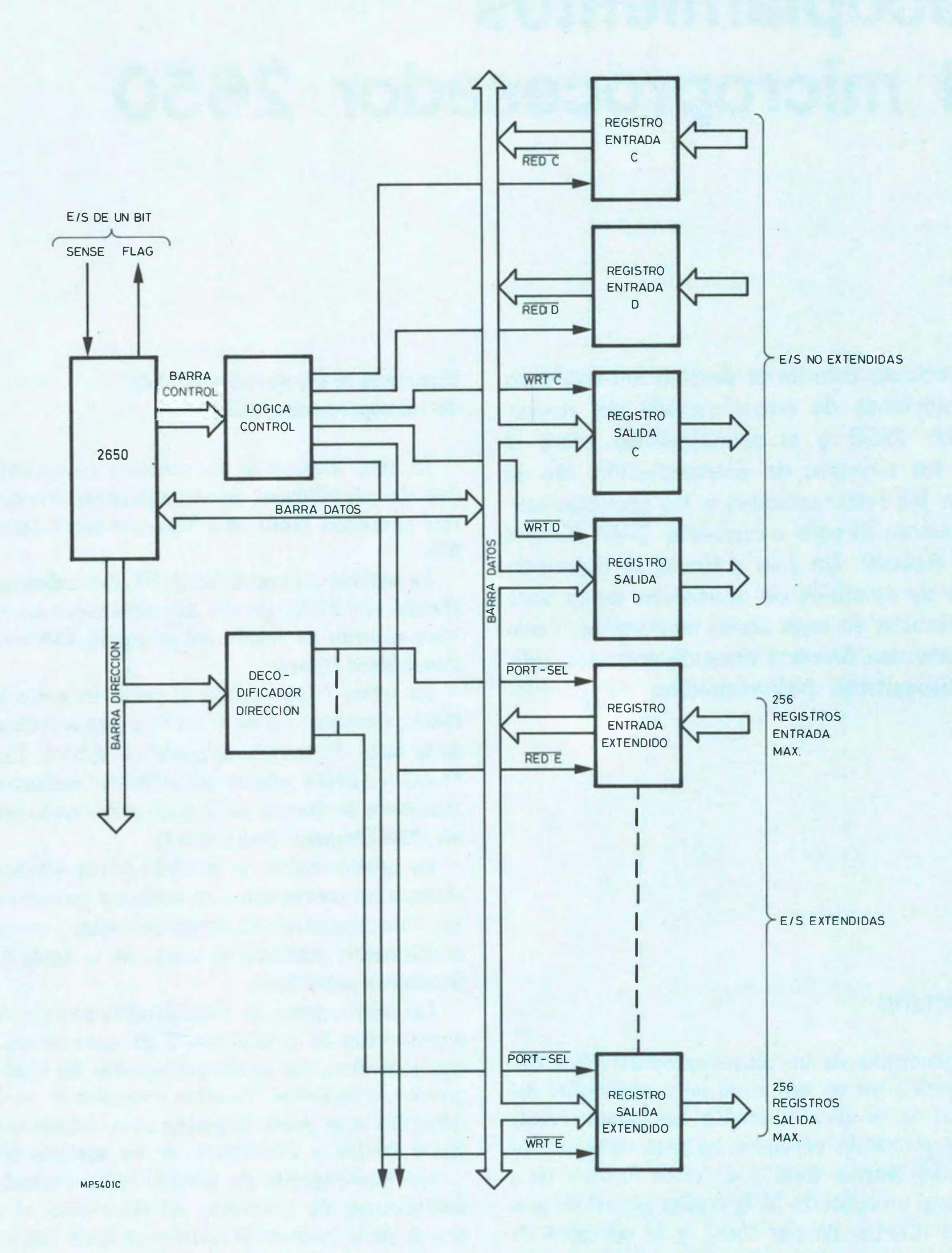


Figura 1. Posibilidades de entrada/salida del 2650. Diagrama general en bloques.

emplear cualquier registro de la CPU. Esto ofrece una gran flexibilidad en la estructura del software de entrada/salida, puesto que no existe un registro acumulador que de lugar a un "cuello de botella" en el flujo de datos. El diagrama funcional de bloques de la figura 1 ilustra las diversas posibilidades de entrada/salida.

Entrada/salida direccionada como memoria

El usuario del 2650 puede elegir la posibilidad de efectuar una transferencia de datos desde el exterior hacia el interior o viceversa, empleando las señales de control de memoria. La ventaja de esta técnica consiste en que los datos pueden leerse o escribirse mediante el programa, empleando las instrucciones de almacenamiento y carga de memoria, pudiéndose trabajar directamente sobre los datos mediante instrucciones lógicas o aritméticas. De esta forma puede utilizarse para tratamiento a periféricos la totalidad de las formas de acceso a memoria que permite el repertorio de instrucciones del 2650 como son el indexado, directo, indirecto, etc. Una posible desventaja de este método consiste en que puede resultar necesario decodificar un mayor número de líneas de dirección para determinar la identificación del periférico frente a las necesarias para el resto de posibilidades de entrada/salida descritas.

Para poder emplear esta técnica, el diseñador asigna direcciones de memoria a los periféricos de entrada/salida, diseñando los elementos de adaptación para responder a las mismas señales que la memoria.

Señales de acoplamiento de entrada/salida

En la tabla 1 se resume el estado de las señales de control de entrada/salida del microprocesador 2650 para los diversos métodos de entrada/salida disponibles.

ENTRADA/SALIDA EN SERIE EMPLEANDO LA ENTRADA SENSE Y LA SALIDA FLAG

Una de las capacidades de entrada/salida del 2650 se obtiene mediante la entrada SENSE y la salida FLAG. Las patillas correspondientes pueden emplearse para la entrada o salida bit a bit, que pueden corresponder a simples señales de E/S o a información de estado del sistema. También pueden usarse para implementar un canal de comunicaciones de datos en serie. A continuación se dan dos ejemplos de esta aplicación.

Registro de comunicaciones serie asíncronas

En las aplicaciones en las que debe conectarse un terminal del tipo serie (como por ejemplo, una teleimpresora) a un sistema de microordenador, pueden emplearse los terminales SENSE y FLAG para efectuar la adaptación con el terminal. En la figura 2 se muestra el formato básico de los caracteres típicos de una entrada/salida serie asíncrona.

Para los diferentes tipos de terminales, existen diferentes parámetros para este formato de carácter y para la velocidad de transmisión. Los parámetros de las variables son:

- velocidad de transmisión en baudios (bits por segundo): 110, 150, 300, 600, 1200, 2400, 4800 y 9600 baudios;
- número de bits por carácter: 5, 6, 7 u 8 bits;
- modo de paridad: par, impar y sin paridad;
- número de bits de paro: 1 ó 2.

El control de los terminales SENSE y FLAG para la entrada/salida serie asíncrona, con los parámetros adecuados y la velocidad de transmisión en baudios correcta, puede realizarse totalmente mediante software. El hardware involucrado queda limitado a un excitador de línea y a un circuito receptor que puede ser tanto un acoplador RS232 como uno de lazo de corriente de 20 mA. En la figura 3 se muestra un acoplamiento de hardware.

El software necesario para llevar a cabo la entrada/salida serie a una línea de duplex completo puede dividirse en tres partes.

- Verificación y detección del bit de inicio. Después de cada detección de este bit se procede a la verificación de su nivel sobre el nivel bajo en intervalos de tiempo iguales a 1/6 ó a 1 intervalo de duración de un bit.
- Muestreo de los bits de datos en la mitad del período de duración del bit, dando el carácter de eco al bit de dato en la salida de FLAG y cargando aquél en el registro de la CPU.
- Entrada, eco y comprobación del bit de paridad y del de paro.

En la figura 4 se muestra un diagrama de temporización en el que se puede ver el muestreo del bit de inicio y su eco.

En las figuras 5 a 9 se presentan tres ejemplos distintos de una rutina entrada/salida serie con diferentes velocidades y parámetros. El bit y los números de retardo de la muestra (hexadecimal) en el listado de definición (figura 6) corresponden a una frecuencia del reloj de la CPU de 1 MHz. En la tabla 2 se dan los números de retardo hexadecimales para una frecuencia de 1,25 MHz. Esta tabla también da el número de instrucciones BDRR, R0 que son necesarias en la "subrutina de eco y retardo de bit" para contar los ciclos que permitirán tener una velocidad de transmisión en baudios apropiada.

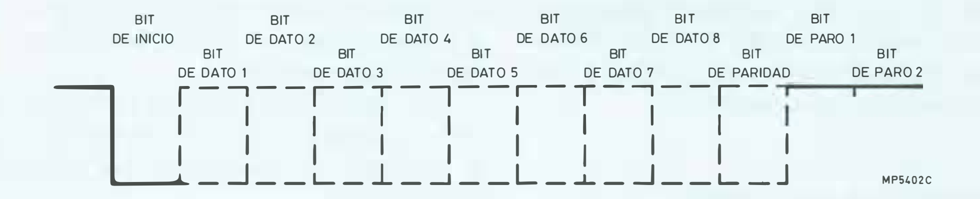


Figura 2. Formato básico de carácter para entrada/salida asíncrona.

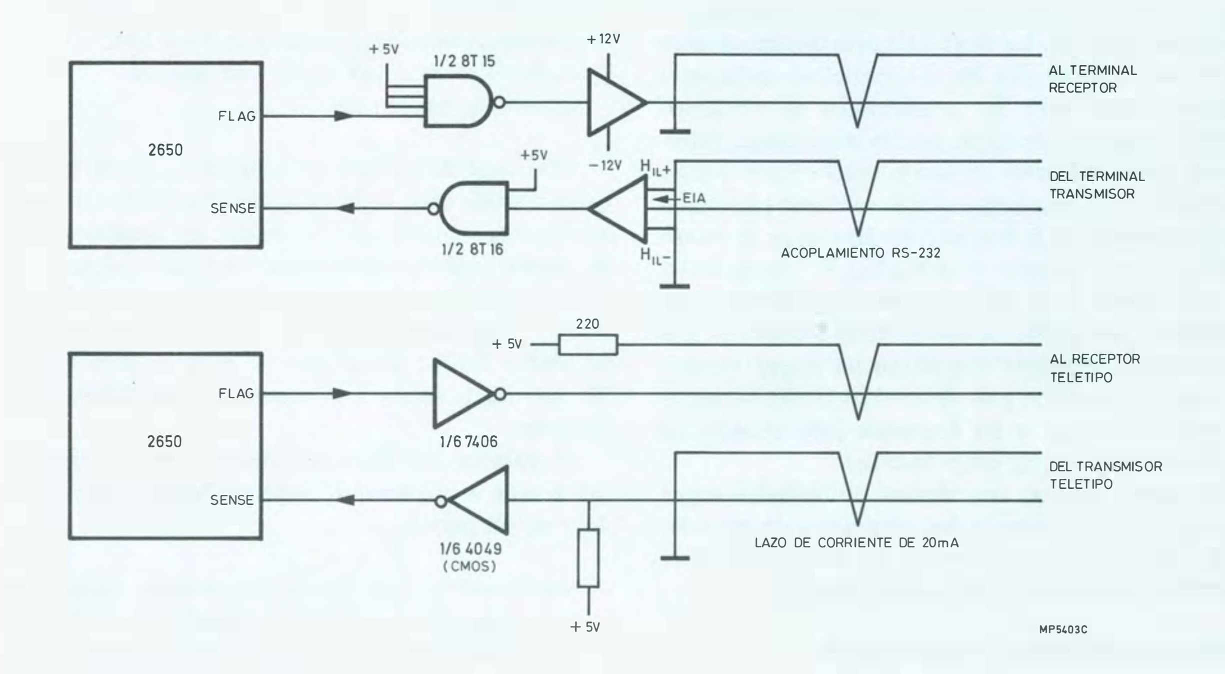


Figura 3. Acopladores de hardware de entrada/salida serie.

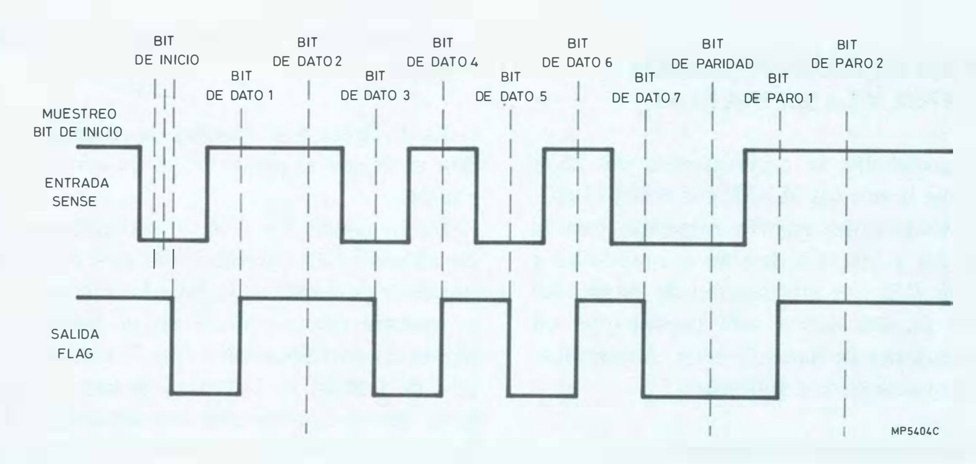


Figura 4. Diagrama de temporización E/S serie.

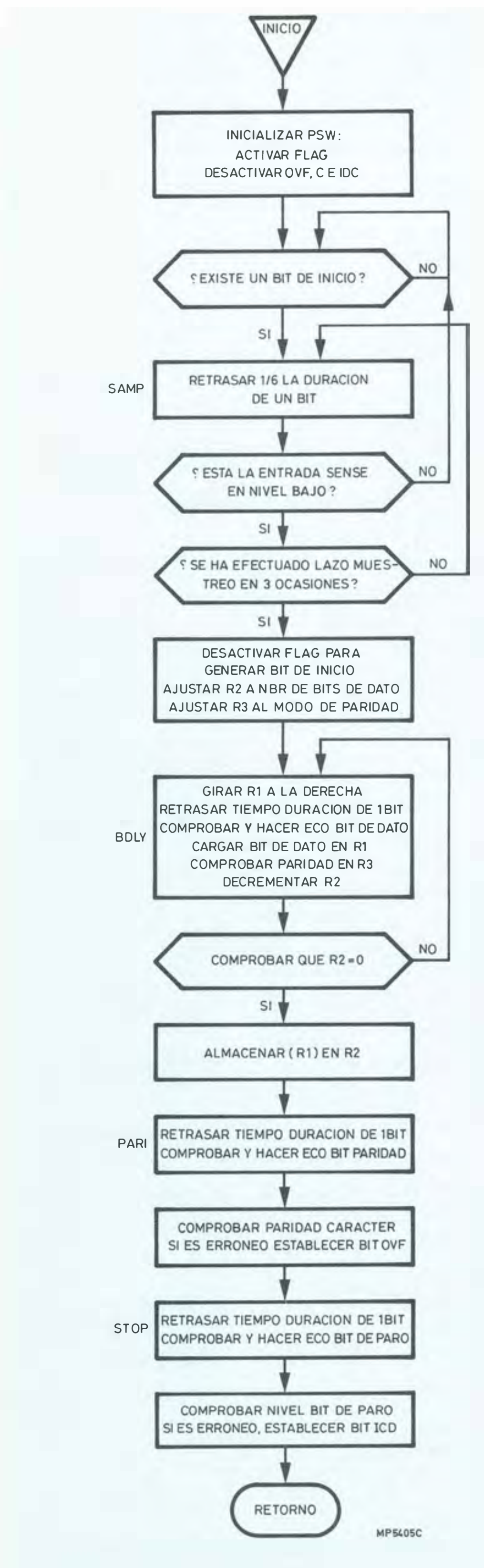


Figura 5. Diagrama de flujo de la rutina de entrada/salida serie.

Los ejemplos de las figuras 7, 8 y 9 tienen los siguientes parámetros:

- figura 7: 110 baudios, 7 bits de dato, paridad par y 1 bit de paro;
- figura 8: 600 baudios, 7 bits de dato, paridad impar y 2 bits de paro;
- figura 9: 2400 baudios, 8 bits de dato, sin paridad y 1 bit de paro.

La rutina de entrada/salida serie emplea 4 registros de la CPU (1 banco y el R0) y afecta a 7 bits de la PSW: SENSE, FLAG, OVERFLOW, CARRY, INTERDIGIT y los dos bits de CONDITION CODE. El programa también emplea un nivel de la pila de direcciones de retorno.

Un error de paridad hará aparecer el bit de OVERFLOW, mientras que uno de estructura (nivel erróneo para el bit de paro) dará lugar a la aparición del INTERDIGIT CARRY. Al final de la rutina, el carácter de entrada queda almacenado en el registro R2.

Salida de una sucesión de datos en serie

Una aplicación típica para la salida de FLAG consiste en una sucesión de datos en serie. La ventaja de esta forma de salida radica en el hecho de que se puede dar un gran número de bits de salida con un pequeño direccionamiento o decodificación de la lógica de control. Por ejemplo, este método puede emplearse en los datos de salida para un conjunto de visualizadores numéricos, indicadores de bit o excitadores de columna de una impresora numérica en paralelo. En la figura 10 se da un ejemplo del hardware necesario para implementar este tipo de canal de salida.

En este ejemplo, la salida ADR 14 (dirección 14) se emplea como señal de muestreo de datos. Esta señal también podrá formarse mediante la decodificación de un mayor número de bits de dirección de forma que la capacidad de la memoria del sistema no quede limitada a 16K octetos como en este ejemplo.

En la figura 14 se da el listado del programa que realiza esta función. Como se ilustra en la figura 11, se supone que los datos están localizados en la RAM del sistema.

El bit menos significativo del octeto de menos peso será el primero en salir. La longitud de la tabla (TLEN) y el número de bits por octeto (BPW) pueden adaptarse como sea necesario, mediante modificaciones del software. El impulso de muestreo de datos en la salida ADR14 se genera mediante la ejecución de la instrucción STRA, R0 en la dirección H"4000".

ENTRADA/SALIDA EN PARALELO

El conjunto de instrucciones del microprocesador

```
TWIN ASSEMBLER VER 2.0                                  PAGE 0001

LINE ADDR  OBJECT  E SOURCE

                     *
                     ******************************************************
                     *
                     *  *** PROGRAMABLE SERIAL I/O ROUTIN ***
                     *
                     *WITH THIS PROGRAM THE SENSE AND FLAG INPUT/OUPUT OF *
                     *THE 2650 ARE USED TO INTERFACE WITH TERMINALS       *
                     *SUCH AS TT,CRT TERMINALS, ETC VIA THE BIT SERIAL    *
                     *ASYNCHRONOUS LINE DISCIPLINE                        *
                     *
                     *ALL CHARACTERS AND LINE PARAMETERS CAN BE MODIFIED  *
                     *SIMPLY IN THE SOFTWARE THESE PARAMITERS ARE BAUD    *
                     *RATE, NUMBER OF DATA BITS, PARITY MODE AND STOP BITS*
                     *
                     *THE PROGRAM HAS BEEN SET UP FOR A FULL DUPLEX LINE  *
                     *BUT CAN BE EASILY BE MODIFIED TO HALF DUPLEX MODE   *
                     *
                     ******************************************************
                     *
                     *
                     * DEFINITIONS OF SYMBOLS
                     *
     0000            R0       EQU      0        PROCESSOR REGISTERS
     0001            R1       EQU      1
     0002            R2       EQU      2
     0003            R3       EQU      3
     0000            S        EQU      H'00'    PSU  SENSE
     0040            F        EQU      H'40'         FLAG
     0020            IDC      EQU      H'20'         INTERDIGIT CARRY
     0004            OVF      EQU      H'04'         OVERFLOW
     0001            C        EQU      H'01'         CARRY/BORROW
     0002            N        EQU      2             BRANCH CONDITTION NEGATIVE
     0003            UN       EQU      3                           UNCONDITTIONAL
                     *
                     ******************************************************
                     *
                     *SOFTWARE DEFINITIONS OF BAUD RATE, CHARACTER FORMAT, PARITY,
                     *PARIYYTY MODE, ETC
                     *
                     *NUMBER OF DATA BITS
                     *
     0008            DB8      EQU      H'08'    CHARACTER HAS 8 DATA BITS
     0080            BP8      EQU      H'80
     0007            DB7      EQU      H'07'    CHARACTER HAS 7 DATA BITS
     0040            BP7      EQU      H'40'
     0006            DB6      EQU      H'06'    CHARACTER HAS 6 DATA BITS
     0020            BP6      EQU      H'20'
     0005            B05      EQU      H'05'    CHARACTER HAS 5 DATA BITS
     0010            BP5      EQU      H'10'
                     *
                     *BIT DELAYS AT 1 MHZ CLOCK FREQUENCY
                     *
     00E0            BR01     EQU      H'E0'    BIT DELAY AT 110 BAUD
     0000            BR03     EQU      H'00'    BIT DELAY AT 300 BAUD
     0000            BR06     EQU      H'00'    BIT DELAY AT 600 BAUD
     0053            BR12     EQU      H'53'    BIT DELAY AT 1200 BAUD
     0025            BR24     EQU      H'25'    BIT DELAY AT 2400 BAUD
                     *
                     *START BIT SAMPLE DELAYS AT 1 MHZ CLOCKFRECUENCY
                     *
     00A5            SD01     EQU      H'A5'    SAMPLE DELAY AT 110 BAUD
     003A            SD03     EQU      H'3A'    SAMPLE DELAY AT 300 BAUD
     0010            SD06     EQU      H'10'    SAMPLE DELAY AT 600 BAUD
     0000            SD12     EQU      H'00'    SAMPLE DELAY AT 1200 BAUD
     0005            SD24     EQU      H'05'    SAMPLE DELAY AT 2400 BAUD
                     *
                     *PARITY MODE
                     *
     0000            EP       EQU      H'00'     EVEN PARITY
     0000            OP       EQU      H'00'     000 PARITY
                     *
```

Figura 6. Definiciones de los parámetros de entrada/salida serie.

```
TWIN ASSEMBLER VER 2.0                                  PAGE 0003

LINE ADDR  OBJECT  E SOURCE

                     ******************************************************
                     *EXAMPLE 2. FULL DUPLEX (BIT BY BIT ECHO), 600 BAUD
                     *7 DATA BITS, ODD PARITY AND 2 STOP BITS
                     *
                     *        ORG      H'0500'
     0000 7640       STRT     PPSU     F        SET FLAG TO SWITCH OFF THE LINE
     0002 7525                CPSL     OVF+C+IDC
     0004 12         TEST     SPSU              WAIT FOR START BIT
     0005 1A7D                BCTR,N   TEST
     0007 0603                LODI,R2  H'03'    SET R2 TO NUMBER OF SAMPLES
     0009 0510       SAMP     LODI,R1  SD06     SET R1 TO SAMPLE DELAY
     000B F97E                BDRR,R1  $
     000D 12                  SPSU              TEST FOR START BIT VALIDITY
     000E 1A74                BCTR,N   TEST     IF NOT VALID GO BACK TO TEST
     0010 FA77                BDRR,R2  SAMP
     0012 0700                LODI,R3  OP       SET R3 TO ODD PARITY MODE
     0014 0607                LODI,R2  DB7      SET R2 TO NUMBER OF DATA BITS
     0016 7440                CPSU     F        GENERATE START BIT
     0018 51         BITS     RRR,R1
     0019 3B1A                BSTR,UN  BDLY     GO TO DELAY  AND ECHO ROUTINE
     001B FA7B                BDRR,R2  BITS     TEST FOR NUMBER OF DATA BITS
     001D 01                  LODZ     R1
     001E C2                  STRZ     R2       LOAD R2 WITH CHARACTER
     001F 3B14       PARI     BSTR,UN  BDLY
     0021 9A02                BCFR,N   ST01
     0023 7704                PPSL     OVF      IF WRONG PARITY,SET OVF
     0025 0700       ST01     LODI,R3  0        CLEAR R3
     0027 3B0C                BSTR,UN  BDLY
     0029 1A02                BCTR,N   ST02     TEST STOP BIT LEVEL
     002B 7720                PPSL     IDC      IF WRONG, SET IDC BIT
     002D 0700       ST02     LODI,R3  0        CLEAR R3
     002F 3B04                BSTR,UN  BDLY
     0031 16         EXI1     RETC,N            TEST STOP BIT 2 LEVEL
     0032 7720                PPSL     IDC      IF WRONG, SET IDC BIT
     0034 17         EXI2     RETC,UN
                     *
                     ******************************************************
                     *BIT DELAY AND ECHO SUBROUTINE
                     *
     0035 0400       BDLY     LODI,R0  BR06     SET R0 TO BIT DELAY NUMBER
     0037 F87E                BDRR,R0  $
     0039 12                  SPSU              TEST DATA BIT LEVEL
     003A 1A04                BCTR,N   ONE
     003C 7440                CPSU     F        IF LOW, ECHO A ZERO
     003E 1B04                BCTR,UN  BIT1
     0040 7640       ONE      PPSU     F        IF HIGH, ECHO A ONE
     0042 6540                IORI,R1  BP7      INSERT DATA BIT INTO R1
     0044 23         BIT1     EORZ     R3
     0045 C3                  STRZ     R3       DO PARITY CHECK
     0046 17                  RETC,UN
                     *
     0000                     END      0

 TOTAL ASSEMBLY ERRORS = 0000
```

Figura 7. Listado del conjunto de entrada/salida serie. Ejemplo 1.

```
TWIN ASSEMBLER VER 2.0                                    PAGE 0003

LINE ADDR  OBJECT  E SOURCE

0073                 **********************************************
0074                 *EXAMPLE 1 FULL DUPLEX (BIT BY BIT ECHO), 110 BAUD
0075                 *7 DATA BITS, EVEN PARITY AND 1 STOP BIT
0076                 *
0077 0000                      ORG      H'0500'
0078 0500 7640       STRT      PPSU     F          SET FLAG TO SWITCH OFF THE LINE
0079 0502 7525                 CPSL     OVF+C+IDC
0080 0504 12         TEST      SPSU                WAIT FOR START BIT
0081 0505 1A7D                 BCTR,N   TEST
0082 0507 0603                 LODI,R2  H'03'      SET R2 TO NUMBER OF SAMPLES
0083 0509 05A5       SAMP      LODI,R1  SD01       SET R1 TO SAMPLE DELAY
0084 050B F97E                 BDRR,R1  $
0085 050D 12                   SPSU                TEST FOR START BIT VALIDITY
0086 050E 1A74                 BCTR,N   TEST       IF NOT VALID, GO BACK TO TEST
0087 0510 FA77                 BDRR,R2  SAMP
0088 0512 0700                 LODI,R3  EP         SET R3 TO EVEN PARITY MODE
0089 0514 0607                 LODI,R2  DB7        SET R2 TO NUMBER OF DATA BITS
0090 0516 7440                 CPSU     F          GENERATE START BIT
0091 0518 51         BITS      RRR,R1
0092 0519 3B12                 BSTR,UN  BDLY       GO TO DELAY AND ECHO ROUTINE
0093 051B FA7B                 BDRR,R2  BITS       TEST FOR NUMBER OF DATA BITS
0094 051D 01                   LODZ     R1
0095 051E C2                   STRZ     R2         LOAD R2 WITH CHARACTER
0096 051F 3B0C       PARI      BSTR,UN  BDLY
0097 0521 9A02                 BCFR,N   STOP
0098 0523 7704                 PPSL     OVF        IF WRONG PARITY SET OVF
0099 0525 0700       STOP      LODI,R3  0          CLEAR R3
0100 0527 3B04                 BSTR,UN  BDLY
0101 0529 16         EXI1      RETC,N              TEST STOP BIT LEVEL
0102 052A 7720                 PPSL     IDC        IF WRONG SET IDC BIT
0103 052C 17         EXI2      RETC,UN
0104                 *
0105                 **********************************************
0106                 *BIT DELAY AND ECHO SUBROUTINE
0107                 *
0108 052D 04E0       BDLY      LODI,R0  BR01       SET R0 TO BIT DELAY NUMBER
0109 052F F87E                 BDRR,R0  $
0110 0531 F87E                 BDRR,R0  $
0111 0533 F87E                 BDRR,R0  $
0112 0535 F87E                 BDRR,R0  $
0113 0537 12                   SPSU                TEST DATABIT LEVEL
0114 0538 1A04                 BCTR,N   ONE
0115 053A 7440                 CPSU     F          IF LOW ECHO A CERO
0116 053C 1B04                 BCTR,UN  BIT1
0117 053E 7640       ONE       PPSU     F          IF HIGH ECHO A ONE.
0118 0540 6540                 IORI,R1  BP7        INSERT DATABIT INTO P1
0119 0542 21         BIT1      EORZ     R1
0120 0543 C1                   STRZ     R1         GO PARITY CHECK
0121 0544 17                   RETC,UN
0122                 *
0123 0000                      END       0

 TOTAL ASSEMBLY ERRORS = 0000
```

Figura 8. Listado del conjunto de entrada/salida serie. Ejemplo 2.

```
TWIN ASSEMBLER VER 2.0                                    PAGE 0003

LINE ADDR  OBJECT  E SOURCE

0073                 ************************************************************
0074                 *EXAMPLE 3: FULL DUPLEX BIT BY BIT ECHO, 2400 BAUD
0075                 *8 DATA BITS, NO PARITY AND 1 STOP BIT
0076                 *
0077 0000                      ORG      H'0500'    SET FLAG TO SWITCH OFF THE LINE
0078 0500 7640       STRT      PPSU     F          SET FLAG TO SWITCH OFF THE LINE
0079 0502 7525                 CPSL     OVF+C+IDC
0080 0504 12         TEST      SPSU                WAIT FOR START BIT
0081 0505 1A7D                 BCTR,N   TEST
0082 0507 0603                 LODI,R2  H'03'      SET R2 TO NUMBER OF SAMPLES
0083 0509 0505       SAMP      LODI,R1  SD24       SET R1 TO SAMPLE DELAY
0084 050B F97E                 BDRR,R1  $
0085 050D 12                   SPSU                TEST FOR START BIT VALIDITY
0086 050E 1A74                 BCTR,N   TEST       IF NOT VALID, GO BACK TO TEST
0087 0510 FA77                 BDRR,R2  SAMP
0088 0512 0608                 LODI,R2  DB8        SET R2 TO NUMBER OF DATA BITS
0089 0514 7440                 CPSU     F          GENERATE START BIT
0090 0516 51         BITS      RRR,R1
0091 0517 3B04                 BSTR,UN  BDLY
0092 0519 16         EXI1      RETC,N              TEST STOP BIT LEVEL
0093 051A 7720                 PPSL     IDC        IF WRONG, SET IDC BIT
0094 051C 17         EXI2      RETC,UN
0095                 *
0096                 ********************************************************
0097                 *BIT DELAY AND ECHO SUBROUTINE
0098                 *
0099 051D 0425       BDLY      LODI,R0  BR24       SET R0 TO BIT DELAY NUMBER
0100 051F F87E                 BDRR,R0  $
0101 0521 12                   SPSU                TEST DATA BIT LEVEL
0102 0522 1A04                 BCTR,N   ONE
0103 0524 7440                 CPSU     F          IF LOW, ECHO A ZERO
0104 0526 1B04                 BCTR,UN  BIT1
0105 0528 7640       ONE       PPSU     F          IF HIGH ECHO A ONE
0106 052A 6580                 IORI,R1  BP8        INSERT DATA BIT INTO R1
0107 052C C3         BIT1      STRZ     R3
0108 052D 17                   RETC,UN
0109                 *
0110 0000                      END      0

 TOTAL ASSEMBLY ERRORS = 0000
```

Figura 9. Listado del conjunto de entrada/salida serie. Ejemplo 3.

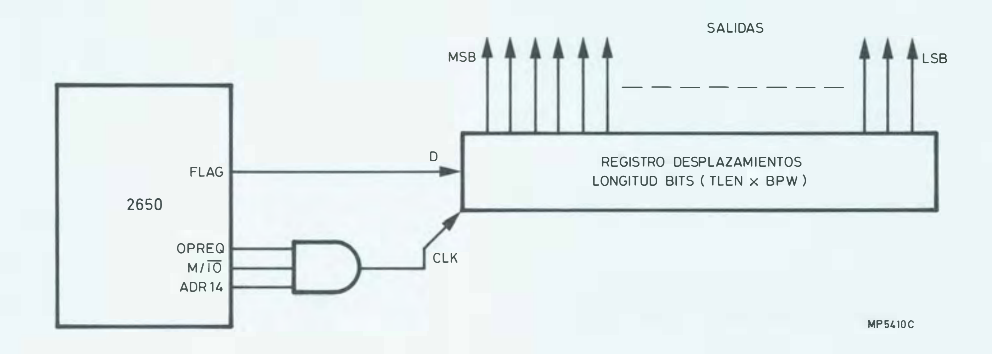


Figura 10. Diagrama de acoplamiento para la salida en cadena de datos.

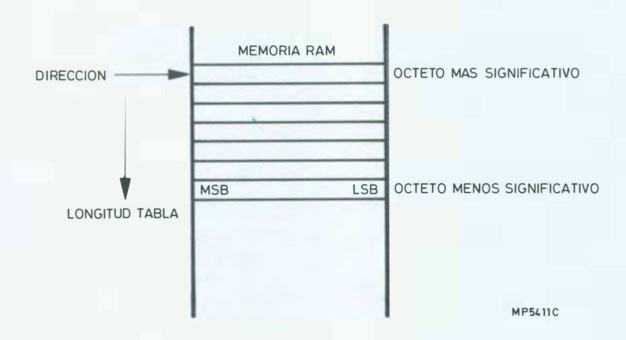


Figura 11. Organización de datos para la salida en cadena de datos.

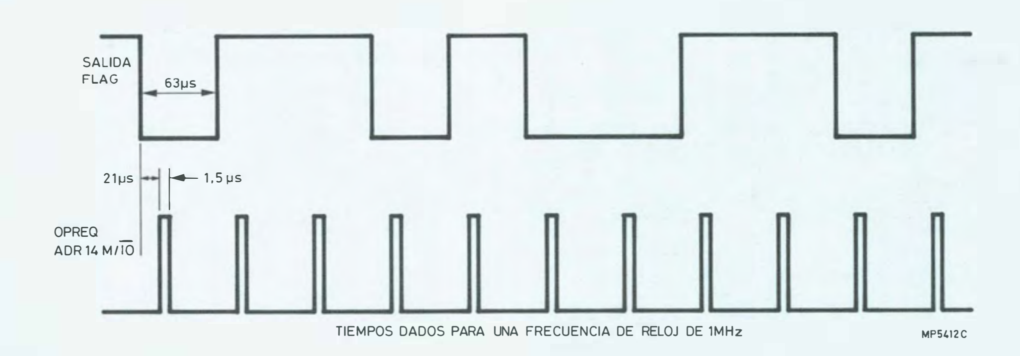


Figura 12. Diagrama de temporización para la rutina en salida de cadena de datos.

2650 contiene las seis siguientes instrucciones de entrada/salida:

		N.° octetos
$\overline{WRTC}$,RX	Control escritura	1
$\overline{REDC}$,RX	Control lectura	1
$\overline{WRTD}$,RX	Dato escritura	1
$\overline{REDD}$,RX	Dato lectura	1
$\overline{WRTE}$,RX DEVA	Escritura extendida	2
$\overline{REDE}$,RX DEVA	Lectura extendida	2

Las señales de control generadas por cada instrucción de E/S simplifican la circuitería de adaptación necesaria para generar la selección de entrada/salida y las señales de temporización. En las figuras 15 y 16 se da una adaptación económica para señales de control relacionadas con la temporización.

Cuando se emplean registros en tecnología TTL normal y de entrada (salida) de la serie 8T, las operaciones de entrada/salida podrán efectuarse sin necesidad de reducir la velocidad del sistema. Caso de que se precise reducir dicha velocidad se podría realizar controlando directamente la entrada OPACK para todas las operaciones de entrada/salida.

Entrada/salida no extendida

Las instrucciones de entrada/salida de bit a bit del 2650 se refieren a las del tipo no extendido. En los pequeños sistemas, con sólo 2 registros de entrada y de salida de 8 bits se necesitará un mínimo de hardware para el acoplamiento entre la CPU y los registros de entrada/salida. Las señales $\overline{WRTC}$, $\overline{WRTD}$, $\overline{REDC}$ y $\overline{REDD}$ generadas por el decodificador de la lógica de control de la figura 15, pueden utilizarse directamente como control y formación de impulsos para el registro de salida y como señales de sincronismo para el registro de entrada, respectivamente.

Entrada/salida secuencial con instrucciones de entrada/salida no extendidas

En los sistemas en los que se necesita dar servicio secuencial a un gran número de elementos, el empleo de un registro de salida de 8 bits ofrece un ahorro considerable en el software. Normalmente, se puede acceder a los periféricos con instrucciones extendidas de entrada/salida. Debido al hecho de que la dirección del periférico forma el segundo byte en este tipo de instrucciones, se tendría una gran cantidad de manejo de datos y de instrucciones de entrada/salida para atender a los periféricos en la forma secuencial mencionada.

Un registro de salida de 8 bits funcionando como registro de direccionamiento de periférico, puede modificarse bajo control del software. De este modo, un simple lazo de programa puede emplearse para direccionar 8 registros más considerados de entrada/salida mediante simple rotación de un "1" en el registro de la CPU qu actúa como dirección del periférico. Esta técnica de direccionamiento de entrada/salida puede también emplearse en forma ventajosa en sistemas en los que los requisitos para la operación de entrada/salida se detectan mediante examen del software. En la figura 17 se muestra un diagrama de bloques funcional de esta técnica.

Entrada/salida extendida

Existen dos instrucciones de entrada/salida extendida en el conjunto de instrucciones del 2650. En estas instrucciones de 2 octetos, el primero de ellos especifica el código de operación y la fuente de datos o el registro de destino en la CPU. El segundo da lugar a un código de dirección de 8 bits para el periférico y que se presenta como salida en los 8 bits menos significativos de la barra de direcciones; ADR0 a ADR7, cuando se ejecuta dicha instrucción.

El diagrama de decodificación de la señal de control (figura 15) puede simplificarse para sistemas que sólo emplean entradas/salidas extendidas, como se muestra en la figura 19. El diagrama de temporización de la figura 16 también puede ser aplicado a esta técnica de decodificación.

Esquemas de decodificación de la dirección de los periféricos

Para las entradas/salidas extendidas es necesario decodificar las líneas de dirección ADR0 a ADR7 con la finalidad de generar las señales adecuadas de selección de registro. La elección de un esquema de decodificación de dirección depende de factores tales como los requisitos totales de entrada/salida, el tipo de registros empleados y la configuración del sistema completo. En principio, existen dos métodos básicos de decodificación de las direcciones de los periféricos. Uno de ellos consiste en el empleo de elementos lógicos convencionales en la que la dirección queda prefijada; el otro consiste en un método programable por hardware en el que las direcciones se establecen de forma individual mediante uniones y conmutadores. En las figuras 18 y 20 se dan algunos ejemplos de estos métodos.

En muchas aplicaciones se emplea una combinación de estos dos métodos. Además, la lógica de control puede implementarse como una parte entera de la decodificación de la dirección del periférico. En la figura 21 se da un ejemplo.

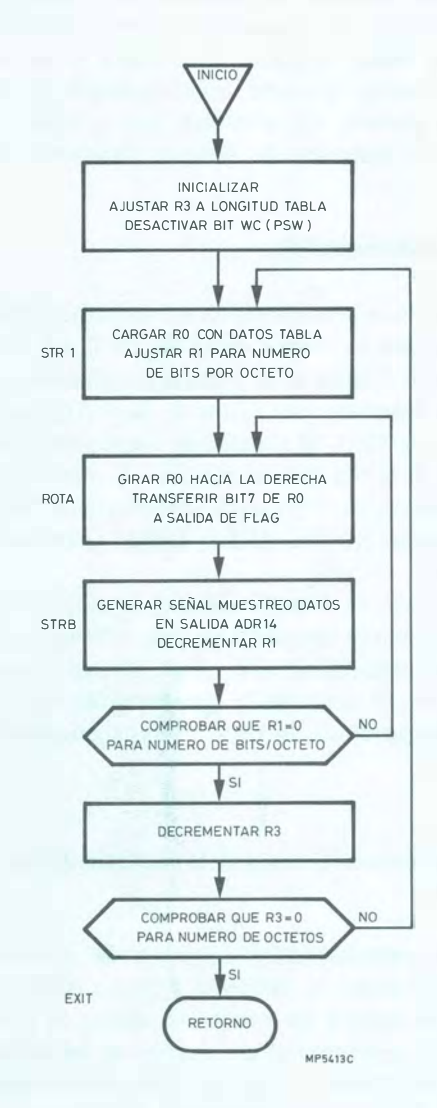


Figura 13. Diagrama de flujo de la rutina de salida de cadena de datos.

```
TWIN ASSEMBLER VER 2.0                                    PAGE 0001

LINE ADDR  OBJECT  E SOURCE

0001                 *****************************************************
0002                 *          **** DATA STRING OUTPUT ROUTINE ****
0003                 *
0004                 *THIS PROGRAM TRANSFERS THE CONTENTS OF A MEMORY TABLE IN BIT BY
0005                 *BIT SERIAL FORM TO THE FLAG OUTPUT OF THE 2650
0006                 *
0007                 *THE TABLE LENGTH AND THE NUMBER OF BITS  ARE SOFTWARE PROGRAMMED
0008                 *
0009                 *A DATA STROBE OUTPUT IS GENERATED ON THE ADDRESS 14 OUTPUT
0010                 *
0011                 ********************************************************************
0012                 *
0013                 *DEFINITIONS OF SYMBOLS
0014                 *
0015 0000            R0      EQU     0         PROCESSOR REGISTERS
0016 0001            R1      EQU     1
0017 0002            R2      EQU     2
0018 0003            R3      EQU     3
0019 0080            S       EQU     H'80'     PSU SENSE
0020 0040            F       EQU     H'40'         FLAG
0021 0008            WC      EQU     H'08'     PSL  1=WITH       0=WITHOUT CARRY
0022 0002            N       EQU     2         BRANCH COND       NEGATIVE
0023 0003            UN      EQU     3                           UNCONDITIONAL
0024                 *
0025 0007            TLEN    EQU     H'07'     TABLE LENGTH
0026 0008            BPW     EQU     H'08'     NUMBER OF BITS PER BYTE
0027                 *
0028 0000                    ORG     H'0600
0029 0600            TABL    RES     TLEN      LOCATION OF TABLE
0030                 *
0031                 *********************************************************
0032                 *
0033 0607                    ORG      H'0500'
0034 0500 0707       STRT    LODI,R3  TLEN
0035 0502 7508               CPSL     WC
0036 0504 0F6600     STR1    LODA,R0  TABL,R3   LOAD R0 WITH TABLE DATA
0037 0507 0508               LODI,R1  BPW       SET R1 TO NUMBER OF BITS PER BYTE
0038 0509 50         ROTA    RRR,R0
0039 050A 1A06               BCTR,N   ONE       TEST BIT
0040 050C 7440       ZERO    CPSU     F         IF ZERO,RESET FLAG
0041 050E 1B04               BCTR,UN  STRB
0042                 *
0043 0510 4000       ADR     DATA H'40,00'
0044                 *
0045 0512 7640       ONE     PPSU     F         IF ONE, SET FLAG
0046 0514 CC0510     STRB    STRA,R0  ADR       GENERATE STROBE SIGNAL ON R14
0047 0517 F970               BDRR,R1 ROTA       TEST FOR NUMBER OF BITS
0048 0519 FB69               BDRR,R3 STR1       TEST FOR NUMBER OF BYTES
0049 051B 17         EXIT    RETC,UN
0050 0000                    END      0

 TOTAL ASSEMBLY ERRORS = 0000
```

Figura 14. Listado del conjunto de la rutina de salida de cadena de datos.

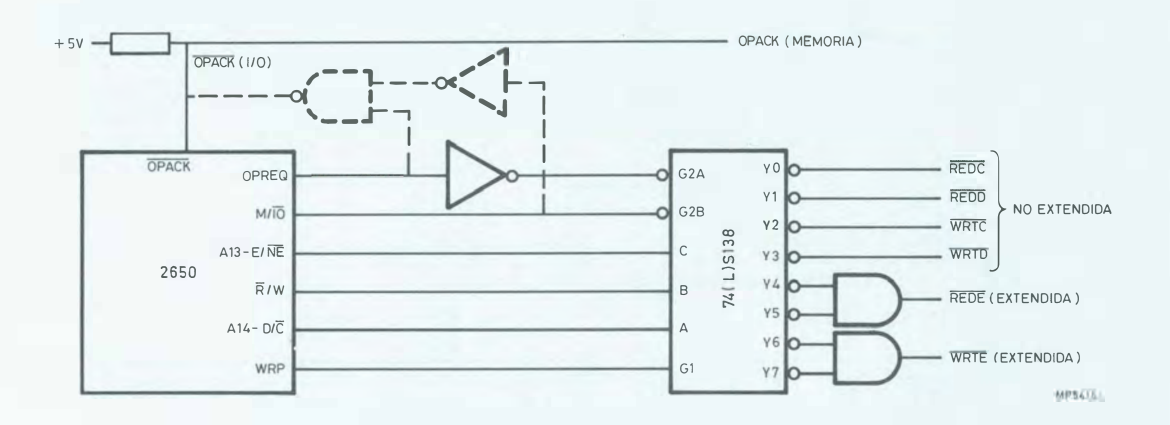


Figura 15. Acoplamiento de la señal de control empleando el decodificador 74 (L) S138.

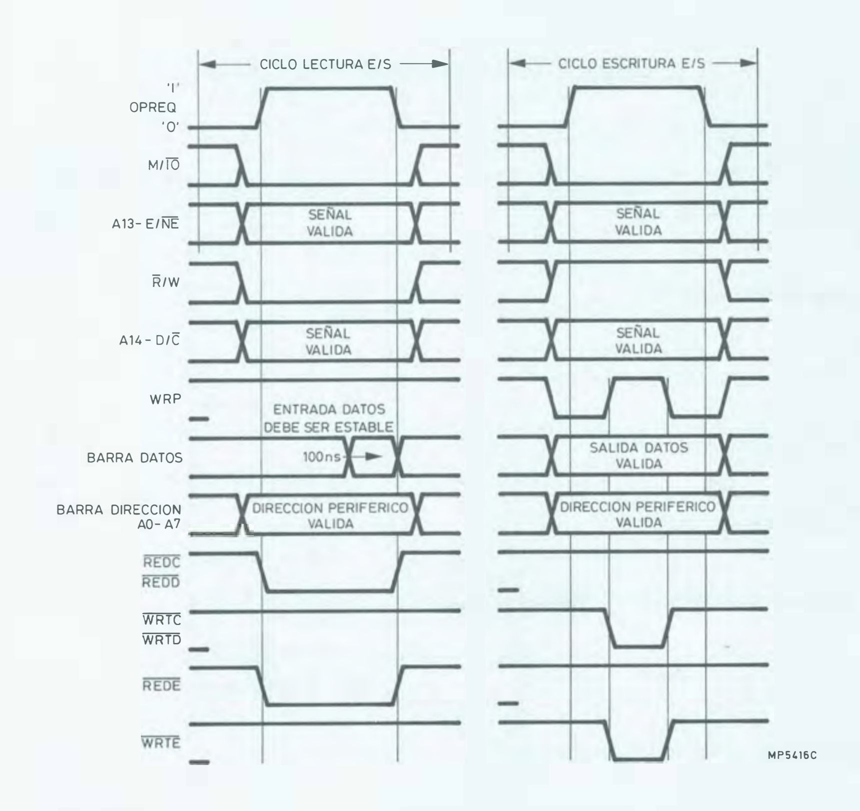


Figura 16. Diagramas de temporización del acoplamiento de entrada/salida (figura 15).

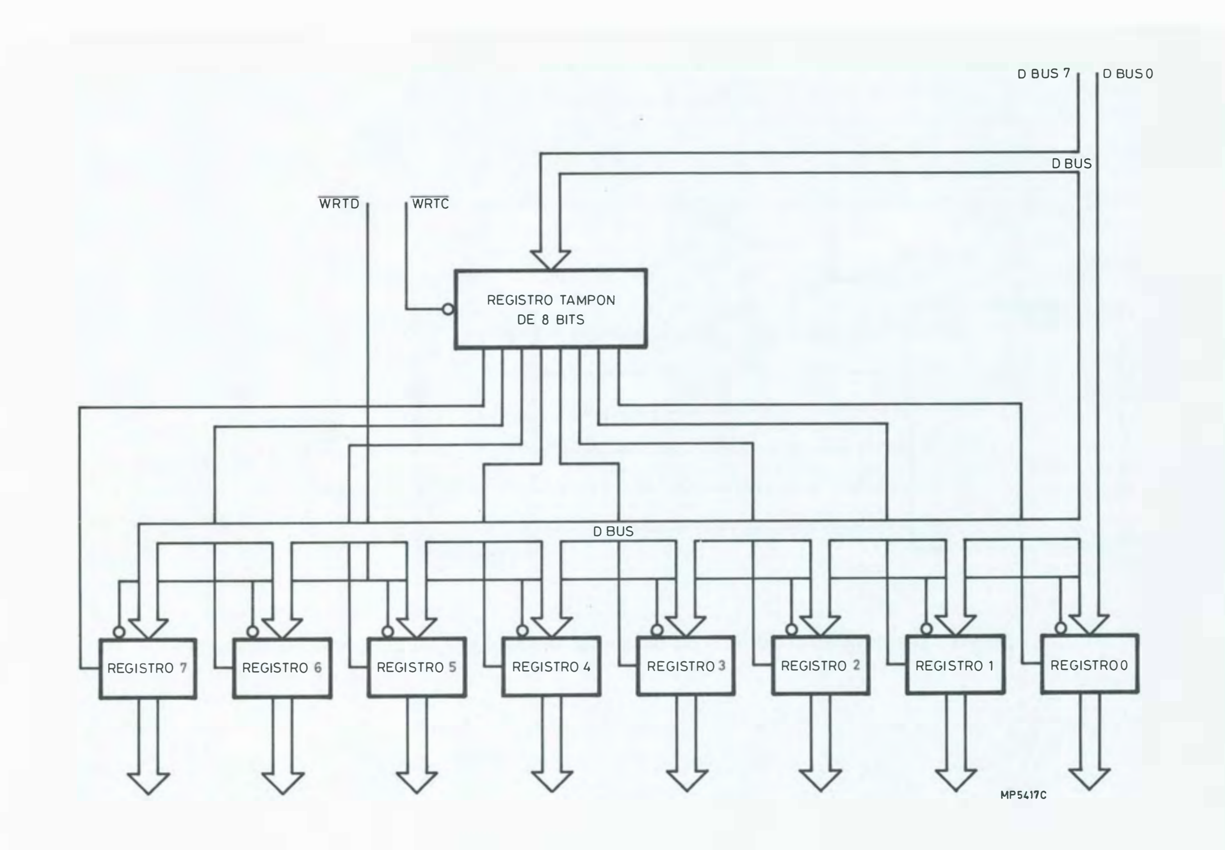


Figura 17. Técnica de entrada/salida secuencial.

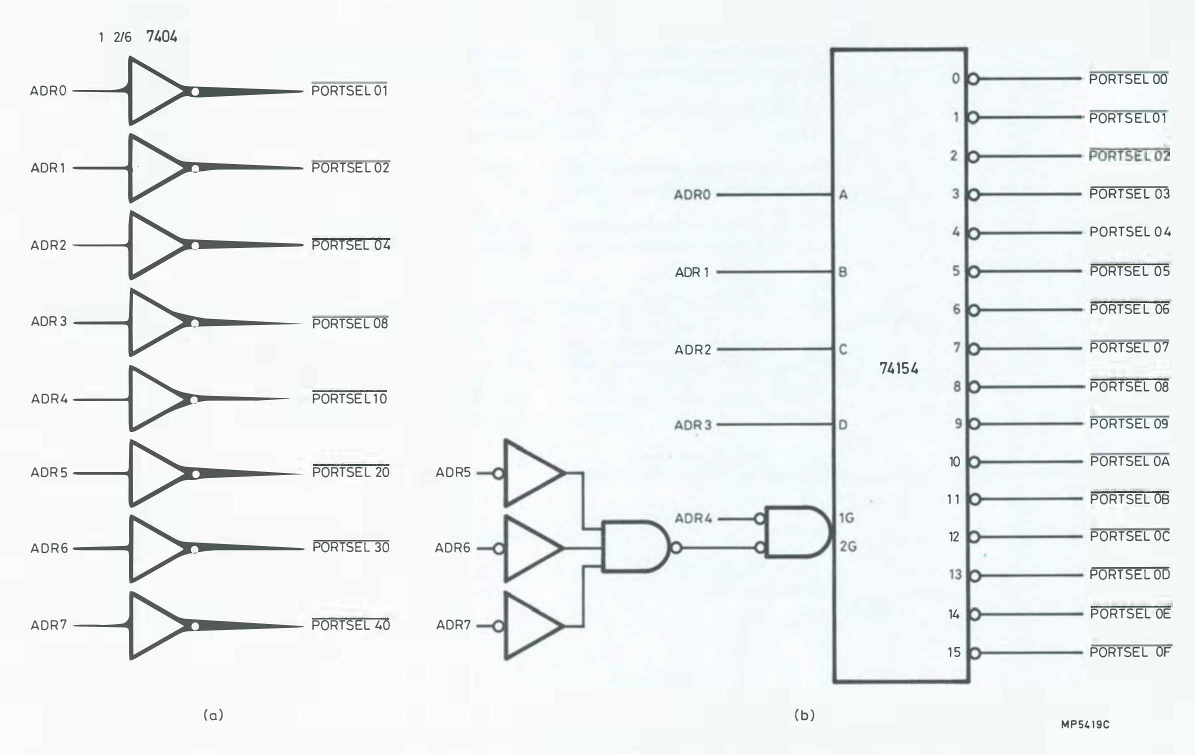
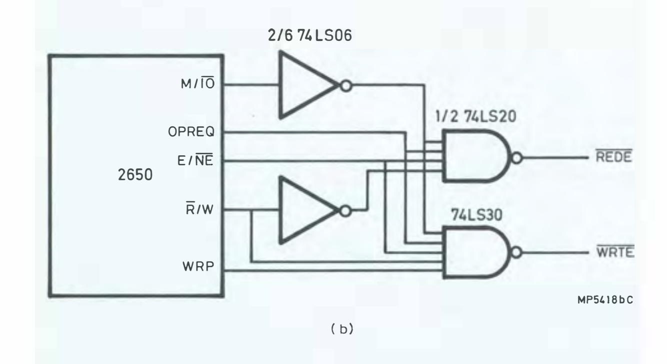


Figura 18. Algunas técnicas posibles para la decodificación de la dirección del dispositivo.

2650
M/$\overline{IO}$
/$\overline{NE}$
$\overline{R}$/W
OPREQ
WRP
G2A
G2B
C
B
A
G1
74(L)S138
Y0
Y1
Y2
Y3
Y4
Y5
Y6
Y7
$\overline{REDE}$
$\overline{WRTE}$
MP5418aC

(a)



(b)

Figura 19. Lógica de control simplificada cuando se emplea sólo la entrada/salida extendida.

Entrada/salida en forma de mapa de memoria

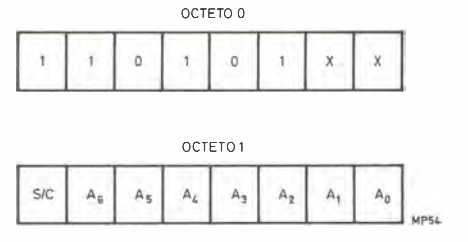
En las entradas/salidas en forma de mapa de memoria, los elementos de entrada/salida se tratan como posiciones de memoria. Una ventaja de esta técnica consiste en que todos los tipos de instrucciones de referencia de memoria (almacenamiento, carga, aritmética, lógica, etc.) pueden emplearse directamente para los datos de entrada/salida. La decodificación de las direcciones de los elementos no es necesariamente más complicada que para las entradas/salidas normales extendidas, puesto que todas las direcciones pueden localizarse en un bloque de direcciones específico. Por supuesto, esta técnica tan sólo podrá ser usada en sistemas que no empleen totalmente el espacio de direccionado de memorias para programas. En la figura 22 se da un diagrama de la lógica de control de entrada/salida utilizando la salida ADR14 para proceder a la discriminación entre la memoria y las operaciones de entrada/salida. Los métodos de decodificación de direcciones de los elementos descritos anteriormente también pueden aplicarse en los sistemas de entrada/salida en forma de mapa de memoria.

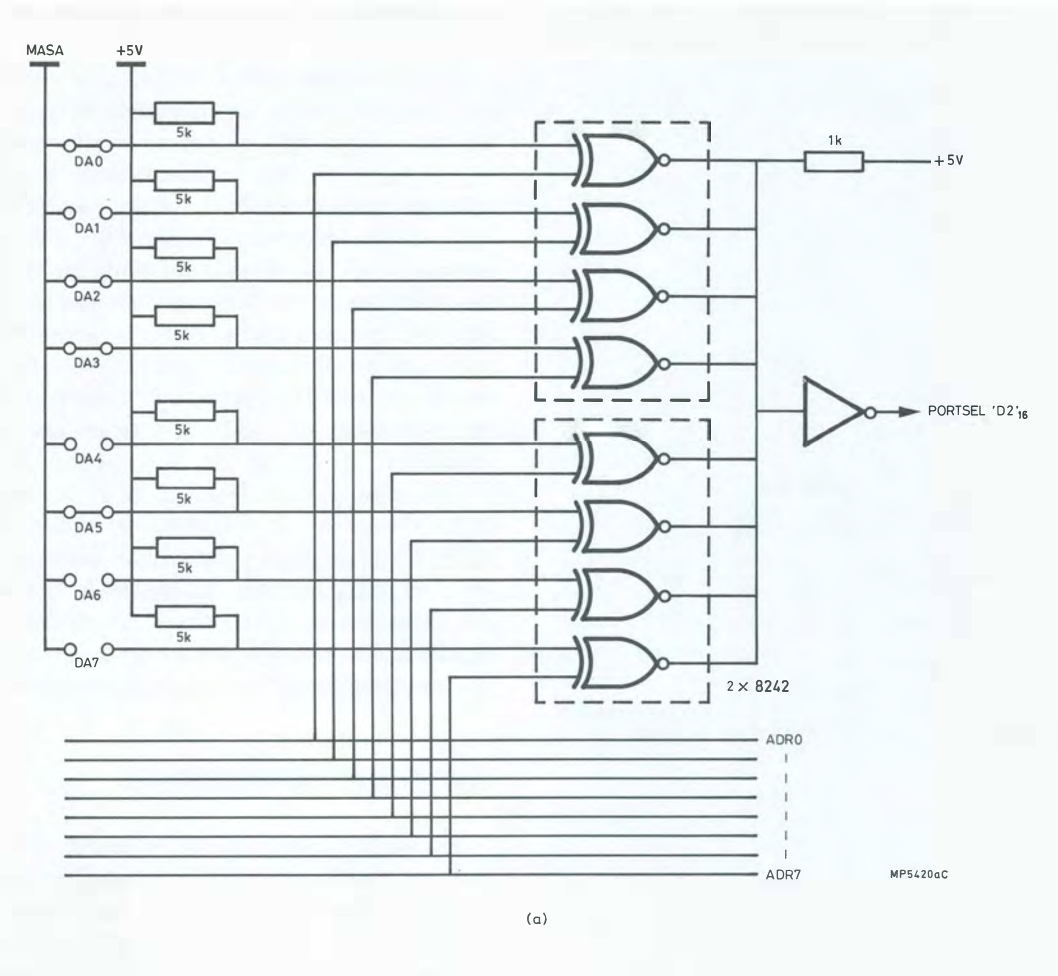
CONTROL DE UN SOLO PUNTO

En muchas aplicaciones es necesario tener la capacidad para establecer, borrar o comprobar sólo un punto de salida elegido entre una gran variedad de ellos. Los diseños de este tipo pueden implementarse utilizando las instrucciones de entrada/salida del microprocesador 2650. Cuando se emplean en la forma que se describe a continuación, las WRTE, WRTC y WRTD se convierten en instrucciones de "establecimiento/borrado de un solo bit", mientras que la REDE se convierte en una de "comprobación, también de un solo bit".

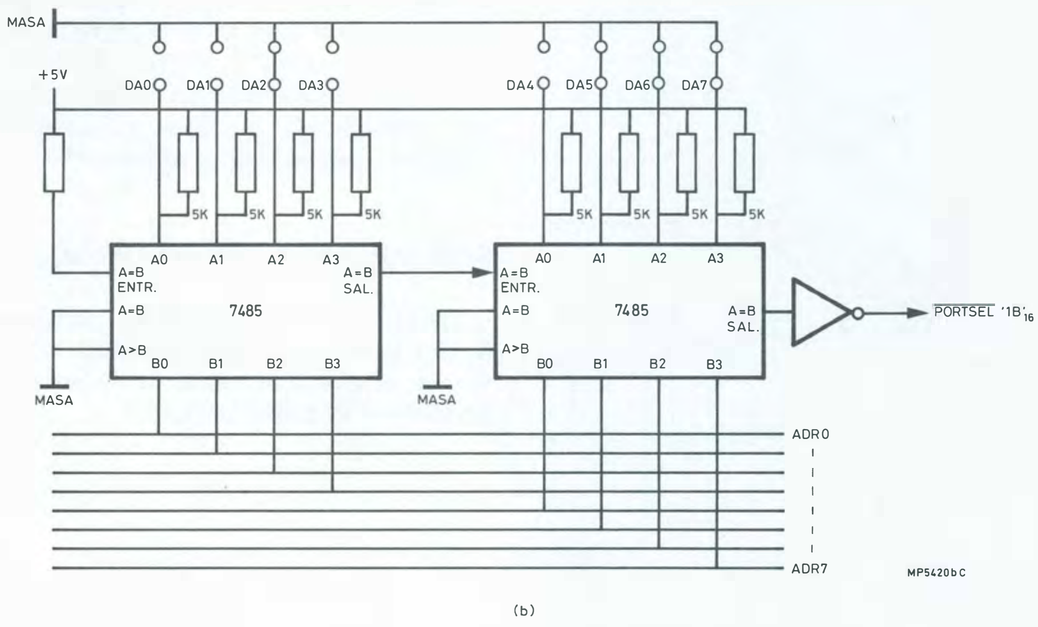
Salida de un solo bit – Dirección directa

La instrucción extendida de escritura puede emplearse para la selección y establecimiento o borrado de un solo bit de salida. Los 2 octetos de la instrucción pueden interpretarse de la siguiente forma:





(a)



(b)

Figura 20. Decodificadores de dirección del dispositivo programable por hardware.

A_0 a A_6 del segundo byte especifican la salida elegida. El bit S/C especifica si éste queda fijado o borrado. En la figura 23 se muestra una configuración de hardware típica para el control de 64 puntos. En ella la decodificación de la línea de control y la decodificación parcial de dirección se realiza mediante el 74LS138, que selecciona uno de los ocho registros 9334. Uno de los 8 registros de los del 9334 queda seleccionado mediante ADR0, ADR1 y ADR2, pudiendo ser tanto grabado como borrado en función del valor de ADR7.

El campo XX en el primer octeto elige uno de los cuatro registros internos disponibles en el banco seleccionado aplicando su contenido a la barra de datos. Puesto que esta información no se emplea en esta aplicación, el valor de XX no es importante. Sin embargo puede ser empleado para obtener un control de 8 bits o una palabra de estado de acuerdo con la operación de grabado/borrado.

Salida de un solo bit – Dirección indirecta

Si la dirección de salida que debe ser establecida o borrada queda determinada por el tiempo de funcionamiento del programa, se podrán emplear las instrucciones WRTD y WRTC. La dirección del bit de salida se carga en primer lugar en uno de los registros del 2650. Si el bit debe grabarse, se utiliza una instrucción WRTD, Rx, mientras que si debe borrarse la que se emplea es una WRTC,Rx. El bit elegido se aplica a la barra de datos, siendo la salida $D/\overline{C}$ la que lleva la información de grabado/borrado. La implementación del hardware puede ser análoga a la mostrada en la figura 23, excepto que ADR0 – ADR5 son sustituidos por DBUS0 – DBUS5 y ADR7 por $D/\overline{C}$.

Entrada de un solo bit

Empleando las técnicas anteriormente descritas puede efectuarse una entrada de un solo bit. La dirección del bit que debe comprobarse se carga en uno de los registros del 2650 y se lleva sobre un registro intermedio de 8 bits empleando una instrucción de escritura extendida o no extendida. La salida del registro se decodifica para seleccionar el bit deseado que se aplicará a continuación a la patilla de entrada SENSE. Las instrucciones de la palabra de estado del programa (PSW) del 2650 pueden emplearse para comprobar el estado de la entrada SENSE y para tomar la acción de programa apropiada.

La técnica anteriormente descrita debe emplearse si lo que se precisa es un direccionado "indirecto" de bits. Si no es así, resultará mejor emplear una implementación en la que se use una instrucción extendida de lectura. Esta técnica se basa en el hecho de que el 2650 comprueba automáticamente el contenido del registro especificado cada vez que éste se emplea como destino de una operación. Por ello, cuando la operación de lectura extendida lee los datos de un registro de entrada, los bits del código de condición en la palabra de estado del programa quedarán aplicados para reflejar la posibilidad de que los nuevos contenidos del registro sean positivos, negativos o nulos.

Para la aplicación de entrada de un solo bit, el segundo octeto de la instrucción RETE, Rx contiene la dirección del bit de entrada que debe ser comprobado. Este dato se aplica a un banco de selectores de datos, con la finalidad de seleccionar el bit direccionado, para hacer aparecer su contenido en el bit más significativo de la barra de datos, DBUS7. Puesto que éste se interpreta como el bit de signo, los bits de código de condición en el PSL quedan de forma que reflejan si el contenido del bit comprobado es uno o cero. Una instrucción de salto condicional podrá emplearse para tomar la acción deseada de programa. En la figura 24 se da una implementación de hardware para 64 entradas. Obsérvese que en este método no se necesita registro intermedio de dirección.

DISPOSITIVO DE ENTRADA

Entrada sincronizada

La forma más sencilla de un registro de entrada es la utilización de elementos de tres estados. La figura 25 ilustra el empleo de un elemento de acoplamiento hexadecimal con tres estados de alta velocidad 8T97 para la realización de esta forma de entrada. El 8T97 es una puerta no inversora y las señales de control habilitan el uso del acoplamiento en grupos de 4 y de 2, de forma que se puedan implementar eficazmente las puertas de 8 bits.

Un circuito efectivo para ser empleado en sistemas con entrada de 8 bits es el 74251, multiplexor de 8 entradas 1 canal. La salida de tres estados puede acoplarse directamente a la barra de datos. La ventaja que ofrece este circuito consiste en que no requiere lógica externa de decodificación de dirección. En la figura 26 se puede ver una configuración de este tipo en la que se emplea el multiplexor 74251.

Además de estas dos configuraciones, existen otras muchas posibles empleando circuitos TTL normales o circuitos lógicos de la serie 8T.

Registros de entrada intermedios

Los registros de entrada intermedios pueden ser necesarios para almacenamiento de datos procedentes de un

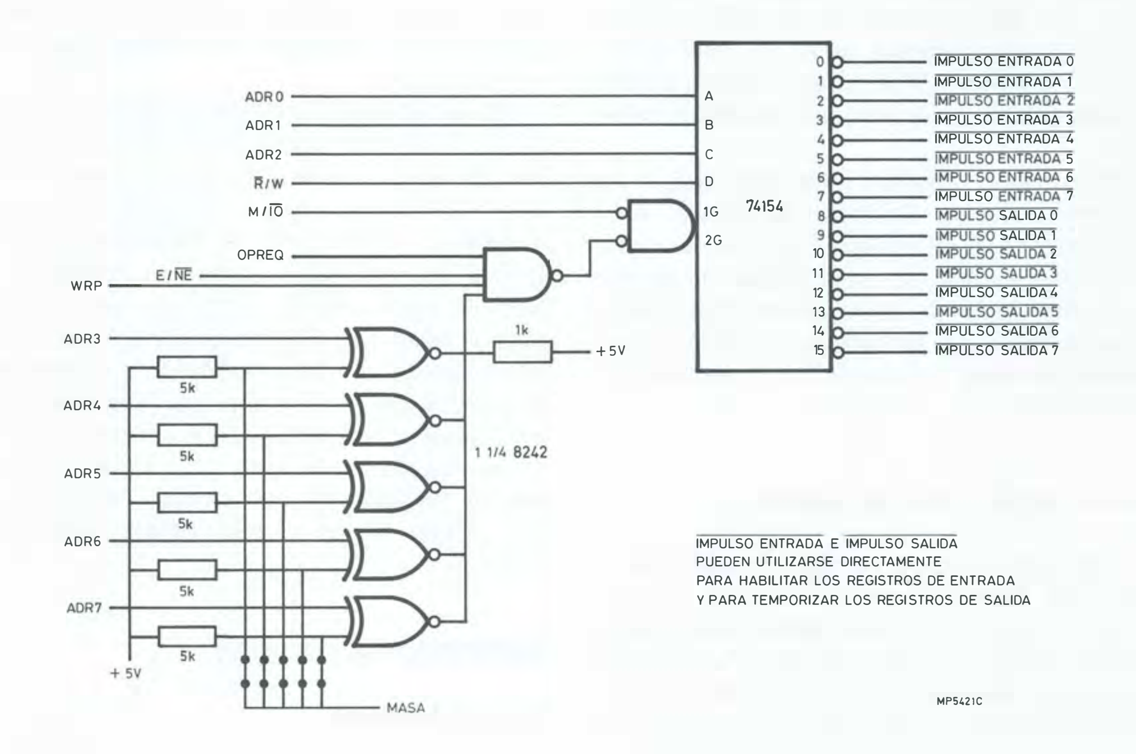


Figura 21. Lógica de control combinada y decodificación de dirección.

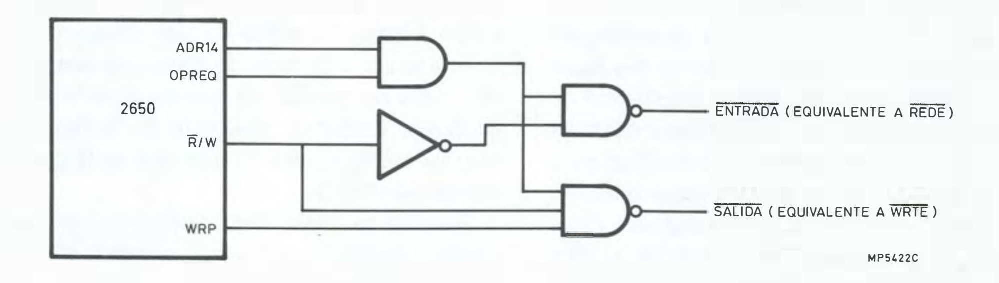


Figura 22. Generación de la señal de control de entrada/salida para entradas/salidas de memoria en forma de mapa.

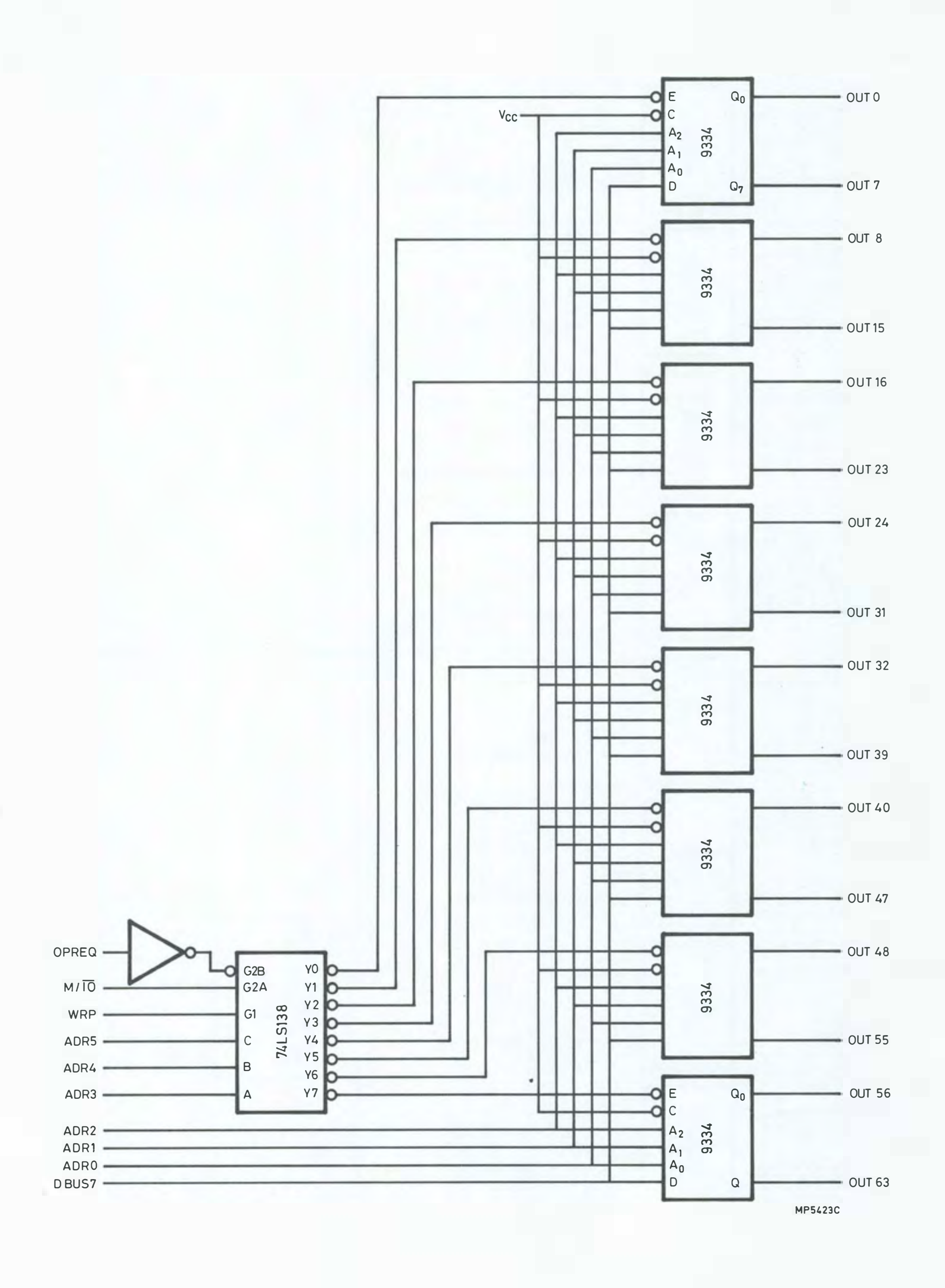


Figura 23. Sesenta y cuatro salidas de un solo bit utilizando el 9334.

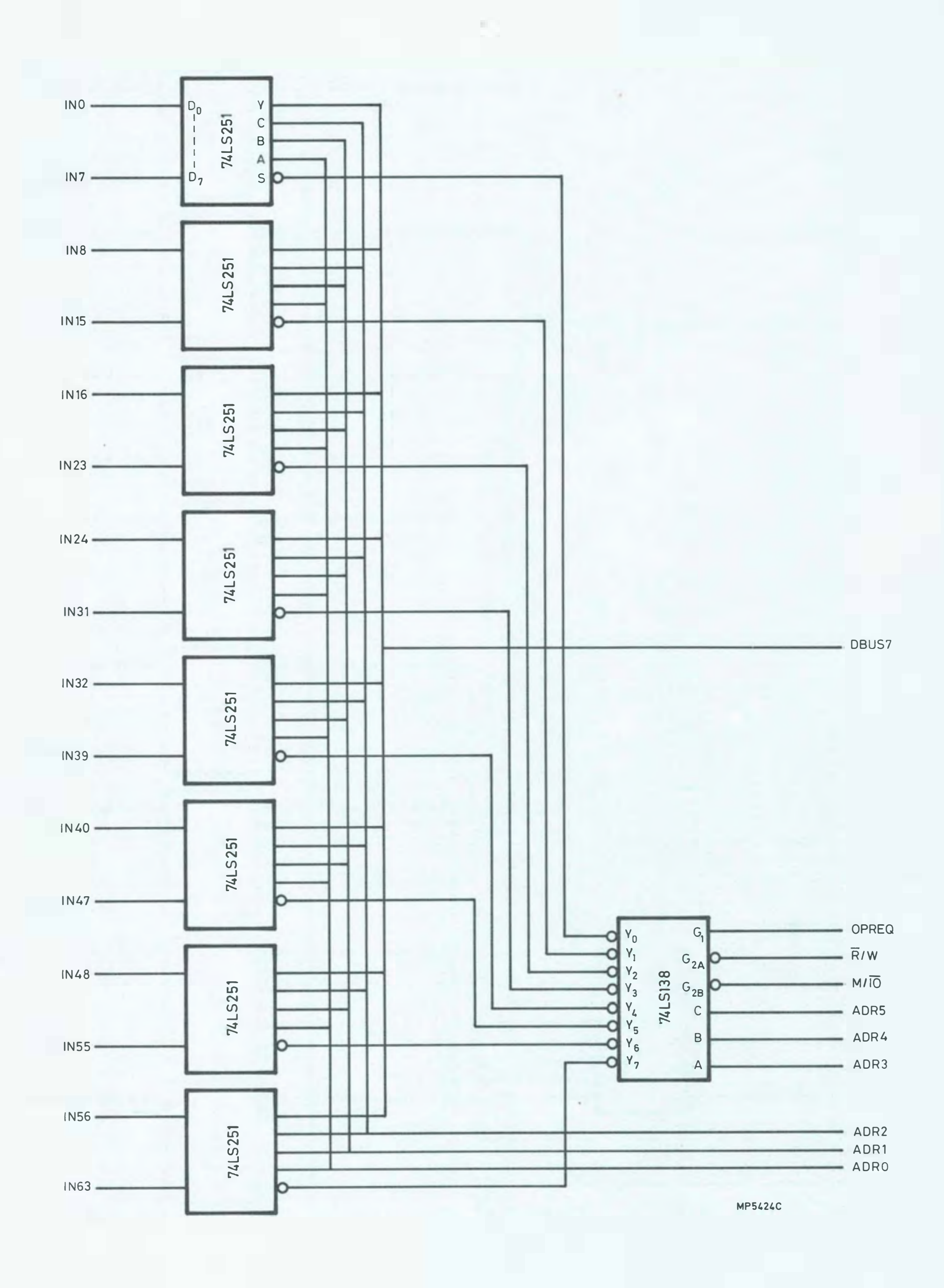


Figura 24. Sesenta y cuatro entradas de un solo bit utilizando el 74LS251.

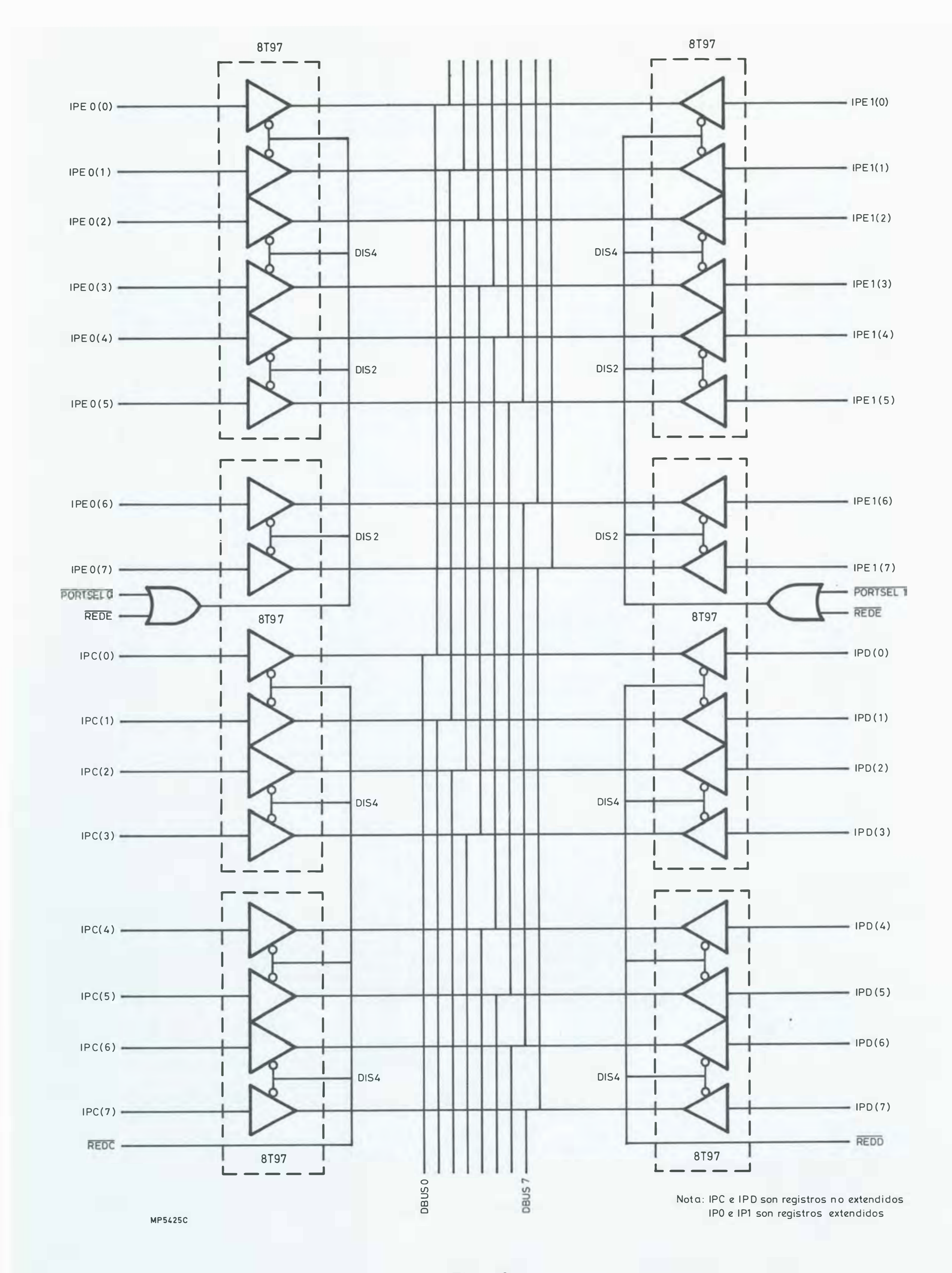

8T97
8T97
IPE 0(0)
IPE 0(1)
IPE 0(2)
IPE 0(3)
IPE 0(4)
IPE 0(5)
IPE 0(6)
IPE 0(7)
IPE 1(0)
IPE 1(1)
IPE 1(2)
IPE 1(3)
IPE 1(4)
IPE 1(5)
IPE 1(6)
IPE 1(7)
DIS4
DIS2
PORTSEL 0
REDE
PORTSEL 1
REDE
8T97
8T97
IPC(0)
IPC(1)
IPC(2)
IPC(3)
IPC(4)
IPC(5)
IPC(6)
IPC(7)
IPD(0)
IPD(1)
IPD(2)
IPD(3)
IPD(4)
IPD(5)
IPD(6)
IPD(7)
REDC
REDD
8T97
8T97
DBUS 0
DBUS 7
Nota: IPC e IPD son registros no extendidos
IP0 e IP1 son registros extendidos
MP5425C

Figura 25.

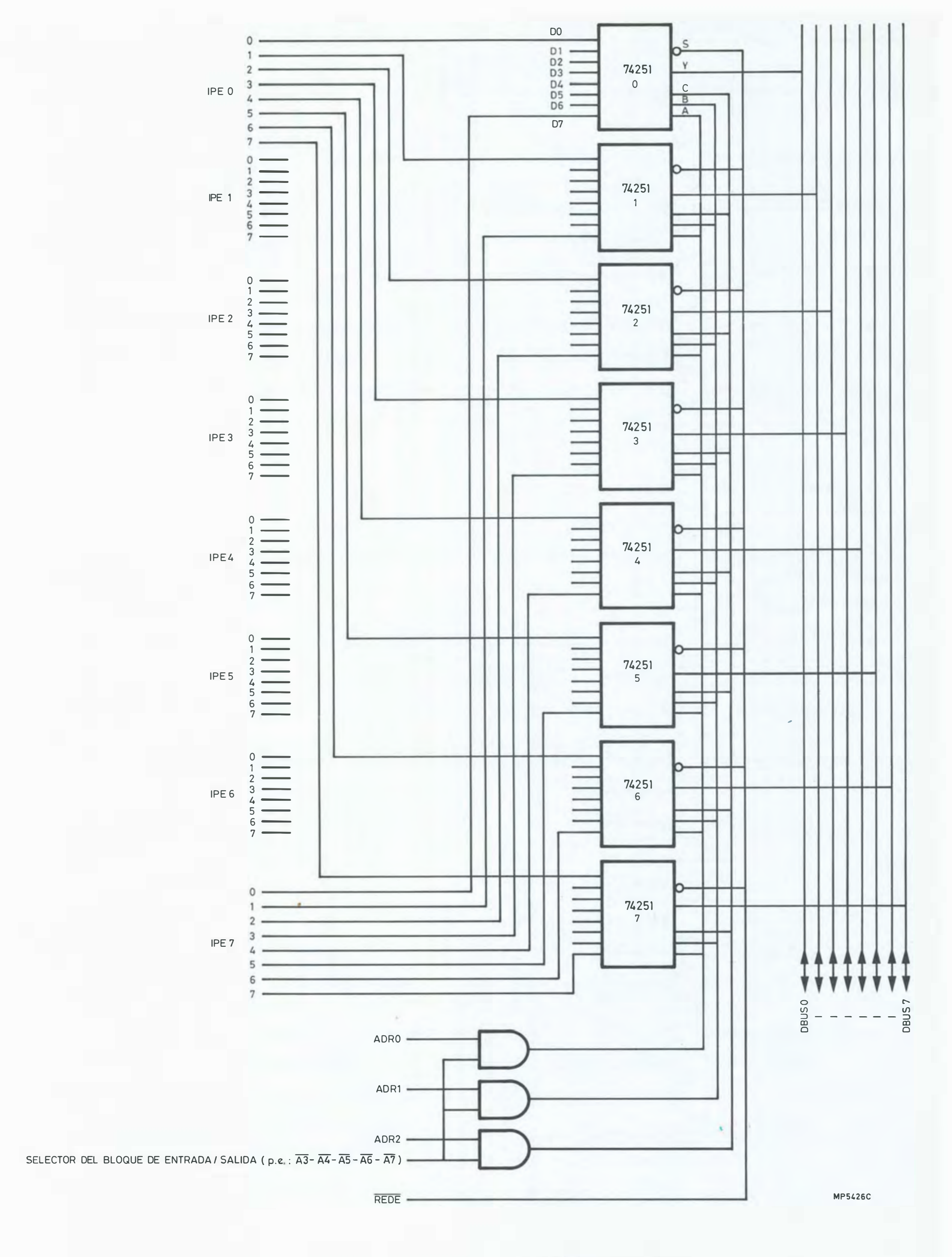


Figura 26. Registros de entrada con multiplexores 8 a 1 74251.

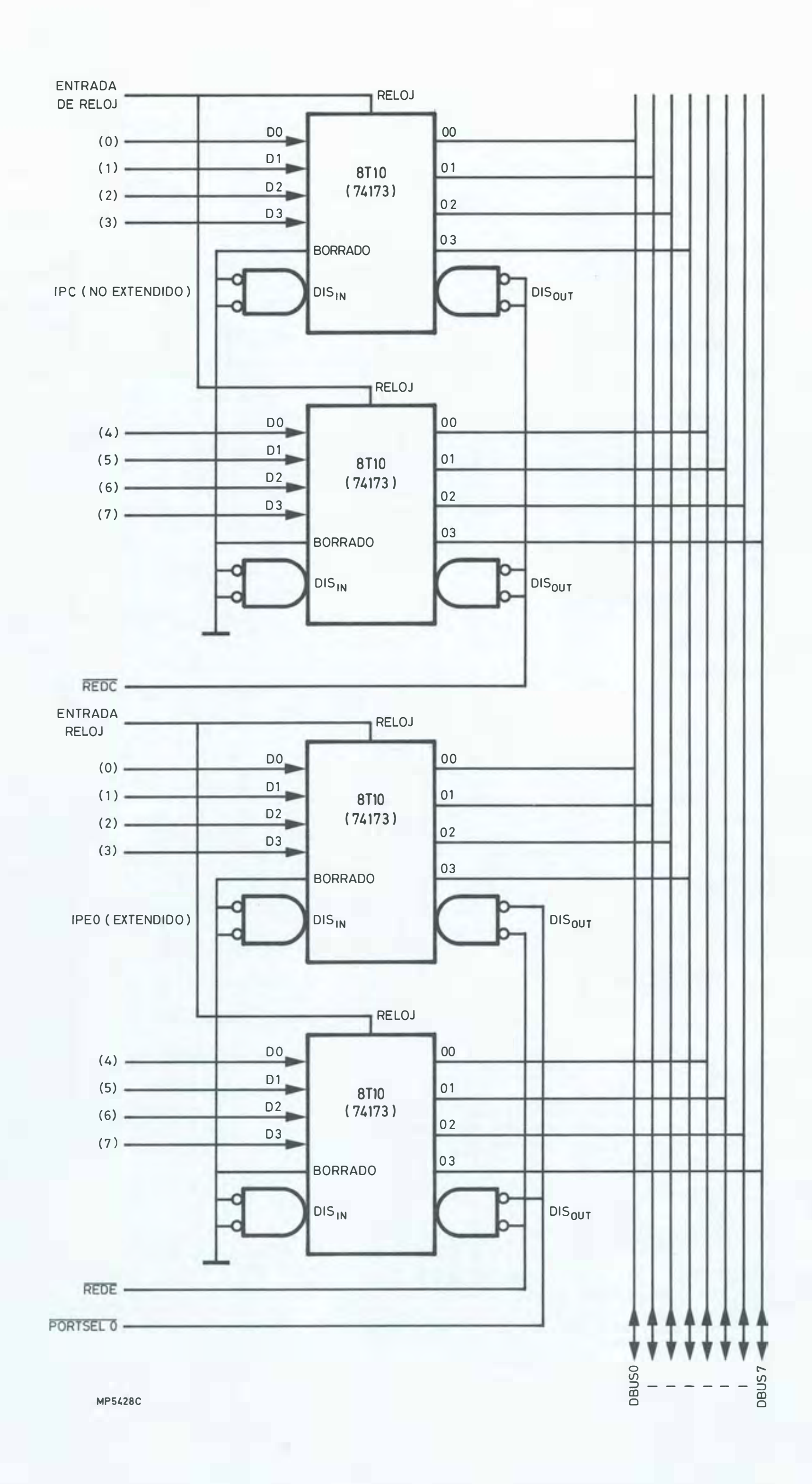


Figura 27. Registros de entrada intermedios utilizando el 8T10 (74173).

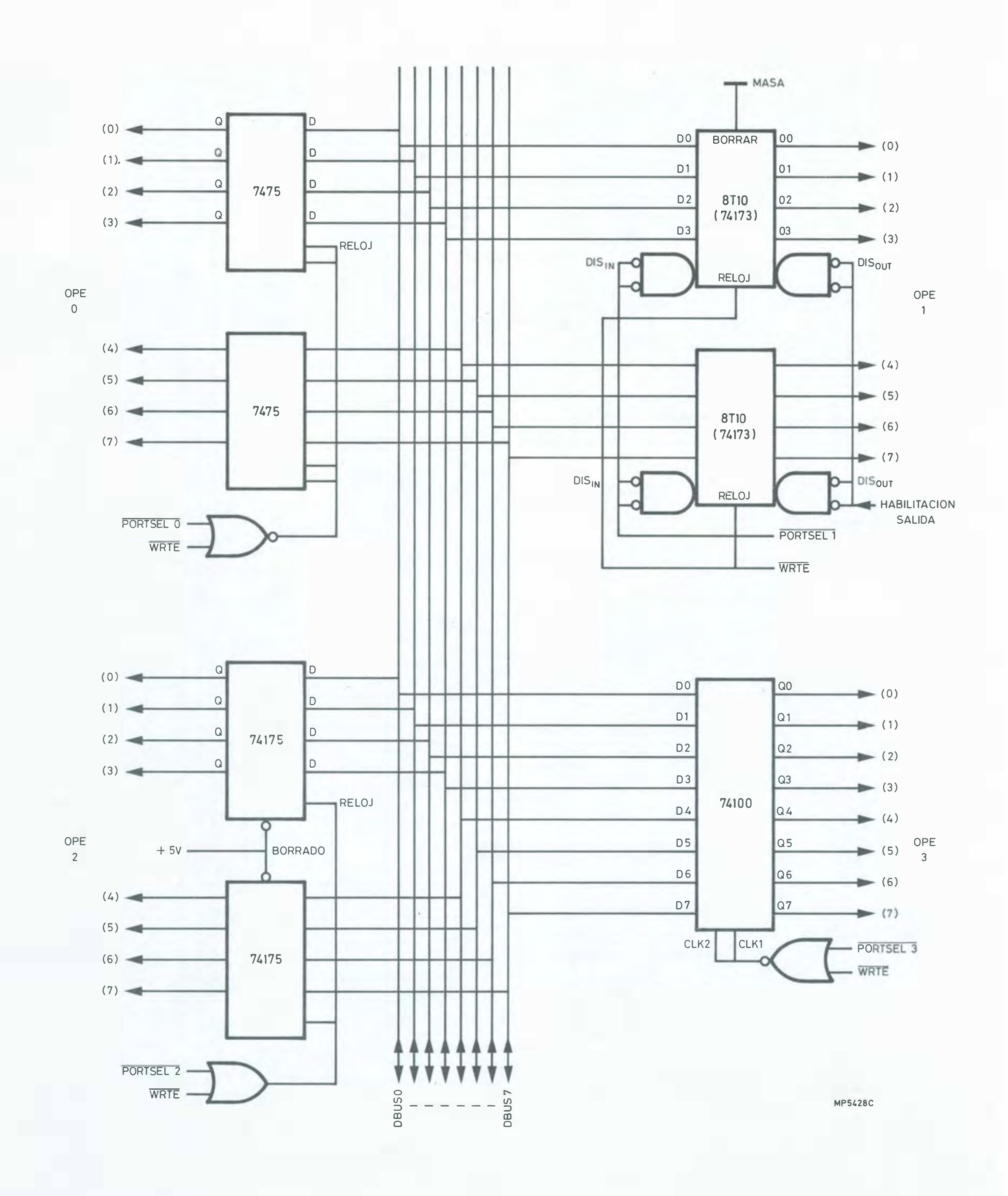


Figura 28. Registros de salida formados con circuitos TTL estándar y de la serie 8T.

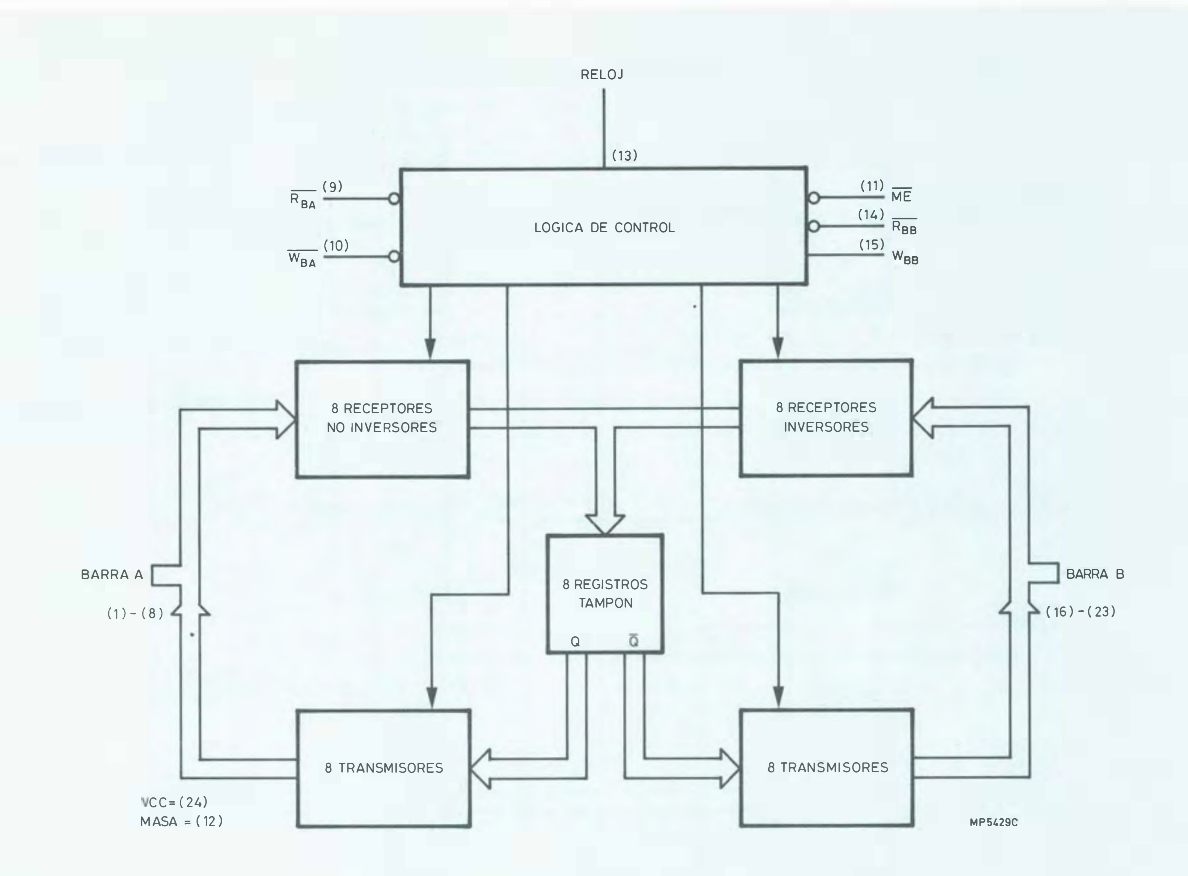


Figura 29. Diagrama de bloques funcional del 8T31.

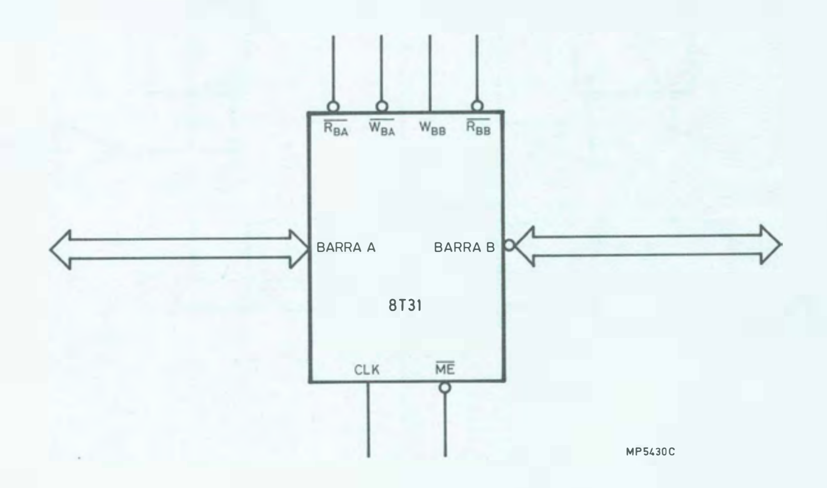


Figura 30. Diagrama de símbolos del 8T31.

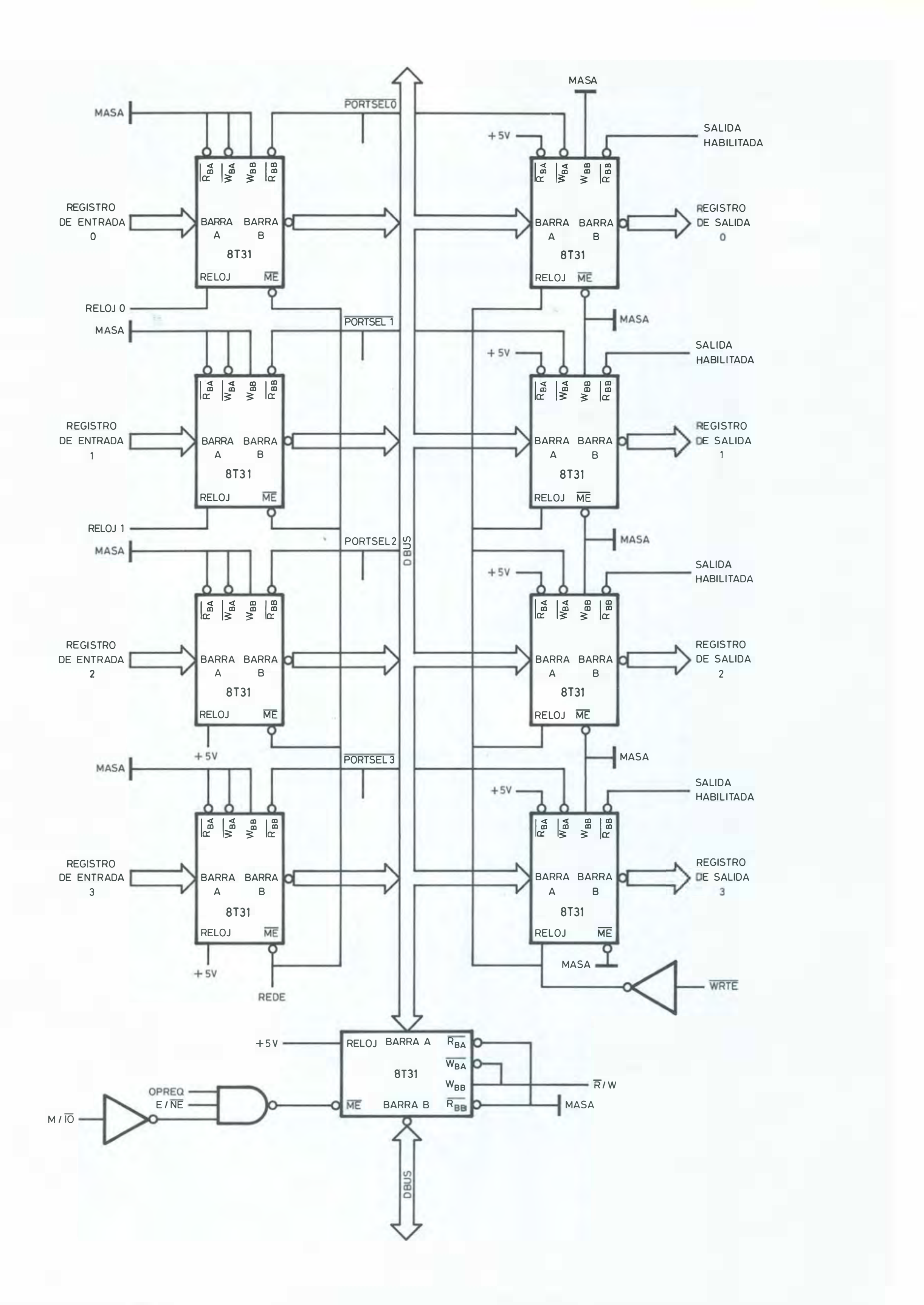


Figura 31. El circuito 8T31 empleado como registro de entrada, registro de entrada intermedio, registro de salida y excitador de barra.

un registro de entrada intermedio de 8 bits tan sólo con dos circuitos integrados. El 8T10 es funcionalmente idéntico al 74173.

REGISTROS DE SALIDA

Los registros de salida pueden configurarse con una variedad de biestables y registros en tecnología TTL estándar y de la serie 8T. Los circuitos típicos incluyen:

- 9334-Registro intermedio direccionable de 8 bits;
- 7475-Registro intermedio cuádruple;
- 74100-Registro intermedio de 8 bits;
- 74175-Biestable cuádruple del tipo D;
- 8T10-Biestable cuádruple del tipo D con salidas de tres estados.

El 7475 y el 74175 poseen salidas directa e inversa. Una característica especial del 8T10 es que las salidas pueden ser deshabilitadas (colocadas en un modo de salida de alta impedancia) mediante el elemento que se halla conectado a este registro de salida. En la figura 28 se puede ver un diagrama lógico en el que se emplea este tipo de circuitos como registros de salida.

El 9334 es útil en sistemas que necesitan un gran número de salidas intermedias, puesto que parte de la decodificación puede efectuarse empleando el decodificador de 3 entradas en un solo circuito integrado. En la figura 23 se muestra una de estas aplicaciones típicas. También es un circuito muy eficiente para la implementación de ocho registros de salida de 8 bits.

CONFIGURACIONES DE ENTRADA/SALIDA EMPLEANDO EL REGISTRO BIDIRECCIONAL 8T31

Descripción funcional

El 8T31 es un registro bidireccional de entrada/salida que consta de 8 registros intermedios accionados por reloj, con dos barras de datos bidireccionales de entrada/salida, cada una de las cuales posee su propia lógica de control. Cada barra de datos (A y B) posee una entrada de control de lectura y de escritura y existe una entrada principal de habilitación sólo para la barra B. Las salidas de los registros intermedios siguen a las entradas cuando el reloj está en nivel alto dándose la acción propia del registro intermedio cuando aquél vuelve al nivel bajo.

El 8T31 también está equipado con un circuito de puesta a cero inicial. Si la entrada de reloj se mantiene en el nivel bajo hasta que la alimentación de tensión alcanza los 3,5 V se borrará el contenido del registro intermedio. Existe una inversión lógica entre la barra A y la B. Como resultado, cuando el 8T31 queda borrado,

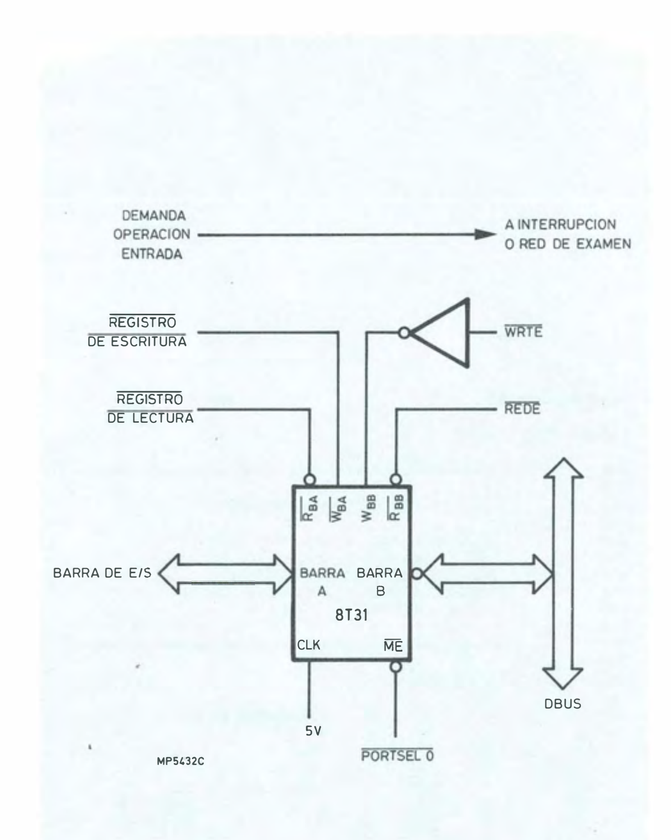


Figura 32. El circuito 8T31 empleado como registro de entrada/salida bidireccional.

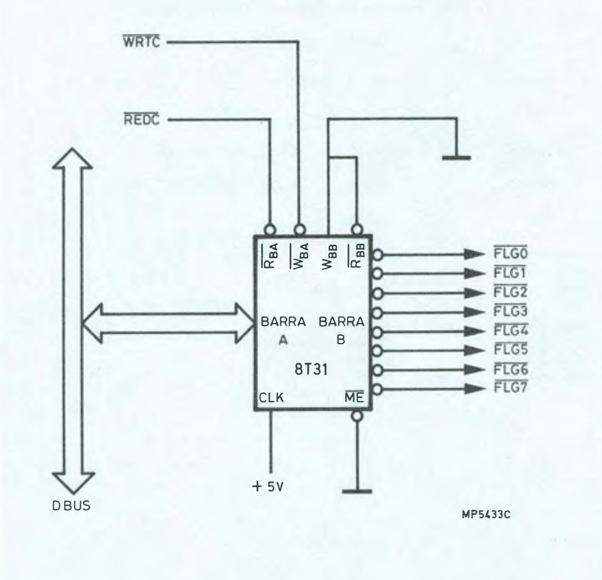


Figura 33. Registro indicador implementado con el 8T31.

```
TWIN ASSEMBLER VER 2.0                                          PAGE 0001

LINE ADDR  OBJECT  E SOURCE

0001                 ******************************************************************
0002                 *
0003                 *      ****FLAG MANIPULATION EXAMPLES****
0004                 *
0005                 *THIS LISTING GIVES SOME EXAMPLES HOW TO SET, RESET
0006                 *AND TEST INDIVIDUAL BITS OF AN EXTERNAL FLAG REGISTER
0007                 *BUILT WITH THE 8T31 BIDIRECTIONAL I/O PORT
0008                 *INSTRUCTIONS ARE GIVEN FOR BOTH ACTIVE 'HIGH' AND
0009                 *ACTIVE 'LOW' OUTPUTS
0010                 *
0011                 ********************************************************************
0012                 *
0013                 *DEFINITIONS OF SYMBOLS
0014                 *
0015 0000            R0      EQU      0        PROCESSOR REGISTERS
0016 0001            R1      EQU      1
0017 0002            R2      EQU      2
0018 0003            R3      EQU      3
0019 0000            Z       EQU      0        BRANCH COND:     ZERO
0020 0003            UN      EQU      3                         UNCONDITIONAL
0021 0000            AL      EQU      0                         ALL BITS ARE 1
0022                 *
0023 0001            FLG0    EQU      H'01'    FLAG 0
0024 0002            FLG1    EQU      H'02'    FLAG 1
0025 0004            FLG2    EQU      H'04'    FLAG 2
0026 0008            FLG3    EQU      H'08'    FLAG3
0027 0010            FLG4    EQU      H'10'    FLAG 4
0028 0020            FLG5    EQU      H'20'    FLAG 5
0029 0040            FLG6    EQU      H'40'    FLAG 6
0030 0080            FLG7    EQU      H'80'    FLAG 7
0031                 *
0032 0600            ONE     EQU      H'0600'  DUMMY ADRESS OF ROUTINE 'ONE'
0033 0650            ONES    EQU      H'0650'  DUMMY ADDRESS OF ROUTINE 'ONES'
0034                 *
0035                 ***********************************************
0036                 *
0037                 *       **INSTRUCTIONS FOR ACTIVE 'LOW' OUTPUTS**
0038                 *
0039 0000                    ORG      H'0500'
0040                 *
0041                 *       SET FLAG(S)
0042                 *
0043 0500 30         SNFG    REDC,R0      LOAD FLAG REGISTER IN R0
0044 0501 6404               IORI,R0 FLG2 SET FLAG 2
0045 0503 B0                 WRTC,R0      RESTORE FLAG REGISTER
0046                 *
0047 0504 30         SNFS    REDC,R0
0048 0505 6460               IORI,R0 FLG5+FLG6   SET FLAGS 5 AND 6
0049 0507 B0                 WRTC,R0             RESTORE
0050                 *
0051                 *       RESET FLAG(S)
0052                 *
0053 0508 30         RNFG    REDC,R0
0054 0509 44FB               ANDI,R0  H'FF'-FLG2 RESET FLAG 2
0055 050B B0                 WRTC,R0  RESTORE
0056 050C 30         RNFS    REDC,R0
```

Figura 34. Software básico para las operaciones del registro indicador.

```
TWIN ASSEMBLER VER 2.0                                          PAGE 0002

LINE ADDR  OBJECT  E SOURCE

0057 050D 449F               ANDI,R0 H'FF'-FLG5-FLG6 RESET FLAGS 5 AND 6
0058 050F B0                 WRTC,R0        RESTORE
0059                 *
0060                 *       TEST FLAG(S)
0061                 *
0062 0510 30         TNFG    REDC,R0
0063 0511 F404               TMI,R0 FLG2         TEST FLAG 2
0064 0513 1C0600             BCTA,AL ONE         BRANCH IF ONE
0065                 *
0066 0516 30         TNFS    REDC,R0
0067 0517 F460               TMI,R0 FLG5+FLG6    TEST FLAGS 5 AND 6
0068 0519 1C0650             BCTA,AL ONES        BRANCH IF BOTH ARE ONE
0069                 *
0070                 ********************************************************************
0071                 *
0072                 *  **INSTRUCTIONS FOR ACTIVE 'HIGH' OUTPUTS**
0073                 *
0074 051C                    ORG      H'0550'
0075                 *
0076                 *       SET FLAG(S)
0077                 *
0078 0550 30         SPFG    REDC,R0
0079 0551 44FB               ANDI,R0  H'FF'-FLG2 SET FLAG 2
0080 0553 B0                 WRTC,R0  RESTORE
0081                 *
0082 0554 30         SPFS    REDC,R0
0083 0555 44ED               ANDI,R0  H'FF'-FLG1-FLG4  SET FLAGS 1 AND 4
0084 0557 B0                 WRTC,R0        RESTORE
0085                 *
0086                 *       RESET FLAG(S)
0087                 *
0088 0558 30         RPFG    REDC,R0
0089 0559 6404               IORI,R0 FLG2        RESET FLAG 2
0090 055B B0                 WRTC,R0        RESTORE
0091                 *
0092 055C 30         RPFS    REDC,R0
0093 055D 6412               IORI,R0 FLG1+FLG4   SET FLAGS 1 AND 4
0094 055F B0                 WRTC,R0  RESTORE
0095                 *
0096                 *       TEST FLAG(S)
0097                 *
0098 0560 30         TPFG    REDC,R0
0099 0561 F404               TMI,R0 FLG2         TEST FLAG 2
0100 0563 9C0600             BCFA,AL ONE         BRANCH IF ONE
0101                 *
0102 0566 30         TPFS    REDC,R0
0103 0567 F412               TMI,R0 FLG1+FLG4    TEST FLAGS 1 AND 4
0104 0569 9C0650             BCFA,AL ONES        BRANCH IF BOTH ARE ONE
0105                 *
0106 0000                    END        0

 TOTAL ASSEMBLY ERRORS = 0000
```

Figura 35. Software básico para las operaciones del registro indicador.

Tabla 1. *Estado de la señal del acoplamiento de entrada/salida.*

Tipo de operación E/S	OPREQ	M/$\overline{IO}$	E/W	ADR0-ADR7	ADR13 (E/$\overline{NE}$)	ADR14 (D/$\overline{C}$)
SENSE (entrada)	X	X	X	X	X	X
FLAG (salida)	X	X	X	X	X	X
Lectura extendida	H	L	L	Segundo octeto de instrucción	H	X
Escritura extendida	H	L	H		H	X
Lectura C no extendida	H	L	L	X	L	L
Lectura D no extendida	H	L	L	X	L	H
Escritura C no extendida	H	L	H	X	L	L
Escritura D no extendida	H	L	H	X	L	H
Lectura memoria E/S	H	H	L	ADR0-ADR7	ADR13	ADR14
Escritura memoria E/S	H	H	H	ADR0-ADR7	ADR13	ADR14

X = indiferente

Tabla 2. *Constantes del programa de retardo de bit para una frecuencia de reloj de 1,25 MHz (hexadecimal).*

Velocidad en baudios	Número retardo muestra para 1,25 MHz	Número retardo bit para 1,25 MHz	Número instrucciones BDR, R_0 para 1,25 MHz	Número instrucciones BDR, R_0 para 1 MHz
110	D0	E5	5	4
300	4A	C5	2	2
600	24	DE	1	1
1200	11	6A	1	1
2400	07	30	1	1

Tabla 3. *Funciones de control del 8T31.*

BARRA A

R_{BA}	W_{BA}	CLK	Barra A
X	0	1	Escribe (A → registro)
0	1	X	Lee (registro → A)
1	1	X	HI-Z (tres estados)

BARRA B

R_{BB}	W_{BB}	W_{BA}	CLK	ME	Barra B
X	X	X	X	1	HI-Z
1	0	X	X	0	HI-Z
X	1	0	X	0	HI-Z
0	0	X	X	0	Lee (registro → B)
X	1	1	1	0	Escribe (B → registro)

dispositivo externo, disponible tan sólo momentáneamente, antes de que se efectúe la operación real de entrada al microprocesador. Este tipo de registro de entrada puede lograrse conectando circuitos báscula del tipo D con salidas de tres estados, se logra implementar ejemplo el 7475, el 74100 o el 74175, a las entradas de los registros de entrada sincronizada. Tal como se ilustra en la figura 27, empleando el 8T10, biestable cuádruple del tipo D con salidas en tri-estado, se logra implementar la barra A estará a nivel lógico "1", y la barra B a nivel "0".

Las funciones de control del 8T31 se dan en la tabla 3. En las figuras 29 y 30, respectivamente, se da un diagrama funcional de bloques y un diagrama de símbolos del 8T31.

Tal como se muestra en la tabla 3 cada barra puede funcionar independientemente, excepto para el caso de escritura tanto para la barra A como para la B. En este caso, la escritura en la barra A impedirá que se pueda proceder a la escritura en la B.

Aplicaciones del 8T31

Las funciones de control del 8T31 permiten que pueda emplearse en varias aplicaciones de entrada/salida. En el diagrama de entrada/salida de la figura 31, el 8T31 se emplea para implementar la entrada con complemento en tercer estado, los de entrada en tampón, los de salida y los excitadores de barra de datos bidireccionales. Todos los registros de entrada/salida pueden controlarse directamente con el selector de elemento y de las líneas REDE y WRTE procedentes de los decodificadores de elemento y de la lógica de control de entrada/salida.

En aquellas aplicaciones en las que la adaptación debe realizarse con componentes periféricos que requieran transferencias de datos en dos direcciones, como por ejemplo cassettes digitales y circuitos de comunicación de enlace de datos, el 8T31 podrá emplearse como registro de entrada/salida bidireccional. En esta aplicación, se pedirá la operación de entrada/salida mediante interrupción o mediante examen para evitar operaciones de escritura simultáneas en los elementos periféricos y en la CPU. El concepto de registro de entrada/salida bidireccional se ilustra en la figura 32.

Implementación de un registro de indicador de 8 bits con el 8T31

En muchas aplicaciones industriales, como por ejemplo, los controles de procesos, se emplean entradas y salidas de un solo bit para gobernar interruptores y detectores o para excitar relés y lámparas. Una posible solución para un registro de este tipo podría consistir en un registro de salida de ocho bits y un byte de memoria reservado como registro indicador en la memoria RAM del sistema. El grabado, borrado o comprobación de los bits individuales con este método de implementación, hace que todo registro indicador necesite muchos octetos de memoria de programa. El registro de salida y la colocación de la memoria reservada como imagen del registro indicador deberá ser actualizado después de cada operación del bit.

El 8T31 puede ser empleado para la implementación de un registro indicador sin tener que emplear un byte de memoria en la RAM del sistema. No se necesita un hardware especial, y es considerable el ahorro logrado en los octetos de memoria de programa para funcionamiento con indicador. En la figura 33 se da un diagrama lógico de esta aplicación. En la figura 34 se dan listas del software básico para los indicadores individuales de establecimiento, reestablecimiento y comprobación para salidas directas tanto positivas como negativas. ■

Acoplador programable para comunicaciones 2651

El acoplador programable para comunicaciones (PCI) 2651 ha sido desarrollado para efectuar la conversión paralelo/serie. Se trata de un circuito integrado provisto de un hardware completo para varios modos de comunicación de información.

El intercambio de información entre los microprocesadores y los periféricos normalmente se hace en paralelo, utilizando la barra de datos. Esto significa que la información se transfiere a lo largo de un número de conexiones en paralelo, en que todos los bits de la palabra de datos se transfieren simultáneamente. Sin embargo, cuando existe un periférico alejado del sistema microordenador, normalmente es más económico y a veces necesario, que la comunicación sea por medio de una línea. Esto significa que los datos en paralelo del microordenador se deben convertir en serie antes de la transmisión y viceversa.

La conversión de datos paralelo/serie se puede hacer por software o por hardware, pero es preferible hacerlo por hardware porque por software supone cargar demasiado el microprocesador. La figura 1 muestra dos aplicaciones típicas de acoplamiento de información en serie para microordenadores. Para comunicación por línea telefónica se necesita un modulador/demodulador (modem).

FORMATOS DE COMUNICACION DE DATOS EN SERIE

La figura 2 muestra el tren de bits en serie equivalente a 3 palabras de 8 bits. Mientras los bits de información en paralelo se pueden detectar en el receptor por su separación en la conexión de entrada, los bits de información en serie se pueden detectar sólo por su separación en el tiempo. Entonces el receptor debe ser alimentado con información temporizada. Se necesita una información estructurada para poder reconvertir el tren de datos en serie en la palabra original de datos.

Es necesaria una información temporizada para que el receptor pueda detectar los bits consecutivos del tren de bits en serie, mientras que la información estructurada permite al receptor detectar el comienzo y el final de cada palabra de datos.

La figura 3 muestra el empleo de la información estructurada para la reconversión en datos originales. Cada bit del tren de información en serie se debe transferir con una duración fija, llamada *intervalo unidad*.

El reloj del receptor debe estar sincronizado a la frecuencia del reloj del emisor, con un retardo de fase fijo, para permitir el muestreo de la forma de onda de la información en serie al mismo tiempo en cada intervalo unidad. Se conoce como velocidad de transmisión el valor máximo al que se envía la información sobre la línea de datos que es igual al número de intervalos unidad por segundo. Así, para un intervalo unidad de 20 ms, la velocidad de transmisión será de 50 baudios. Normalmente se emplean velocidades de transmisión entre 50 baudios y 19,2 kbaudios. Un teletipo estándar utiliza una velocidad de transmisión de 110 baudios.

Para recoger los datos originales, la información temporizada debe contener:

– la velocidad de transmisión;
– el bit de sincronismo de la información.

Para reconstruir las palabras originales de datos, la información estructurada debe contener:

– identificación del primer bit de una palabra de datos;
– número de bits por palabra;

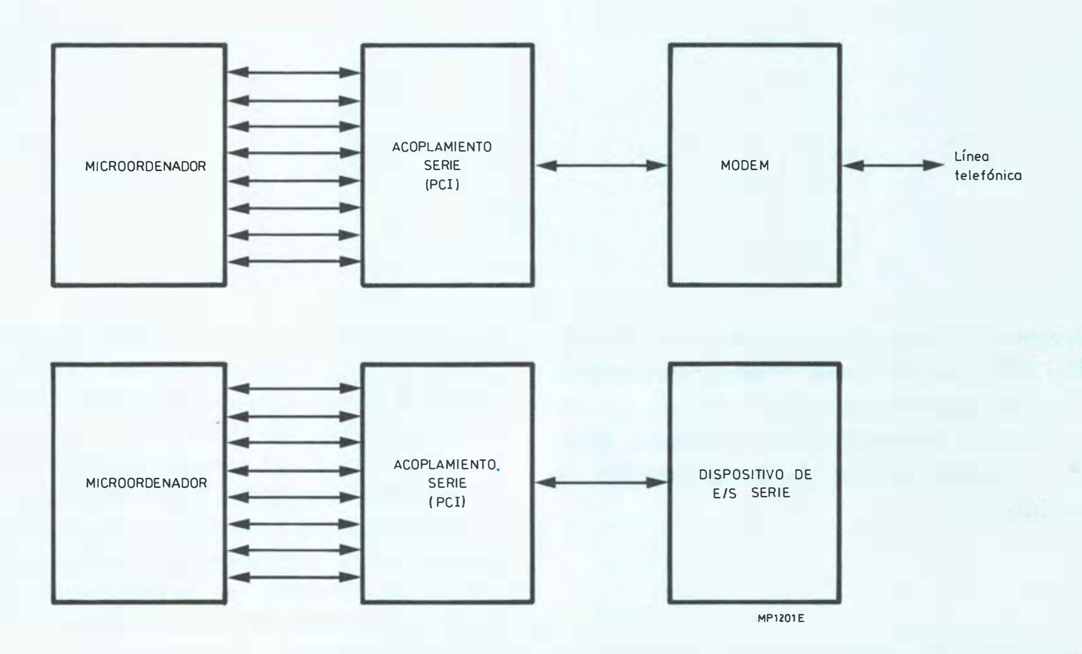


Figura 1. Aplicaciones típicas de acoplamientos para información en serie con microordenadores.

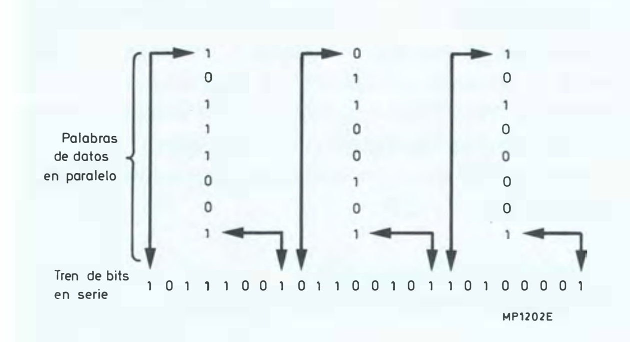


Figura 2. Relación entre las palabras de datos en paralelo y el tren de bits en serie emitidos o recibidos.

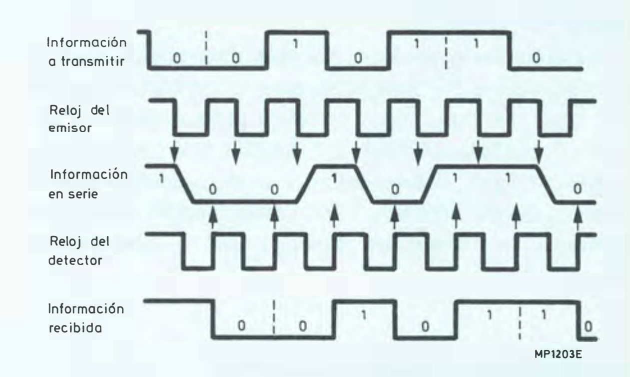


Figura 3. Empleo del reloj del receptor para la reconversión de la información a partir del tren de bits en serie.

– la secuencia en la que se envía la información (bit más significativo o bit menos significativo primero).

La velocidad de transmisión, el número de bits por palabra y la secuencia con la que se envían los bits, son normalmente fijos y conocidos por el receptor antes de emitir la información. Así, la señal de información debe contener el bit de sincronismo y el primer bit de identificación de la información. Gran número de formatos para comunicación de datos en serie han sido proyectados con este fin. Los dos formatos básicos son *síncrono* y *asíncrono*. La mezcla de los dos se llama *isocrono*.

Formato asíncrono

Cuando se emplea el formato asíncrono, el emisor transmite cada palabra por separado. Cada palabra es precedida por un bit de inicio y seguida por un bit de paridad y 1, 1,5 ó 2 bits de paro. Este formato se muestra en la figura 4.

Cuando la línea de información está en reposo, la señal es un uno. El bit de inicio es un cero, que indica al receptor que viene una palabra de datos. Debido a que el bit de inicio puede venir en cualquier momento, el sincronismo del reloj del receptor con la línea de información se debe repetir para cada palabra de datos. Así pues, el reloj del receptor va a una velocidad múltiplo de la de transmisión (normalmente multiplicada por 16 ó por 64).

La figura 5 muestra el principio de sincronismo con un reloj que va a 16 veces la velocidad de transmisión. El reloj del detector se deriva de este reloj por medio de un circuito divisor por 16 que arranca en el momento en que se detecta un bit de inicio (en el flanco de bajada de la línea en reposo).

Después de ocho impulsos del reloj multiplicado por 16, se muestrea la línea de información otra vez y si está todavía a cero, el bit de inicio es aceptado. Después de ocho impulsos más, aparece en la línea el primer bit de información y es detectado 16 impulsos después de que el bit de inicio sea aceptado. Esto significa que el bit se detecta en la mitad del tiempo de bit para evitar conmutaciones transitorias. Cada grupo siguiente de impulsos del reloj multiplicado por 16 representará un intervalo unidad, después del cual se detectará un nuevo bit.

El error máximo resultante de este método de sincronismo es inicialmente de un dieciseisavo (en el caso de un reloj multiplicado por 64, será de un sesentaicuatroavo). El error de sincronismo de los siguientes bits de información depende de la igualdad de frecuencia entre los relojes del emisor y del receptor. No obstante, este sincronismo sólo tiene efecto durante una palabra de datos, ya que la siguiente palabra proporcionará un nuevo bit de inicio.

De la descripción anterior, se deduce que todos los bits transmitidos, incluido el bit de inicio, deben tener una duración exacta de un intervalo unidad, y que el tiempo transcurrido entre dos palabras de datos consecutivas no necesita ser un número entero de intervalos unidad. Para asegurar una correcta detección del siguiente bit de inicio (palabra de datos) la línea debe quedar mantenida en el estado de reposo, al final de los bits de información de todas las palabras. Esto se hace mediante el bit o bits de paro que se pone al final de cada palabra, que hace que la línea pase al estado uno lógico, que es el estado de reposo de la línea. De esta forma, el receptor encontrará siempre un flanco de bajada al principio del bit de inicio de la siguiente palabra de datos, si el reloj del detector va ligeramente más lento que el reloj del emisor. La figura 6 muestra un ejemplo de formato de datos asíncrono con ocho bits de información y dos bits de paro.

Formato síncrono

En el formato síncrono, las palabras de datos se agrupan en bloques antes de la transmisión. Esto crea un tren de bits de información válidos, uno por cada intervalo unidad. Una vez que los relojes del emisor y del detector están sincronizados, el receptor busca información estructurada. Esto se hace en el *modo de caza* en el cual se comprueba continuamente la secuencia de bits recibidos para los caracteres de sincronismo.

Cada bloque es precedido por una o más palabras de sincronismo de un carácter fijo, ver figura 7. Las palabras de sincronismo se llaman SIN (en el caso de una palabra de sincronismo) o SIN 1 y SIN 2 en el caso de dos palabras de sincronismo. Los modelos de bits correspondientes a estos caracteres no deben encontrarse en la información a transmitir.

Cuando se reconoce una secuencia de bits con el carácter o caracteres de sincronismo, el receptor se conmuta al modo de información; el primer bit siguiente al carácter o caracteres de sincronismo, es el primer bit de la primera palabra de información. La figura 8 muestra la secuencia de bits del bloque de información en formato síncrono, con dos caracteres de sincronismo y cinco bits por palabra.

Si durante la transmisión de un bloque de información, el microprocesador deja de proporcionar una nueva palabra de datos para la transmisión, automáticamente el emisor inserta caracteres de sincronismo (SIN o SIN 1 – SIN 2) para evitar huecos. Los caracteres de sincronismo se insertan hasta que se dispone de una nueva palabra de datos. Estos caracteres de sincronismo pueden ser descartados automáticamente por el receptor, mientras proporciona los sincronismos estructurado y temporizado.

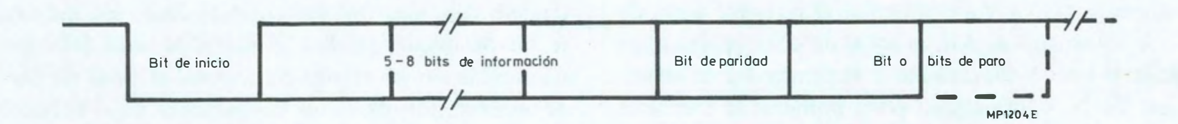


Figura 4. Formato de información en serie asíncrono.

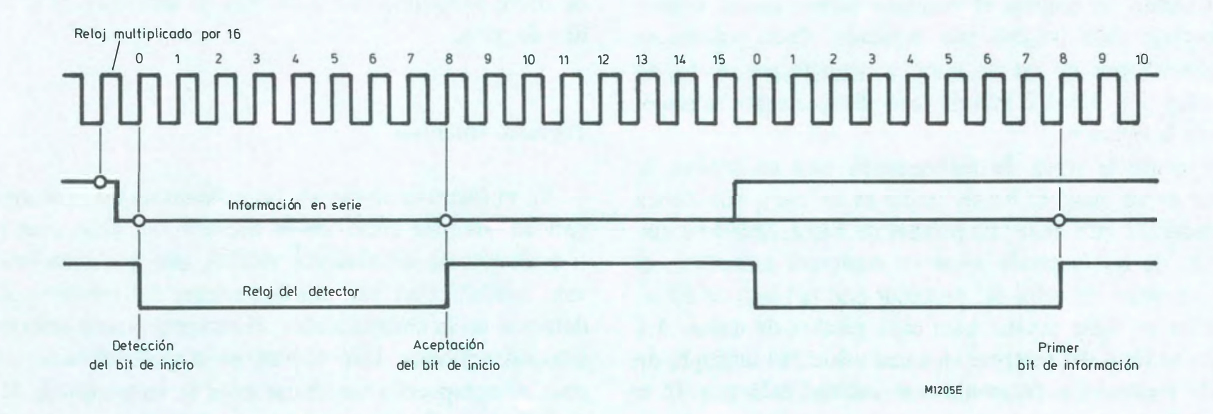


Figura 5. Sincronismo en el formato asíncrono, empleando en este caso un reloj multiplicado por 16.

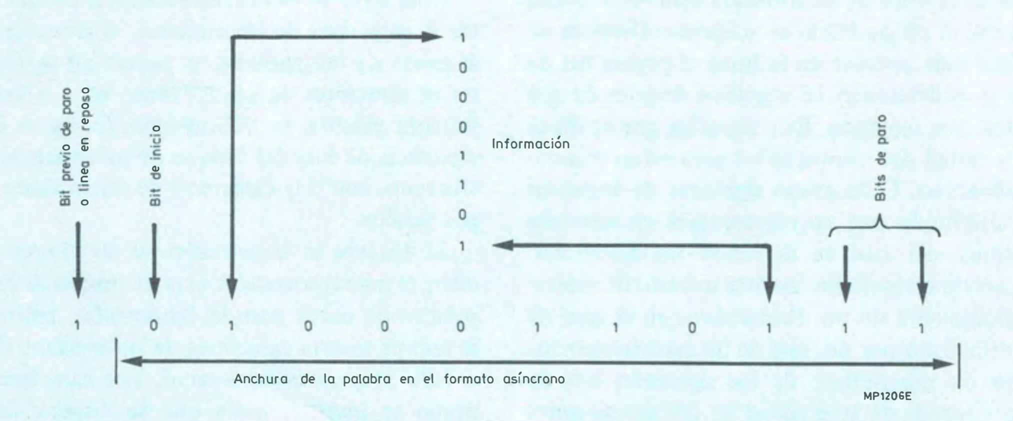


Figura 6. Ejemplo de formato asíncrono utilizando ocho bits de información y dos bits de paro.

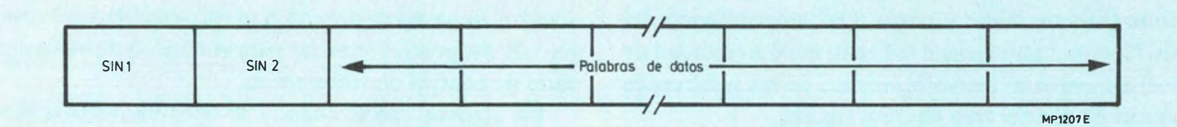


Figura 7. Formato de información en serie síncrono.

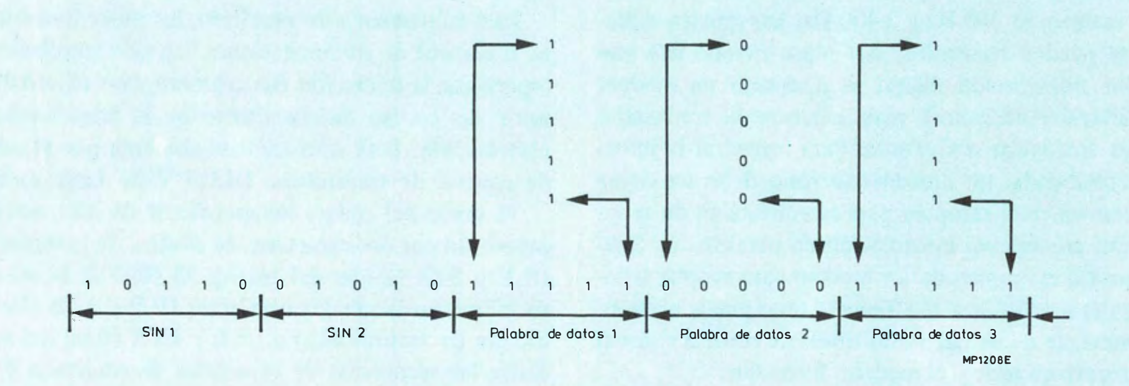


Figura 8. Sincronismo al comienzo del bloque de información en el formato síncrono. Doble operación de sincronismo con cinco bits por palabra de datos.

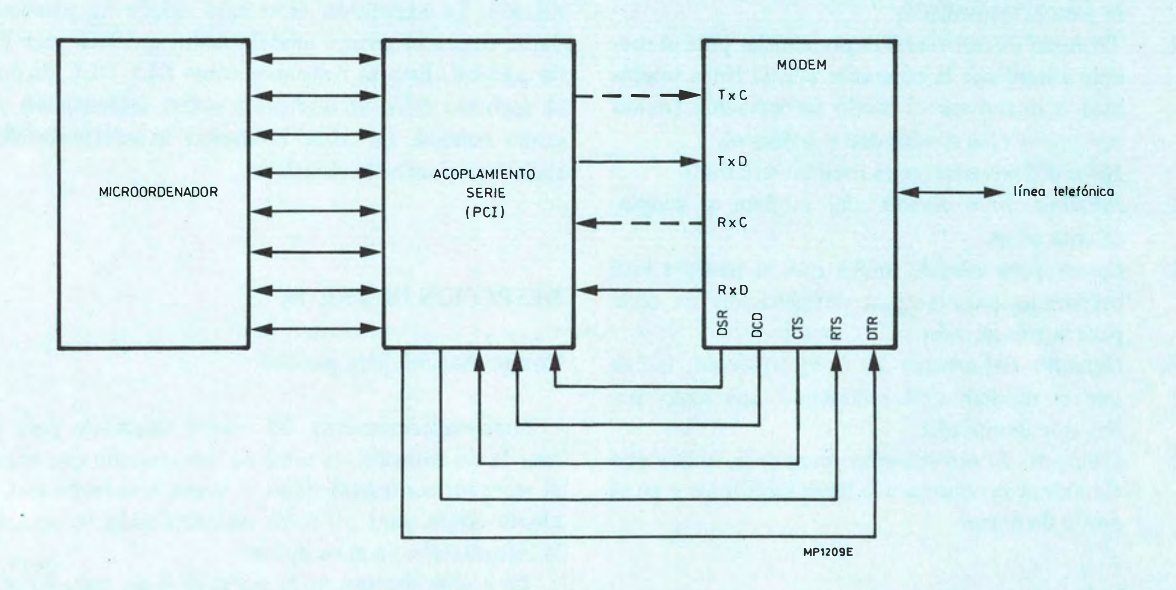


Figura 9. Transmisión de información digital por una línea telefónica empleando un modem. Si se utiliza un modem síncrono se necesitan TxC y RxC.

Formato isocrono

El método isocrono emplea la estructura del formato asíncrono (bits de inicio y paro) y la temporización del método síncrono (frecuencia del reloj igual a cantidad de baudios) en orden al restablecimiento de las palabras de datos procedentes del tren de información.

Control modem

Las líneas telefónicas están diseñadas para la transmisión hablada y emiten solamente señales analógicas dentro del margen de 300 Hz a 3.400 Hz. Las señales digitales no se pueden transmitir. Así pues, cuando hay que transmitir información digital es necesario un modem (modulador-demodulador) para efectuar la conversión a señales analógicas o viceversa. Para regenerar la información modulada, un modem síncrono debe ser capaz de generar un reloj receptor para la conversión de la información en serie en información en paralelo. La figura 9 muestra el empleo de un modem para acoplar señales digitales a una línea telefónica. Como puede verse en el diagrama, se necesitan varias líneas de control entre el acoplamiento en serie y el modem. Estas son:

TxC: *Reloj del emisor,* temporiza la información para el modem síncrono.
TxD: *Información a transmitir* al modern en serie.
RTS: *Petición de enviar,* pide al modem que se prepare para la transmisión.
DTR: *Terminal de información preparado,* pide al modem establecer la conexión con la línea telefónica e introducir el modo información (como oposición a los modos dial y hablado).
RxC: *Reloj del receptor,* para modem síncrono.
RxD: *Información a recibir,* del modem al acoplamiento serie.
CTS: *Borrar para enviar,* indica que el modem está preparado para aceptar información en serie para la transmisión.
DCD: *Detector del arrastre de la información,* indica que el modem está recibiendo una señal que hay que demodular.
DSR *Conjunto de información preparada,* indica que el modem se conecta a la línea telefónica y en el modo de datos.

Operación transparente – modo síncrono

Los sistemas para comunicación de información emplean normalmente un código de 128 caracteres de 7 bits, conocido como código ISO de 7 bits, ver apéndice A. Este código incluye caracteres alfanuméricos, caracteres de control de aplicación general y diez caracteres de control de transmisión (TCn). *Los procedimientos para control de comunicaciones* han sido establecidos con objeto de proporcionar reglas para el empleo de estos caracteres de control de transmisión.

En algunos casos, cuando se necesita obtener el máximo provecho de la red de comunicaciones, la información se debe transmitir sin utilizar el código ISO en una red que normalmente emplee este código. En este caso, las palabras de datos con el mismo modelo de bits, como los caracteres de control de transmisión, serán mal interpretados por el sistema como caracteres de control de transmisión.

Para solucionar este problema, los procedimientos para el control de comunicaciones han sido ampliados para especificar la *operación transparente,* con objeto de permitir un *código independiente* en la transferencia de información. Esta operación se gobierna por el carácter de control de transmisión DLE ("Data Link Escape").

El inicio del código independiente de información es precedido por dos caracteres de control de la transmisión DLE y STX (inicio del texto). El final de la secuencia se indica mediante los caracteres DLE y ETB (final del bloque de transmisión) o DLE y ETX (final del texto). Entre las secuencias de caracteres de comienzo y final, todos los modelos de bits se pueden utilizar todavía para control si se preceden con el carácter DLE. Los caracteres de sincronismo utilizados para fijar espacios en el formato de sincronismo estarían precedidos por DLE para evitar la interpretación de estos caracteres como información. La excepción es el caso donde las palabras de datos tienen el mismo modelo de bit que DLE más el bit de paridad. Este se transmite como DLE DLE, en donde el segundo DLE se interpreta como información y no como control. La tabla 1 muestra la interpretación de varias secuencias de caracteres.

DETECCION DE ERROR

Comprobación de la paridad

Independientemente del medio empleado para efectuar la transmisión, la señal de información que entre en el receptor contendrá ruido. A veces, este ruido será suficiente como para provocar una detección incorrecta de la información en el receptor.

La comprobación de la paridad es un método simple para detectar un error en la palabra de datos. Se añade un bit de paridad a cada palabra, de tal forma que el número total de unos en cada palabra sea siempre par o siempre impar. Esto se llama *paridad par* o *paridad impar.* Entonces el detector puede detectar un número im-

Tabla 1. *Operación transparente utilizando el carácter DLE*

secuencia transmitida y recibida	interpretación dato	control
DLE ETB		ETB
DLE DLE	DLE	
X, ETB	X ETB	
X ETX	X ETX	
X SYN	X SYN	
DLE SYN		gap filler
DLE STX		STX
DLE DLE DLE ETB	DLE	ETB
DLE DLE DLE DLE	DLE DLE	
DLE DLE ETB	DLE ETB	

Nota: El carácter X es distinto del DLE.

par de bits incorrectos en la palabra de datos. En este caso no detectará un número par de errores.

Error estructurado

En el modo asíncrono, el receptor puede detectar el número de bits de paro erróneos, llamado error estructurado.

Error por rebasamiento de marcha

El microprocesador leerá varias palabras de datos que han sido recibidas antes de que se reciba la siguiente. Si no se hace así, el contenido del registro del receptor se satura y se pierde la palabra siguiente. Esto se llama error por rebasamiento de marcha. ■

(*Este artículo terminará en Revista Miniwatt, volumen 19, número 3.*)

Reunión de Copresa con centros de enseñanza

Dentro del marco de Sonimag y coincidiendo con la celebración de las Jornadas Técnicas de Electrónica Universidad-Empresa, el pasado día 24 de octubre Copresa organizó en su stand una reunión-coloquio con catedráticos y profesores dedicados a la enseñanza de microprocesadores en los diversos centros Universitarios de España. A dicha reunión asistieron el Sr. Camacho de la E.T.S.I.I. de Sevilla, el Sr. Collado de la E.T.S.I.I. de Madrid, el Sr. de Miguel de la E.T.S.I.I. de Las Palmas, el Sr. Bracho de la Universidad de Santander, los Sres. Mandado y Mariño de la E.T.S.I.I. de Vigo, los Sres. Fuertes y Claverías de la E.T.S.I.I. de Barcelona, el Sr. Amat del Instituto de Cibernética de Barcelona, el Sr. Albertos de U.P. de Valencia, el Sr. Roca de la E.F.P. de Seat, el Sr. Salazar de la E.U.I.T.I. de San Sebastián, el Sr. Pérez Toca de la E.T.S.I.I. de San Sebastián, el Sr. Lizárraga de I.E.S.A. de San Sebastián, los Sres. Balcells y Cancillo de la E.T.S.I.T. de Barcelona y el Sr. Rodríguez-Izquierdo de la Universidad de Santiago de Compostela.

La reunión se inició con unas palabras del Sr. Llevat, Director Técnico-Comercial de Copresa, quien después de dar la bienvenida a los asistentes a esta reunión expresó el firme deseo de Copresa de mejorar su presencia en las Escuelas Técnicas y Universidades, y puso de manifiesto que el objetivo que se pretende alcanzar con esta acción es prioritariamente la colaboración con el profesorado para la formación de los alumnos, en los cuales Copresa encontrará el día de mañana cuando dichos Ingenieros y Técnicos estén en la industria el mejor apoyo para la aceptación de sus productos.

El tema de la reunión estuvo centrado a la exposición de los productos disponibles en el área de componentes básicos y asociados con los microprocesadores, las posibilidades de Copresa en este campo y el soporte que puede prestar en la realización de los desarrollos que se efectúen en los distintos centros de enseñanza, tanto para lograr un mejor conocimiento de los microprocesadores como para su aplicación a la resolución de problemas prácticos. Asimismo Copresa ofreció las páginas de la Revista Miniwatt para la publicación de los trabajos originales que se efectúen sobre microprocesadores y sus aplicaciones.

En el coloquio intervinieron todos los asistentes y pusieron de manifiesto los distintos problemas que tiene planteados la enseñanza de los microprocesadores. De este coloquio se derivó un mejor conocimiento de la problemática general de la enseñanza de los micrpprocesadores, siendo opinión de los asistentes que la realización de las prácticas de hardware es uno de los puntos que no tienen solucionado. A esto Copresa expresó el deseo de estudiar conjuntamente con los centros de enseñanza interesados una posible solución a este problema.

Finalmente se anunció la convocatoria de unos premios para los mejores trabajos sobre aplicaciones y programación del 2650/8048 Signetics, cuya presentación a la prensa técnica tendría lugar el día siguiente en el mismo stand.

Concluyó la reunión con la expresión del deseo y de la necesidad de una estrecha colaboración entre la enseñanza y la industria, deseo y necesidad que se siente tanto por una como por otra parte.

BASES DEL PREMIO MICROPROCESADORES "COPRESA"

1. Podrán concurrir a este concurso todos los autores que realicen un trabajo inédito con los microprocesadores que se mencionan en estas bases, quedando exentas todas las personas de nuestra firma. Es condición necesaria que dicho trabajo no haya sido presentado anteriormente en ningún congreso, simposio, etc., ni publicado en alguna revista, semanario, etc. técnica nacional o extranjera.

2. Los premios se dividen en dos grupos:

   1.° El primero destinado a la realización de un trabajo de aplicación del 2650/8048 Signetics, teniendo como objetivo la resolución de un caso práctico. Debe ser un trabajo original enfocado a resolver un problema práctico que se dé o pueda darse en el mercado nacional. Debe estar documentado con:
   – una descripción detallada del caso planteado,
   – esquemario del hardware,
   – ordinograma y programa escrito en lenguaje ensamblador.

   2.° El segundo destinado a un trabajo de programación con el 2650/8048 Signetics, cuyo objetivo sea el solucionar problemas concretos. Deberá presentarse en forma de subrutina, escrita en lenguaje ensamblador, conjuntamente con las dependencias de un programa principal.

3. Los autores que participen en el **PREMIO MICROPROCESADORES COPRESA** deberán presentar sus originales escritos en castellano, en hojas de tamaño folio, holandés o DIN A4, mecanografiadas a una cara y a dos espacios. La extensión del trabajo para el premio del primer grupo deberá ser de un mínimo de 50 páginas y para el premio del segundo grupo extensión libre.

4. El original se presentará con un título al cual seguirá un seudónimo. En un sobre cerrado aparte se incluirá el nombre y domicilio del autor. En el exterior del sobre se escribirá el título de la obra presentada seguido del seudónimo.

5. Deberá entregarse un resumen del trabajo que se va a realizar (de unas 100 palabras) antes del día 10 de Marzo de 1980, y el plazo para la entrega del original terminará el día 10 de Septiembre de 1980.

6. Deben enviar sus originales y el sobre cerrado a: COPRESA, Depto. Técnico Profesional, Para el "Premio microprocesadores COPRESA", Balmes 22, BARCELONA-7.

7. Los premios estarán dotados por:

Grupo primero:	1.er Premio	100.000 Ptas.
	2.° Premio	30.000 Ptas.
Grupo segundo:	1.er Premio	30.000 Ptas. y un Instructor 50
	2.° Premio	un Instructor 50.

8. Los premios podrán ser declarados desiertos.

9. Durante la feria de Sonimag 1980 se realizará un acto de presentación pública de los trabajos de los concursantes finalistas. En dicha presentación se entregarán los premios, con asistencia de la prensa técnica.

10. El jurado estará formado por miembros de la Compañía de Productos Electrónicos COPRESA, S.A. Su decisión será inapelable.

11. Los originales premiados serán publicados por COPRESA y el resto serán devueltos a sus autores en los días siguientes a la concesión de los premios.

12. Los autores se responsabilizan de la originalidad de sus trabajos y se comprometen a asumir la defensa de cualquier demanda interpuesta por dicha causa.

13. La concurrencia a estos premios supone la aceptación de estas bases.

Compañía de Productos Electrónicos COPRESA, S.A.
octubre 1979


COPRESA
comercializa
en España
el microprocesador 2650
de
signetics
PIP
2650



Revista "Miniwatt"

Vol. 19 - Núm. 2

75 Ptas.

LEDS apilables dan más luz



VOLUMEN 19 - Número 2

FEBRERO 1980



INDICE

PUBLICADA POR COMPAÑIA DE PRODUCTOS ELECTRONICOS "COPRESA", S. A.

Revista MINIWATT
Balmes, 22 - Barcelona-7

SUSCRIPCION ANUAL (11 números). . . . 600 Ptas.
PRECIO EJEMPLAR . . . . 75 Ptas.
GASTOS ENVIO CONTRA-REEMBOLSO . 100 Ptas.

Depósito Legal: B.18.387-61 ISSN 0210-2641 GRAFESA - Nápoles, 249 - Barcelona

Indicación digital de frecuencias para receptores de radio

El sistema que se describe en este artículo, basado en dos circuitos integrados, puede ser utilizado con VHF (FM), onda corta, onda media y onda larga, y puede ser programado para compensar un amplio margen de frecuencias intermedias. Puede ser fácilmente añadido a receptores existentes alimentados por la red y también puede ser adaptado a radios alimentadas por baterías. Un visualizador de diodos LED de 4 1/2 dígitos indica la frecuencia o número de canal.

Este sistema mide la frecuencia a la cual está sintonizada una radio AM/FM y da una visualización digital en diodos LED tanto de la frecuencia de sintonía como del número asociado del canal de VHF (FM).

El sistema cuenta el número de ciclos del oscilador local del receptor durante un período de tiempo predeterminado, sustrae del total una frecuencia intermedia programable y aplica el resultado a un decodificador/excitador del visualizador. La salida del decodificador está representada en forma de 4 1/2 dígitos de siete segmentos o, en el caso de transmisión VHF, existe la posibilidad de visualizar el número del canal asociado en forma de dos dígitos.

Puesto que el sistema emplea tan sólo dos circuitos integrados y pocos componentes pasivos periféricos además del visualizador, se puede montar todo el conjunto sobre una pequeña placa de circuito impreso. Además, puede programarse para funcionamiento en onda larga, media y en VHF, junto con un amplio margen de frecuencias intermedias. Por tanto, el sistema puede ser fácilmente añadido a la mayoría de los diseños de receptores de radio existentes.

Las principales características del sistema son:

- conmutación en el cruce por cero de la señal de red para reducir las posibles interferencias;
- muestreo múltiple para estabilizar el visualizador en las derivas a corto plazo del oscilador local;
- se necesita sólo una alimentación de 8 V de c.a.;
- es capaz de trabajar en un amplio margen de frecuencias intermedias: para AM, desde 449 kHz hasta 472 kHz; para FM, desde 10,6 MHz hasta 10,775 MHz;
- circuitería compacta con pocos componentes periféricos;
- posibilidad de "congelación", comprobación y borrado de la visualización;
- amplio margen de frecuencias y elevada resolución del visualizador:
  número del canal de VHF: + 02 a + 74 en 0,1 MHz,
  frecuencia de VHF, hasta 109,3 MHz en 0,05 MHz,
  frecuencia de onda corta, hasta 19995 kHz en 5 kHz,
  frecuencia de onda media/onda larga, hasta 1999 kHz en 1 kHz;
- supresión del parpadeo;
- la elevada sensibilidad de entrada permite la excitación directa a partir de los osciladores locales de los receptores de radio.

DESCRIPCION DEL SISTEMA

En el diagrama de bloques de la figura 1 se ilustra el principio de medición de frecuencia y el sistema de visualización. Los principales componentes del visualizador son un pre-escalador programable integrado (SAA1058), un circuito integrado de acoplamiento al visualizador y contador de frecuencia (SAA1070), un cristal de cuarzo de 4 MHz y un visualizador de diodos LED de 4 1/2 dígitos de siete segmentos.

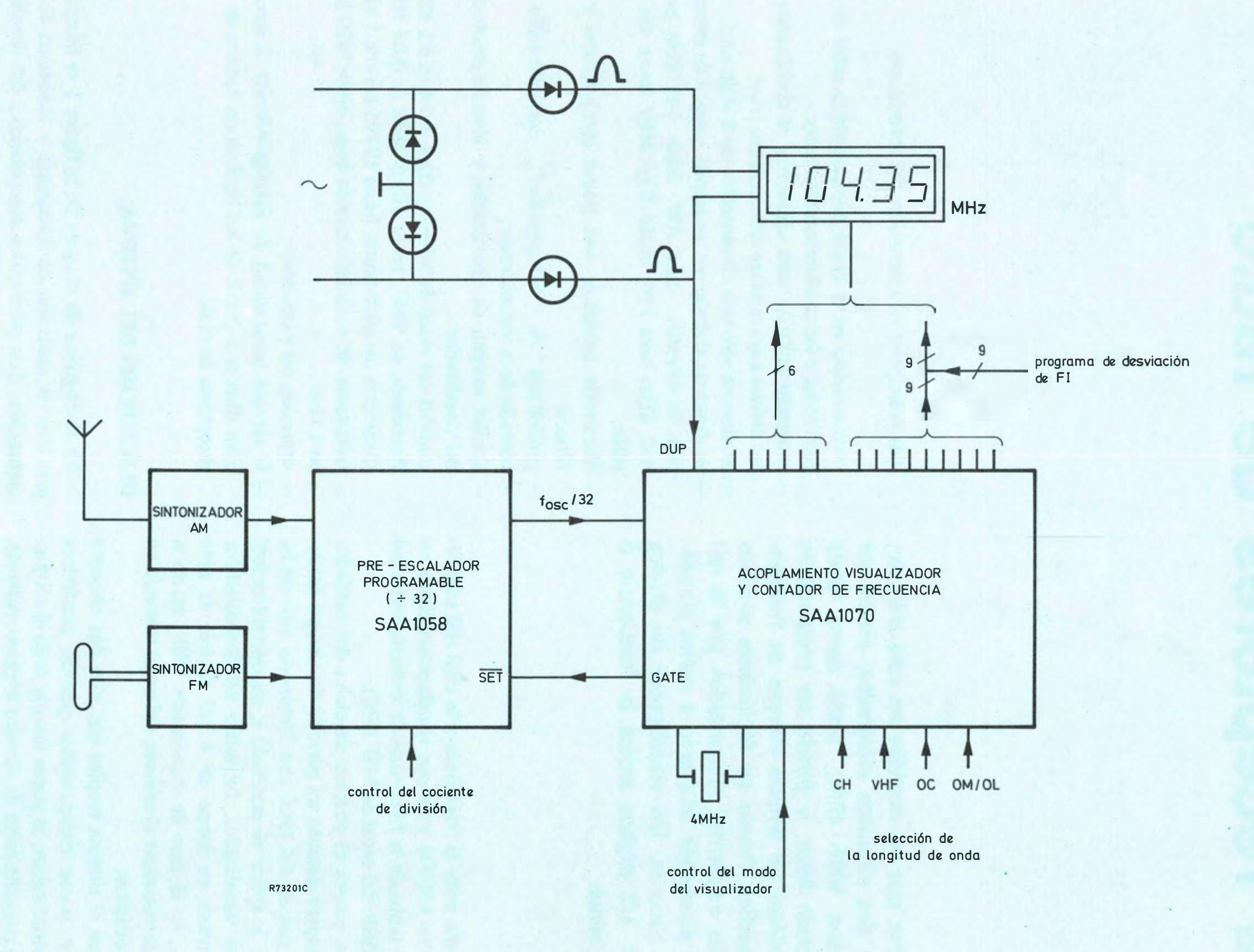


Figura 1. Diagrama de bloques de un indicador digital de frecuencias.

El pre-escalador contiene un preamplificador con entradas para señales AM y FM procedentes del oscilador local, un divisor de frecuencias y dos amplificadores de salida con la finalidad de excitar circuitos ECL o MOS. La elevada sensibilidad de entrada para las señales del oscilador de 5 mV para AM y 10 mV para FM permite que el sistema esté directamente conectado a los osciladores locales de la radio, sin un amplificador de acoplamiento.

El pre-escalador divide la frecuencia del oscilador local por 32 y da una salida en onda cuadrada para el circuito integrado excitador del visualizador/contador de frecuencia. La frecuencia se mide contando el número de transiciones a negativo que se presentan en un período definido por un generador de impulsos controlado por el cristal. El mismo circuito generador de impulsos preajusta al pre-escalador en el inicio de cada período de conteo para minimizar la posibilidad de indecisiones y reducir de este modo el parpadeo del visualizador. Nueve de las quince patillas de salida de SAA1070 se emplean también para programar el sistema para ser empleado con las frecuencias intermedias adecuadas para transmisión en onda corta, media, larga y en VHF.

La selección de la longitud de onda y del modo de visualización (frecuencia/número del canal/comprobación del visualizador/borrado del visualizador) estará afectada por la conexión de una de las cuatro patillas del SAA1070 a la línea de retorno de alimentación. Aplicando una señal semi-sinusoidal a la frecuencia de la red a la entrada DUP del circuito, se tendrá una mínima interferencia de radiación si se sincroniza la conmutación de los segmentos del visualizador con los cruces por cero de la tensión de excitación de ésta. El circuito es capaz de excitar directamente los segmentos del visualizador de diodos LED, por lo que no se necesitan transistores discretos de excitación.

CIRCUITOS INTEGRADOS

Pre-escalador programable

El SAA1058 es un divisor de varias etapas con un coeficiente de división seleccionable externamente de 32:1 ó 33:1. Esta posibilidad permite el empleo del circuito en sistemas sintetizadores de frecuencia, tales como por ejemplo, en sistemas de sintonía por PPL (Phase Locked Loop) controlados por microordenador, en los que se requiere el uso de ambos cocientes de división. En el sistema descrito aquí sólo se emplea la relación 32:1.

La figura 2 es un diagrama de bloques funcional simplificado del pre-escalador. El preamplificador asegura la elevada sensibilidad de entrada, de modo que las señales de los osciladores locales en el radioreceptor puedan conectarse al sistema a través de una red pasiva de acoplo. Los osciladores locales de AM y de FM pueden conectarse simultáneamente a las entradas simétricas del preamplificador sin necesidad de emplear un filtro de entrada o un interruptor siempre que el oscilador que no se utilice esté desconectado. El pre-escalador incorpora dos preamplificadores simétricos de salida, uno de los cuales tiene las salidas en emisor abierto, y el otro las tiene en colector abierto. Así, éstas son compatibles con entradas ECL u otras entradas y puede excitar circuitos que reaccionan a los flancos de caída o a los de subida de la señal de excitación. Cada uno de los cuatro bloques funcionales internos posee su propia patilla de alimentación; la 3 para V_{CC1} en el preamplificador de entrada, la 14 para V_{CC2} en la etapa de sincronización, la 12 para V_{CC3} en el divisor y la 10 para V_{CC4} en las etapas de salida.

La figura 3 es el diagrama de temporización del pre-escalador. Cuando la entrada CM33 está en nivel bajo, el cociente de división es 32:1. Si existe un desfase entre el período de medición y las transiciones en la salida del pre-escalador, el dígito menos significativo del visualizador parece que parpadee. Para evitar esto, la primera transición debería darse idealmente a los 17 períodos de la frecuencia de entrada después del inicio de cada período de conteo. Esta sincronización se logra aplicando una transición de niveles de bajo a alto, que representa el comienzo del período de conteo, a la entrada $\overline{SET}$ del pre-escalador.

Acoplador del visualizador y contador de frecuencia

El circuito integrado acoplador del visualizador y contador de frecuencia (SAA1070) está específicamente diseñado para el control de un visualizador de siete segmentos excitado en modo duplex de la frecuencia o del número de canal de VHF al que se ha sintonizado el radioreceptor de AM/FM. En la figura 4 se da un diagrama de bloques simplificado. Las principales características del circuito son:

- Etapas de salida capaces de excitar directamente un visualizador de diodos LED de 4 1/2 dígitos del número de frecuencia/canal, con LED de indicación de kHz o MHz. Para minimizar el número de patillas de salida y reducir las interferencias de radiación, las salidas de excitación de los segmentos están atacadas en el modo duplex en sincronismo con el cruce por cero de la alimentación alterna obtenida a partir de la tensión de red y aplicada a los ánodos del visualizador.
- Contador de frecuencia de 18 bits que puede ser puesto a cero para compensar un amplio margen de frecuencias intermedias programadas externamente

Figura 2. Diagrama de bloques de un pre-escalador programable.

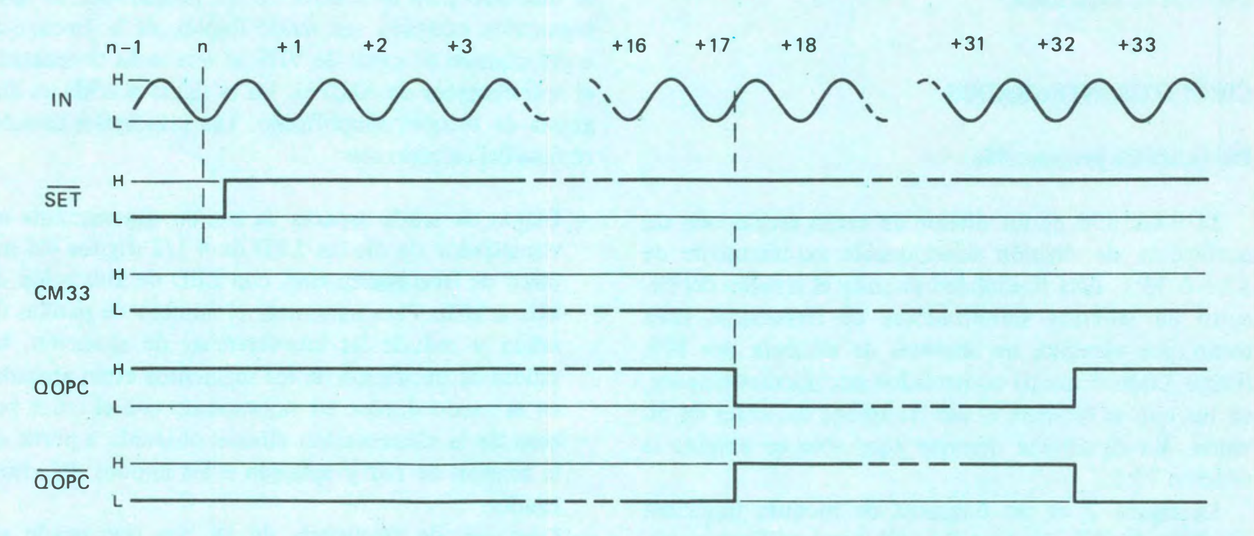


Figura 3. Diagrama de temporización de un pre-escalador programable.

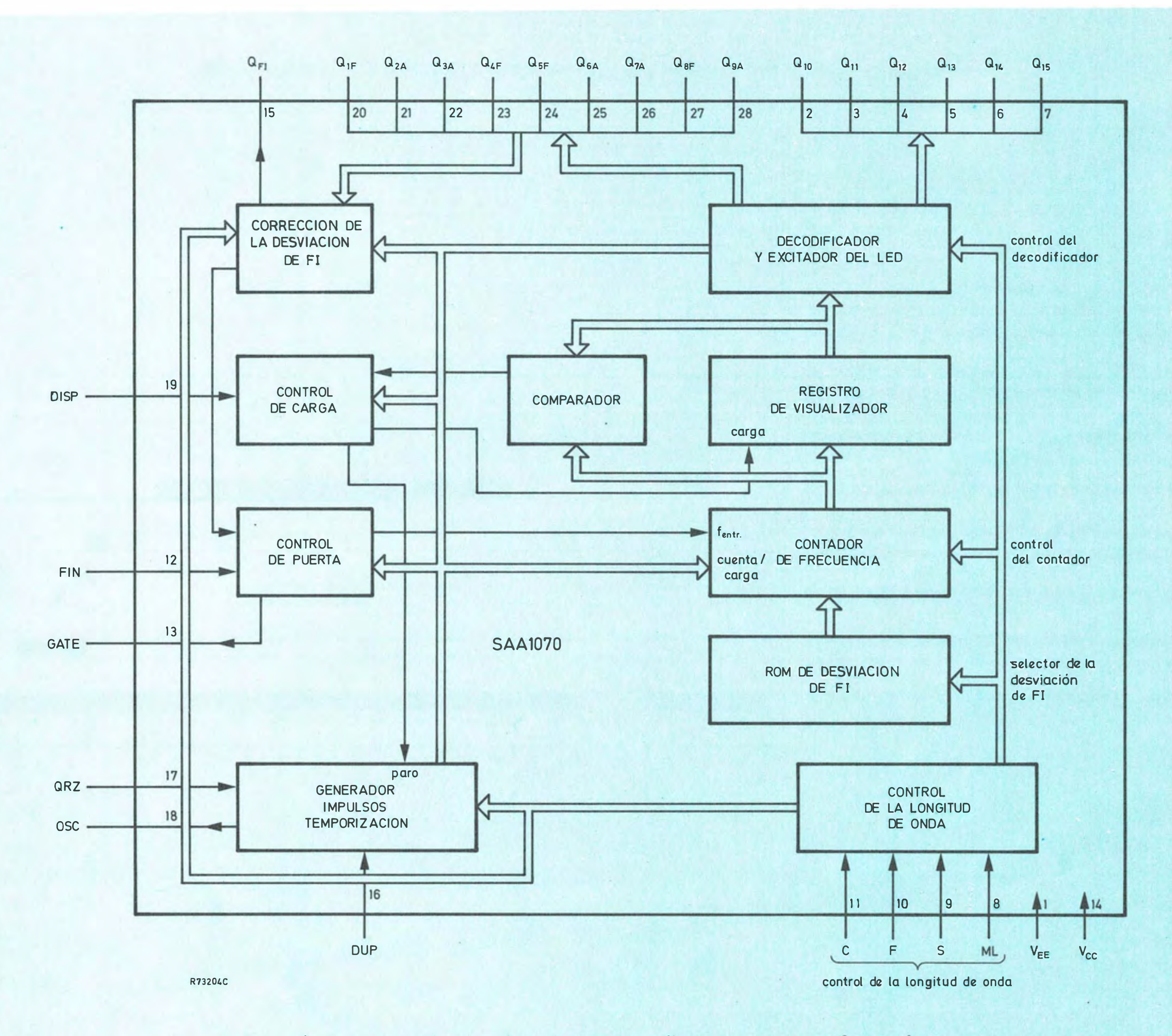


Figura 4. Diagrama de bloques del acoplador del vi ualizador y contador de frecuencias.

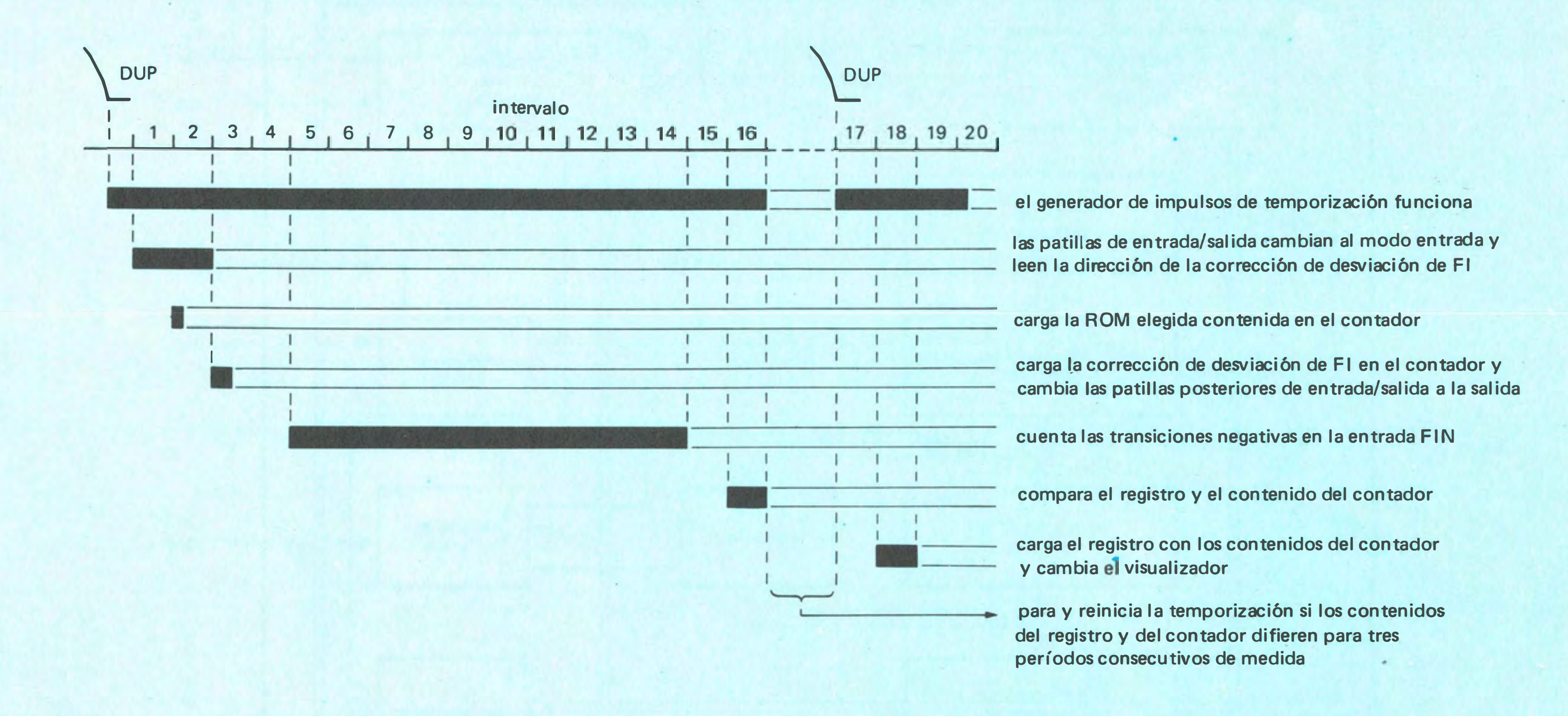


Figura 5. Diagrama de temporización para la medición de frecuencia y para el sistema de visualización.

para ser empleadas en las bandas de VHF, onda corta y onda media/larga.
- Comparador de 16 bits para comparar la frecuencia media y la visualizada y para actualizar un registro visualizador de 16 bits si existe una discrepancia en tres períodos sucesivos de medición. Esta técnica evita el parpadeo del visualizador debido a derivas a corto plazo en los osciladores locales del radioreceptor.
- Decodificador de siete segmentos y multiplexor para excitar las etapas de salida.
- Generador interno de impulsos de temporización controlado por un cristal de cuarzo de 4 MHz.
- Posibilidad de "congelación" de la visualización, lo que hace que el resultado de la última medición de frecuencia esté continuamente visualizada.
- Posibilidades de comprobación y borrado del visualizador.

Las funciones del acoplador de visualizador y contador de frecuencia se explican mejor con la ayuda del diagrama de bloques simplificado que se da en la figura 4.

Después de que la señal del oscilador local del radioreceptor ha sido dividida por 32 en el pre-escalador, ésta se aplica a la entrada FIN (patilla 12). El contador determina entonces cuantos impulsos han pasado durante un período de medición definido por un generador de impulsos bajo control de un cristal de cuarzo de 4 MHz conectado entre las patillas 17 y 18. Puesto que el contador ha sido puesto a cero con un número correspondiente a la frecuencia intermedia del receptor de radio, el conteo de impulsos es proporcional a la frecuencia a la que se halla sintonizada. El resultado del conteo se compara con la frecuencia visualizada y, si existe una diferencia para tres períodos de medida sucesivos, el registro del visualizador es actualizado de acuerdo con el siguiente impulso de sincronización (DUP) en la patilla 16.

Selección de la longitud de onda y desviación de F.I.

Antes de que el SAA1070 esté preparado para funcionar, debe ser ajustado de acuerdo con las condiciones de funcionamiento de la radio y del visualizador.

Las patillas 8, 9, 10 y 11 deben ser programadas de acuerdo con la tabla 1 para adecuarse a la banda de transmisión que está siendo empleada y, en el caso de transmisión en VHF, determinar si se visualizará el número del canal o la frecuencia de sintonía. Este programa también determina la resolución del visualizador como se muestra en la tabla 3, poniendo a cero el contador de impulsos de temporización controlado por un cristal de 4 MHz, para determinar un período de medición de la siguiente duración:

- VHF y número de canal: 256 μs (1024 ciclos de 4 MHz);
- onda corta: 2,56 ms (10240 ciclos de 4 MHz);
- onda media/larga: 3,2 ms (12800 ciclos de 4 MHz).

El programa de la banda de señal también direcciona la ROM de desviación de F.I. con la finalidad de poner a cero el contador de frecuencia para compensar una frecuencia intermedia de 10,7 MHz para transmisión VHF y de 460 kHz para onda corta/media/larga. Si las frecuencias intermedias requeridas difieren de estos valores, el generador de impulsos de desviación de F.I. debe ser puesto a cero mediante la programación de las patillas 20 a 28 de entrada/salida, tal como se muestra en las tablas 2 y 4. Estas patillas cambian la función de las salidas de excitación de los segmentos a las entradas de desviación de F.I. durante un corto período de tiempo que coincide con el flanco de paso a negativo del impulso de sincronización aplicado a la entrada DUP en la patilla 16.

Comprobación y borrado del visualizador

Las patillas 8, 9, 10 y 11 también pueden ser programadas de acuerdo con la tabla 1 para borrar la visualización, o provocar el encendido simultáneo de todos los segmentos como comprobación.

Impulso de sincronización

El comienzo de la medición de frecuencias y de la secuencia de conmutación del visualizador está sincronizado con los flancos de paso a negativo de los impulsos aplicados a la entrada DUP en la patilla 16. Si se emplean semiondas sinusoidales en contrafase obtenidas de la señal de red para alimentar el visualizador de diodos LED, es conveniente emplear una de ellas como impulso de sincronización. Esto asegura que la interferencia radiada se reduce al efectuar la conmutación de la salida del segmento decodificado en el instante en el que la señal de la red cruza por cero.

SECUENCIA DE PROCESADO DE LA SEÑAL

Para explicar la secuencia de procesado de señal de la medición de frecuencia y del sistema de visualización se describirá cada uno de los veinte intervalos con la ayuda de la figura 5. Cada uno de estos intervalos tiene un período determinado por el número de ciclos de 4 MHz exigidos por el programa en las entradas de control de longitud de onda del SAA1070. En la tabla 5 se da la duración de cada intervalo. La secuencia de temporiza-

Tabla 1. *Entradas de control de la longitud de onda.*

selección	n.° de patilla del SAA1070			
	8	9	10	11
frecuencia VHF	1	1	0	1
canal VHF	1	1	x	0
onda corta	1	0	1	x
onda media/larga	0	1	1	x
comprobación visualizador	0	1	0	0
	x	0	0	x
borrado visualizador	0	0	1	x
	0	1	0	1
	1	1	1	1

0 = retorno común o patilla 1.
1 = no conectado o conectado a la patilla 14.
x = 0 ó 1.

Tabla 2. *Entradas de corrección de la desviación de F.I. para onda corta/media/larga.*

patillas de entrada del SAA1070					F.I.	
21	22	25	26	28	oc (kHz)	om/ol kHz
0	0	0	0	0	460,00	460
0	0	0	1	0	448,75	449
1	0	0	1	0	450,00	450
0	1	0	1	0	451,25	451
1	1	0	1	0	452,50	452
0	0	1	1	0	453,75	453
1	0	1	1	0	455,00	454
0	1	1	1	0	456,25	455
1	1	1	1	0	457,50	456
0	0	0	0	1	456,25	457
1	0	0	0	1	457,50	458
0	1	0	0	1	458,75	459
1	1	0	0	1	460,00	460
0	0	1	0	1	461,25	461
1	0	1	0	1	462,50	462
0	1	1	0	1	463,75	463
1	1	1	0	1	465,00	464
0	0	0	1	1	463,75	465
1	0	0	1	1	465,00	466
0	1	0	1	1	466,25	467
1	1	0	1	1	467,50	468
0	0	1	1	1	468,75	469
1	0	1	1	1	470,00	470
0	1	1	1	1	471,25	471
1	1	1	1	1	472,50	472

0 = sin conectar.
1 = resistor de 22 kΩ conectado a 2,5 V (figura 6).

ción se inicia mediante el flanco de paso a negativo del impulso de sincronización de la semionda sinusoidal obtenida de la señal de red (DUP) aplicada a la patilla 16 del circuito integrado SAA1070.

Intervalo 1. Las patillas 20 a 28 del contador de frecuencia/excitador del visualizador se conmutan en función de las entradas de dirección de corrección de desviación de frecuencia intermedia y se almacena la dirección correcta en el circuito de corrección de desviación.

Intervalo 2. El contenido de la ROM de desviación de frecuencia intermedia direccionado por el circuito de selección de longitud de onda se introduce en el contador de frecuencia.

Intervalo 3. El número necesario de impulsos de compensación de frecuencia intermedia se cargan en el contador de frecuenias. Las patillas 20 a 28 del SAA1070 cambian a su función como salidas de excitación de los segmentos del visualizador.

Intervalo 4. El generador de impulsos de temporización está programado por el circuito selector de la banda de onda para generar un período de medición de apropiada duración.

Intervalos 5 a 14. Al final del intervalo 4, la salida GATE del SAA1070 pasa a nivel alto, activando así la entrada $\overline{\text{SET}}$ del pre-escalador que inicia el tren de impulsos de salida. Estos impulsos entran en el SAA1070 por la entrada FIN en la patilla 12. Estos pasan a continuación a través de una puerta de medición de período y se aplican al contador de frecuencia. Al final del intervalo 14, el generador de impulsos de temporización inhibe cualquier conteo de impulsos posterior inhabilitando la puerta de medición de período.

Intervalo 15. Este intervalo está libre.

Intervalo 16. Durante este intervalo, los 16 bits más significativos del contador de frecuencias de 18 bits se comparan con el contenido del registro de 16 bits del visualizador. Si existe una discrepancia, un contador de 2 bits en el comparador aumenta en una unidad. Si el contenido de este contador de 2 bits es menor que 3, la secuencia sigue a través de los intervalos 17, 18 y 19 sin acción posterior. Si el contenido del contador de frecuencia y del registro visualizador son iguales, el contador de 2 bits se pone a cero antes que la secuencia pase a los intervalos 17, 18 y 19 sin acción posterior. Si el contador de 2 bits aumenta, hace que el contador alcance el valor 3 (los contenidos del contador de frecuencia y del registro del visualizador difieren en tres períodos de medición consecutivos), el generador de impulsos de

Tabla 3. *Resolución del visualizador.*

ancho de banda	resolución	número equivalente transistores entrada del SAA1070
frecuencia VHF	0,05 MHz	4
canal VHF *	0,1 MHz	8
onda corta	5 kHz	4
onda larga/media	1 kHz	1

* Un canal = 300 kHz.
Canal 02 = 87,6 MHz.

Tabla 4. *Entradas de corrección de la desviación de F.I. para VHF.*

patilla de entrada del SAA1070				F.I. (MHz)
20	23	24	27	
0	0	0	0	10,70
1	0	0	0	10,60
0	1	0	0	10,6125
1	1	0	0	10,625
0	0	1	0	10,6375
1	0	1	0	10,65
0	1	1	0	10,6625
1	1	1	0	10,675
0	0	0	1	10,6875
1	0	0	1	10,70
0	1	0	1	10,7125
1	1	0	1	10,725
0	0	1	1	10,7375
1	0	1	1	10,75
0	1	1	1	10,7625
1	1	1	1	10,775

0 = sin conectar.
1 = resistor de 22 kΩ conectado a 2,5 V (figura 6).

Tabla 5. *Duración de los intervalos de temporización mostrados en la figura 5.*

intervalo	longitud de onda empleada				
	VHF	ch	oc	om/ol	unidad
1 a 3, 15 a 20	256	256	256	320	μs/intervalo
5 a 14	256	256	2560	3200	μs/intervalo
período medición (GATE = alto)	2.56	2.56	25.6	32.0	ms

temporización se interrumpe antes de que la secuencia pase al intervalo 17.

Intervalo 17. Si el contador de 2 bits ha alcanzado un valor igual a 3, el sistema espera a que aparezca el flanco de paso a negativo de la siguiente semionda sinusoidal en la entrada de sincronización DUP. El generador de impulsos de temporización vuelve entonces a funcionar y la secuencia pasa al intervalo 18.

Intervalo 18. Si el generador de impulsos de temporización empezó a funcionar de nuevo en el intervalo 17, los contenidos del contador de frecuencias son cargados en el registro visualizador y por ello el visualizador cambia al nuevo valor durante el cruce por cero de la tensión de excitación.

Intervalo 19. Este intervalo está libre.

Intervalo 20. El generador de impulsos de temporización se detiene y el sistema espera que aparezca el flanco de paso a negativo de la siguiente semionda sinusoidal en la entrada de sincronización DUP del SAA1070. El generador de impulsos de temporización vuelve a iniciar su funcionamiento y la secuencia vuelve a empezar por el intervalo 1.

OPCIONES DE VISUALIZACION

La secuencia de sucesos anteriormente descrita sólo se puede aplicar mientras la patilla DISP (patilla 19) del SAA1070 permanezca desconectada. Entonces la patilla 19 se convierte en una salida en la cual se pueden gobernar los impulsos de corrección de la desviación de frecuencia intermedia. La patilla 19 se puede conectar para variar el modo de funcionamiento de la siguiente forma.

Representación estática

Si la patilla 19 está conectada a una pista común, la secuencia se interrumpe al final del intervalo 16 debido a que se inhibe el generador de impulsos de temporización, la salida GATE del SAA1070 está continuamente en nivel bajo y por tanto el pre-escalador se mantiene en el estado SET. Por tanto, el valor visualizado queda "congelado" en la última frecuencia que ha sido medida.

Tiempo de respuesta reducido del visualizador

Si la patilla 19 está conectada a la misma tensión de alimentación que la patilla 14 del SAA1070, la frecuencia visualizada variará siempre que exista una diferencia

entre los contenidos del contador y del registro del visualizador en el intervalo 16, independientemente del contenido del contador de 2 bits. En esta forma de funcionamiento desaparece la posibilidad de reducción del parpadeo, pero se reduce el tiempo de respuesta del sistema.

DISEÑO DEL SISTEMA

En la figura 6 se da el esquema de un circuito típico de medición de frecuencias con un visualizador de diodos LED. Este circuito se emplea como base para las siguientes recomendaciones sobre el diseño del sistema.

Pre-escalador programable tipo SAA1058

Patillas 1 y 2. Los resistores R_3 y R_4 conectan estas patillas a las de entrada 4 y 5, complementando así el lazo de realimentación para el preamplificador de entrada y ajustando la sensibilidad del pre-escalador. Las patillas 1 y 2 también se conectan a la pista común mediante los resistores de paso R_5 y R_6. Estos resistores, junto con el de filtro de alimentación R_7, determinan el punto de trabajo de las etapas de salida del preamplificador.

Patilla 3. Patilla de alimentación para el preamplificador de entrada. La tensión de alimentación está filtrada mediante la red resistor/condensador R_7, C_5.

Patillas 4 y 5. Entradas simétricas del preamplificador. Las señales del oscilador local de AM/FM de la radio están acopladas capacitivamente a estas patillas mediante C_1 y C_2. Los resistores R_1 y R_2 aseguran que la resistencia interna del oscilador local (1 kΩ máx.) está correctamente adaptada a la impedancia de entrada de 75 Ω del pre-escalador (red de entrada en paralelo con una impedancia de entrada diferencial de 1 kΩ en las patillas 4 y 5). La sensibilidad del pre-escalador, con los valores de los componentes dados en la figura 6 es de 10 mV en la patilla 4 (entrada al oscilador local de AM).

Patilla 6. Retorno de la tensión de alimentación.

Patilla 7. Salida en colector abierto $\overline{\text{QOPC}}$, que da lugar a una inversión de la señal en la patilla 8. Esta patilla no se emplea en el sistema de la figura 6, y por lo tanto no está conectada.

Patilla 8. Salida en colector abierto QOPC que da lugar a una transición de paso a negativo después de cada 16 ciclos de entrada y una de paso a positivo después de cada 32 ciclos (ó 33) de entrada. La carga para este colector abierto es R_{29}. El nivel de la señal de salida está ajustado mediante el divisor de tensión R_{10}, R_{11} antes de ser aplicado a la patilla 12 del acoplador del visualizador y contador de frecuencias (SAA1070). Obsérvese que incluso una pequeña capacidad (5 pF a 10 pF) conectada directamente a esta patilla de salida da lugar a una radiación de alta frecuencia en la entrada (o entradas) de antena de la radio. Esto restringe severamente la sensibilidad utilizable en el pre-escalador. La red de resistores R_{10}, R_{11}, junto con la baja capacidad en la patilla 12 del SAA1070 mejora ampliamente el funcionamiento del conjunto.

Patilla 9. Salida en emisor abierto $\overline{\text{QECC}}$ con la misma función que la patilla 7. No se emplea en el sistema mostrado en la figura 6 y por lo tanto se conecta a la alimentación de la etapa de salida en la patilla 10.

Patilla 10. Patilla de alimentación de la etapa de salida que se conecta a la tensión de alimentación de 5 V mediante el filtro R_8, C_6.

Patilla 11. Salida en emisor abierto QECC con la misma función que la patilla 8. La patilla no se emplea en el sistema mostrado en la figura 6 por lo que se conecta a la alimentación de la etapa de salida en la patilla 10.

Patilla 12. Patilla de alimentación para el circuito divisor de frecuencia y para los preamplificadores de salida. Esta patilla está conectada a la misma alimentación que la patilla 10.

Patilla 13. Entrada de ajuste del cociente de división. Cuando el nivel de tensión en esta patilla es alto, el cociente de división del pre-escalador queda establecido en 33:1. Cuando está en el nivel bajo, esta relación es 32:1. En el sistema mostrado en la figura 6, el cociente necesario es de 32:1. Por tanto, se conecta esta patilla a la pista de retorno común.

Patilla 14. Patilla de alimentación para la etapa de sincronización. Esta patilla necesita una tensión de alimentación que es 0,2 V superior que la aplicada a la etapa divisora en la patilla 12. Por tanto, la patilla 14 está directamente conectada a la tensión de alimentación estabilizada de 5 V y se obtiene la alimentación de la etapa divisora en la patilla 12 a través del resistor R_8. Las dos líneas de alimentación están desacopladas mediante los condensadores C_6 y C_7.

Patilla 15. Entrada de sincronización $\overline{\text{SET}}$ para el pre-escalador. Cuando el nivel de la tensión aplicada es bajo se inhiben los impulsos de salida del pre-escalador. La primera transición de salida se presenta 17 ciclos de entrada después de que el nivel de tensión en la patilla 15 haya pasado a alto. Puesto que la patilla 15 recibe los impulsos de medición de período procedentes de la

patilla 13 del SAA1070, la primera transición de salida del pre-escalador está temporizada con exactitud respecto al inicio del período de medición. Esta sincronización elimina el parpadeo del dígito menos significativo visualizado debido a indecisiones en el conteo.

Patilla 16. Retorno de la tensión de alimentación.

Acoplador del visualizador y contador de frecuencias SAA1070

Excitación de los segmentos del visualizador

El conteo de frecuencia en el registro del visualizador del SAA1070 está decodificado en 30 bits de información para excitación de los siete segmentos. Esta información se presenta en las patillas de salida del circuito integrado (patillas 2 a 7 y 20 a 28) en dos grupos de 15 bits multiplexados en división en el tiempo como se muestra en la tabla 6. La conmutación de salida se sincroniza con los períodos de corriente igual a cero entre las semiondas sinusoidales de 50 Hz aplicadas a la patilla 6.

Los ánodos de los diodos LED en cada grupo de excitación son excitados con tensiones alternas de 8 V y 50 Hz. Los cátodos se conectan a las líneas de retorno común a través de los resistores limitadores de corriente R_{17} a R_{36} y de las etapas de salida del SAA1070. La corriente media en el segmento es una función de la tensión eficaz de alimentación y del valor de los resistores limitadores de corriente de la siguiente forma:

$$I_{seg\,av} = \frac{1{,}4\,V_{rms} - 2V_d - V_f - V_{QL}}{\pi R_L},$$

donde V_{rms} = valor eficaz de la tensión de alimentación de excitación,
V_d = tensión directa en el diodo BY206 (≈ 0,7 V),
V_f = tensión directa en el segmento del LED (≈ 1,5 V),
V_{QL} = tensión de salida de estado bajo del SAA1070 (0,5 V),
R_L = valor de los resistores limitadores de corriente.

En el circuito visualizador de diodos LED de la figura 6, con una alimentación de 8 V eficaces y resistores limitadores de corriente de 270 Ω, la corriente media para los segmentos es de unos 9,5 mA.

Como se muestra en la tabla 6, el grupo de excitación de los segmentos requiere que, en la mayoría de los casos, el cátodo de cada segmento en un grupo esté conectado a la misma patilla de salida que los correspondientes a los otros cátodos de los otros grupos. En los cinco casos del grupo 1 en los que esto no ocurre, los cátodos de los segmentos están conectados a los cátodos de los diodos D_6 a D_{10}. Los ánodos de estos diodos se conectan a la línea de excitación de ánodos para el grupo 0. Esta disposición asegura la protección de los segmentos contra la aplicación de tensiones inversas durante el proceso de conmutación.

El signo + en el visualizador mostrado en la figura 6 está formado por una combinación de los segmentos *c* y *d* del LED 1. Si se emplea un visualizador con segmentos separados para los signos + y –, es necesario desconectar el segmento *c* del LED 1 (signo –) cuando el *d* (signo +) esté activado. Esto se puede lograr conectando un transistor BC558 en paralelo con el segmento *e* y haciendo que el transistor conduzca con la señal de excitación del segmento *d*. Esta disposición se muestra en la figura 7.

La anterior descripción se aplica a la excitación de un visualizador de diodos LED. Otros tipos de visualizadores, como los electroluminiscentes o los de descarga de gas, también pueden ser excitados por el SAA1070. Sin embargo, el empleo de estos tipos de visualizador implica una mayor complejidad del circuito de excitación puesto que requieren fuentes de alimentación adicionales de alto nivel. Por ello, se deberán conectar transistores adicionales entre los segmentos del visualizador y las salidas del SAA1070.

Tabla 6. *Multiplexado de excitación del segmento del visualizador.*

n.º de patilla del SAA1070	grupo de excitación multiplexado	
2	LED4a	LED5a
	D_8	LED5d
3	LED4c	LED5b
	D_9	LED5e
4	LED4d	LED5c
	D_{10}	LED5f
5	LED4g	LED1c
6	LED4e	LED1a
	D_6	LED1b
7	LED7	LED3(DP)
	D_7	LED6
20	LED2f	LED3f
21	LED2g	LED3g
22	LED2e	LED3e
23	LED2d	LED3d
24	LED2c	LED3c
25	LED2b	LED3b
26	LED2a	LED3a
27	LED4b	LED5g
28	LED4f	LED1d

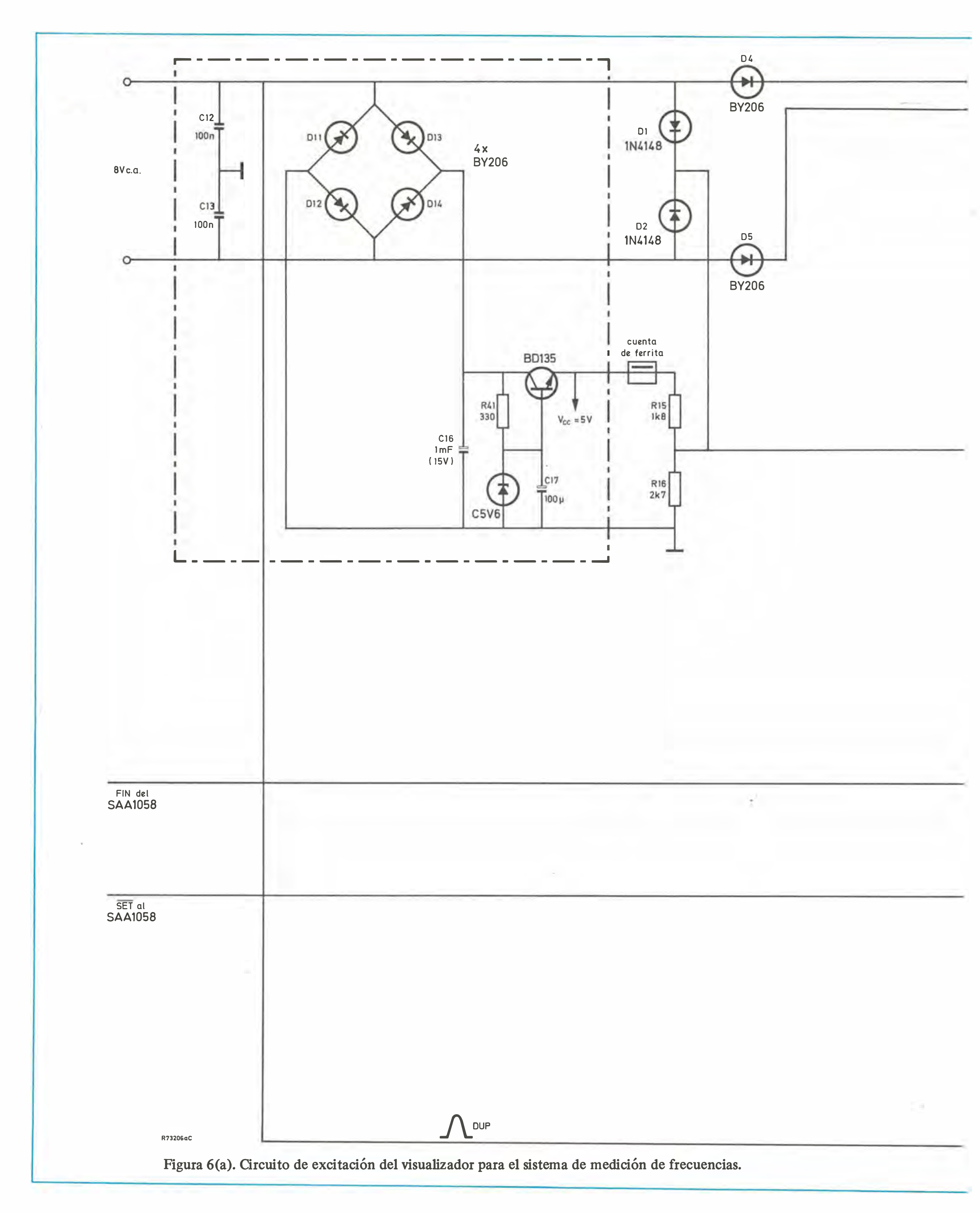
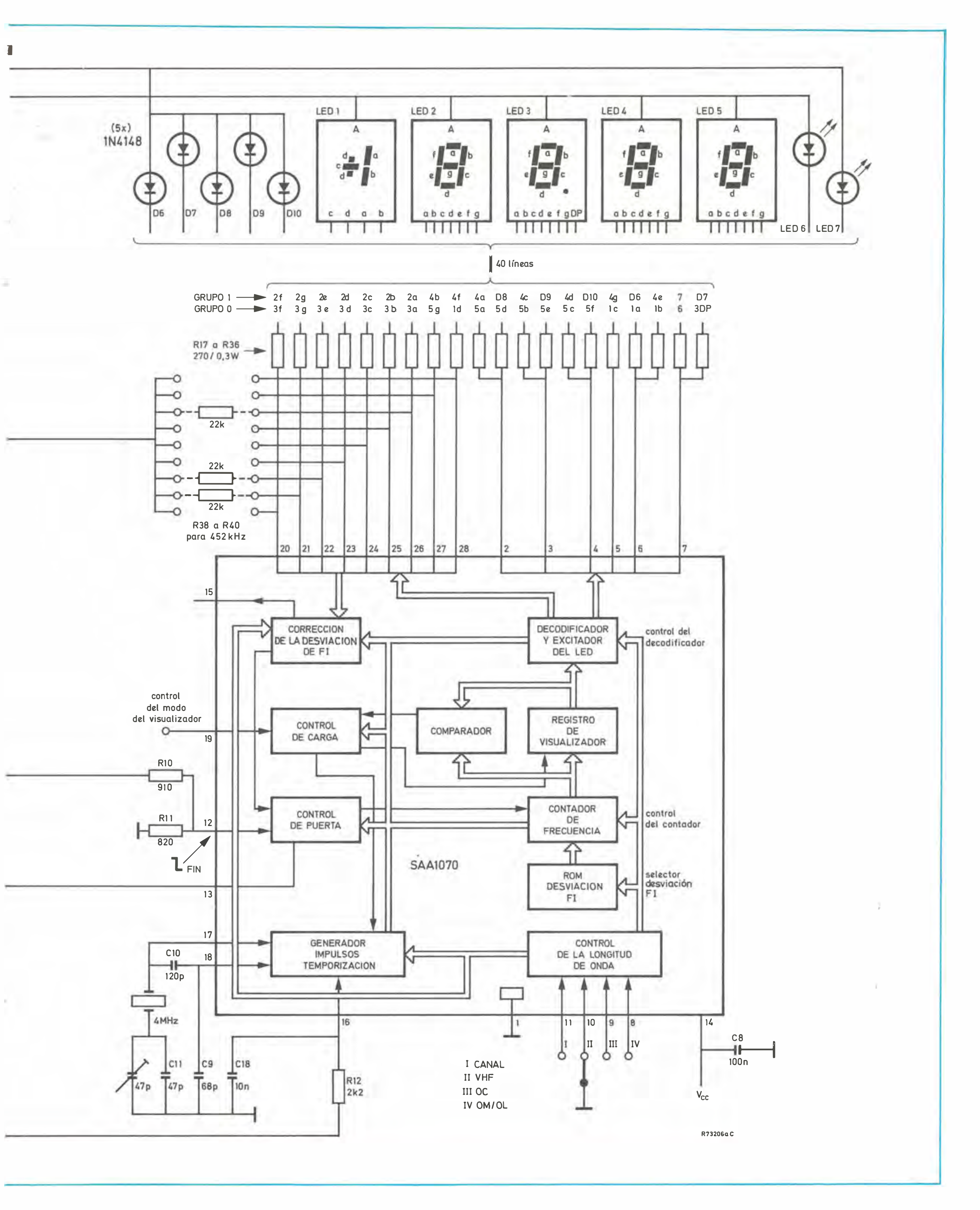


Figura 6(a). Circuito de excitación del visualizador para el sistema de medición de frecuencias.



(5x)
1N4148
D6
D7
D8
D9
D10
LED 1
LED 2
LED 3
LED 4
LED 5
LED 6
LED 7
40 líneas
GRUPO 1
GRUPO 0
2f 2g 2e 2d 2c 2b 2a 4b 4f 4a D8 4c D9 4d D10 4g D6 4e 7 D7
3f 3g 3e 3d 3c 3b 3a 5g 1d 5a 5d 5b 5e 5c 5f 1c 1a 1b 6 3DP
R17 a R36
270/0,3W
22k
22k
22k
R38 a R40
para 452 kHz
CORRECCION DE LA DESVIACION DE FI
DECODIFICADOR Y EXCITADOR DEL LED
control del decodificador
control del modo del visualizador
CONTROL DE CARGA
COMPARADOR
REGISTRO DE VISUALIZADOR
R10
910
R11
820
FIN
CONTROL DE PUERTA
CONTADOR DE FRECUENCIA
control del contador
SAA1070
ROM DESVIACION FI
selector desviación FI
GENERADOR IMPULSOS TEMPORIZACION
CONTROL DE LA LONGITUD DE ONDA
C10
120p
4MHz
47p
C11
47p
C9
68p
C18
10n
R12
2k2
I CANAL
II VHF
III OC
IV OM/OL
C8
100n
V_{CC}
R73206a C

V_{CC} = 5Vc.c.
cuenta de ferrita
R8 2,2
R7 27
C6 100n
C7 100n
C5 22n
R5 56k
R2 82
R4 3k3
SAA1058
14 12 3 10
11
R29 180
9
del oscilador local de OC/OM/OL
C2 10n
del oscilador local de VHF
C1 10n
5
4
2
1
PRE-ESCALADOR ÷ 32/33
ETAPAS DE SALIDA
8
FIN al SAA1070
7
R3 3k3
PREAMPLIFICADOR DE ENTRADA
R1 82
R6 56k
C3 100n
16 6 15 13
DUP del circuito visualizador
R73206bC

Figura 6(b). Circuito pre-escalador para el sistema de medición de frecuencia.

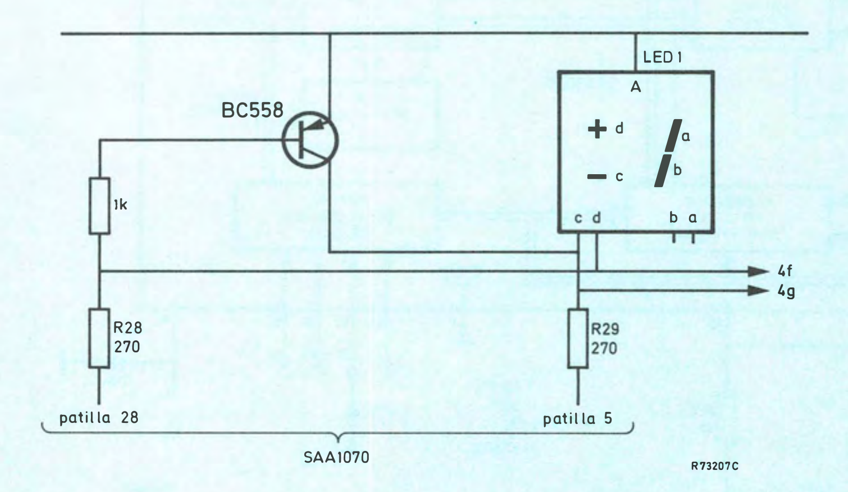


Figura 7. Otra disposición para excitar un visualizador de diodos LED con segmentos separados para los signos más y menos.

Circuito periférico. Las funciones de las restantes patillas del circuito integrado SAA1070 son las siguientes.

Patilla 1. Retorno de la tensión de alimentación.

Patillas 2 a 7. Patillas de salida de excitación de los segmentos como se describió anteriormente.

Patilla 8. Selección de onda media/onda larga. Cuando esta patilla está conectada al retorno común, la secuencia de temporización se ajusta para las mediciones de frecuencia de onda media y larga, y el visualizador es capaz de indicar valores comprendidos entre 000 kHz y 1999 kHz. Si se conecta esta patilla al retorno común simultáneamente con la patilla 9 o la 10, se borrará la visualización.

Patilla 9. Selección de onda corta. Cuando esta patilla está conectada al retorno común, la secuencia de temporización se ajusta para las mediciones de frecuencia de onda corta y el visualizador es capaz de indicar valores comprendidos entre 0000 kHz y 19995 kHz. Si se conecta esta patilla al retorno común simultáneamente con la patilla 8 o la 10, se borrará la visualización.

Patilla 10. Selección de VHF. Cuando esta patilla está conectada al retorno común, la secuencia de temporización se ajusta para las mediciones para VHF y el visualizador es capaz de indicar valores comprendidos entre 00,00 MHz y 199,95 MHz. En la práctica, puesto que la frecuencia de entrada del SAA1070 está limitada a 3,75 MHz, la máxima frecuencia que se puede visualizar es:

$$f_{máx} = 32(3{,}75 \times 10^6) - F.I.$$

Para una frecuencia intermedia de 10,7 MHz esto da lugar a una frecuencia máxima visualizada de 109,30 MHz. Si esta patilla se conecta al retorno común simultáneamente con la patilla 8 o la 9, se borrará la visualización.

Patilla 11. Selección del número de canal de VHF. Cuando esta patilla está conectada al retorno común, la secuencia de temporización está ajustada para determinar el número de canal de VHF asociado a la frecuencia medida. El visualizador es capaz de indicar valores comprendidos entre –00 y +99. Cada número del canal es un incremento de 300 kHz de frecuencia media. El número más bajo en un receptor práctico es 02 = 87,6 MHz. Puesto que la frecuencia de entrada del SAA1070 está limitada a 3,75 MHz, el número de canal más elevado que se puede visualizar es:

$$2 + \frac{(3{,}75 \times 32) - F.I. - 87{,}6}{0{,}3}$$

donde FI es la frecuencia intermedia en MHz.

Para una frecuencia intermedia de 10,7 MHz se tendrá un máximo igual a 74 para el número de canal visualizado. Si esta patilla se conecta al retorno común simultáneamente con las patillas 8 y 10, se encenderán todos los segmentos del visualizador con el fin de hacer comprobaciones.

Patilla 12. Entrada FIN que recibe la frecuencia a medir a partir de la patilla 8 del pre-escalador. Para una mayor información véase la descripción de la patilla 8 de SAA1058.

Patilla 13. La salida de esta patilla (GATE) está en estado alto durante el período de medición. Se emplea para sincronizar los impulsos de salida del pre-escalador de forma que queden perfectamente localizados dentro del período de medición. Para mayor información, véase la descripción de la patilla 15 del SAA1058.

Patilla 14. Entrada de alimentación estabilizada positiva de 5 V. En el circuito de la figura 6, la alimentación se obtiene de un circuito estabilizador de tensión de componentes discretos mediante una placa de circuito impreso separada y desacoplada mediante C_8. La alimentación también se podría obtener a partir de un circuito integrado estabilizador de tensión (por ejemplo el SA78M05CU) como muestra la figura 10.

Patilla 15. Esta patilla se ajusta a un nivel de 2,5 V durante los dos primeros intervalos de la secuencia de temporización. Esta tensión puede ser empleada para programar las entradas de desviación de frecuencia intermedia. También se puede emplear con otros tipos de visualizadores para inhibir las etapas excitadoras discretas durante el período en el que las patillas de salida 20 a 29 están siendo empleadas como entradas de desviación de frecuencia intermedia.

Patilla 16. Entrada DUP de sincronización. Cuando el nivel aplicado a esta patilla es alto ($>$ 1 V), las salidas de excitación de los 15 segmentos del SAA1070 son válidas para los diodos LED 2, 4 y 7 (grupo multiplexado 1 en la tabla 6). Cuando el nivel aplicado a la patilla 16 es bajo ($<$ 0,7 V), las 15 salidas son válidas para los diodos LED 1, 3, 5 y 6 (grupo multiplexado 0 en la tabla 6). El sistema mostrado en la figura 6 está alimentado por la tensión de red de 50 Hz. Los ánodos de los dos grupos de segmentos del visualizador están alimentados, por tanto, por semiciclos alternados de la tensión de red de 50 Hz a través de un transformador con un devanado secundario de 8 V. La semionda sinusoidal que excita el grupo multiplexado 1 también puede conectarse a la entrada DUP de sincronización (patilla 16) a través del resistor limitador de corriente R_{12}.

La información de excitación del segmento y la función de las patillas de entrada/salida 20 a 28, varía en sincronismo con el flanco de caída del impulso DUP. La conmutación del segmento y los cambios de la salida del visualizador a la entrada de desviación de frecuencias intermedias tienen lugar en los períodos de tensión igual a cero en las semiondas sinusoidales de la alimentación cuando no circula corriente en las patillas 20 a 28 del circuito integrado. Esta técnica elimina las interferencias debidas a los transitorios de conmutación. Para evitar la inyección de estas interferencias en la entrada DUP de sincronización, se conecta un condensador (C_{18}) entre la patilla 16 y el retorno común. Sin embargo, la constante de tiempo debida a R_{12} y C_{18} no debe ser lo suficientemente elevada como para provocar un cambio significativo en la pendiente del flanco de caída del impulso DUP. Se ha encontrado que es adecuado un valor igual a 10 nF para C_{18} cuando se emplea con un resistor R_{12} de 2,2 kΩ.

Debido a las tensiones directas en los componentes activos del circuito de excitación de los segmentos (uno de los diodos del puente de entrada, el diodo de alimentación de ánodo D_4 ó D_5, el segmento del LED y la etapa de salida del SAA1070), la corriente no puede circular por el circuito mientras que la amplitud instantánea de la semionda sinusoidal de excitación sea inferior a unos 2,5 V. Por lo tanto, este período está disponible para conmutación de las etapas de salida del SAA1070. Sin embargo, la secuencia de conmutación no se iniciará hasta que la amplitud del impulso DUP haya caído hasta 0,7 V. Si la semionda sinusoidal de excitación sin atenuar se emplea también como impulso DUP, el tiempo disponible para la secuencia de conmutación es función de la tensión de excitación, y siempre es menor que el período de corriente de excitación igual a cero. Esto se muestra en la figura 8. Con tensiones de excitación mayores que 7,6 V eficaces, existe posibilidad de que se generen interferencias al elegir entre onda media y onda larga puesto que la secuencia de conmutación quedará incompleta cuando la corriente del visualizador comience a circular de nuevo. Al emplear tensiones de excitación comprendidas entre 7,6 y 9,4 V eficaces, el problema puede resolverse, como muestra la figura 9, haciendo que el nivel bajo del impulso DUP se adelante reduciendo la amplitud de pico (pendiente) del impulso. Por lo tanto, para asegurar que la secuencia de conmutación de salida no pueda empezar antes del período de corriente igual a cero del visualizador, la amplitud del impulso DUP no debe caer a 0,7 V antes de que el nivel de la semionda sinusoidal de excitación haya caído 2,5 V. Además, el impulso DUP debe aumentar a su nivel alto (1 V) antes de que la semionda sinusoidal de excitación alcance 2,5 V. Ambas condiciones deben verificarse si la amplitud del impulso DUP no es menor que una mitad de la del impulso de excitación (véase la figura 9).

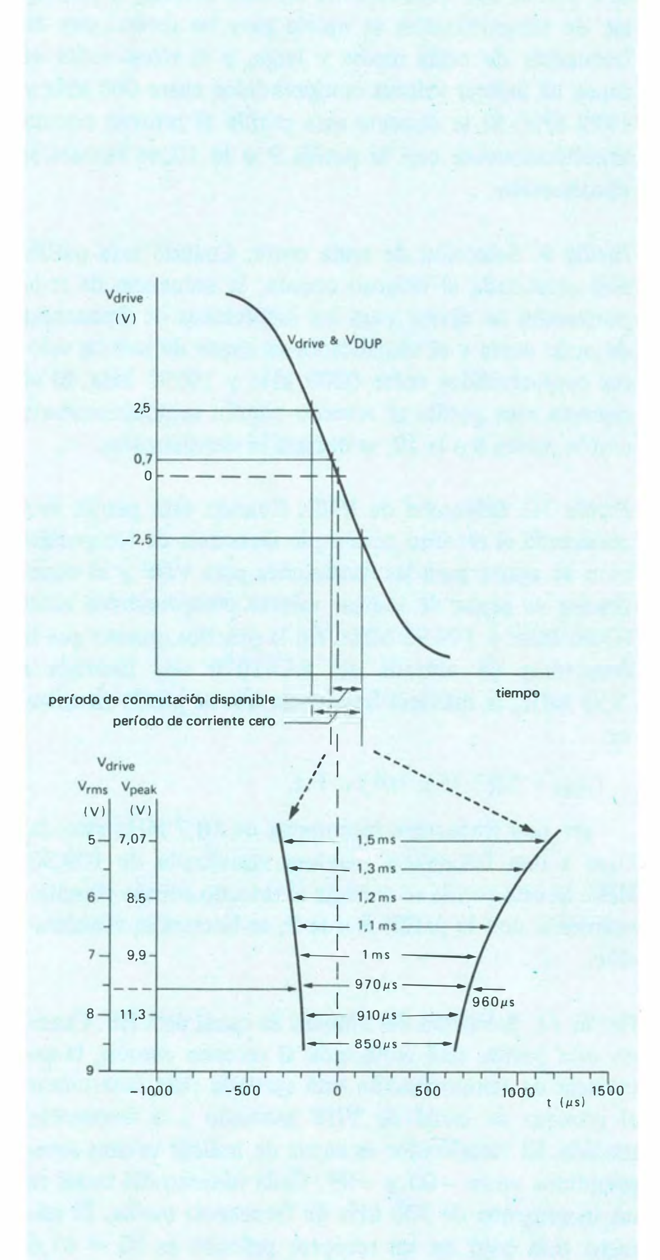


Figura 8. Períodos de conmutación de salida en función de la tensión de excitación cuando $V_{DUP} = V_{excitación}$

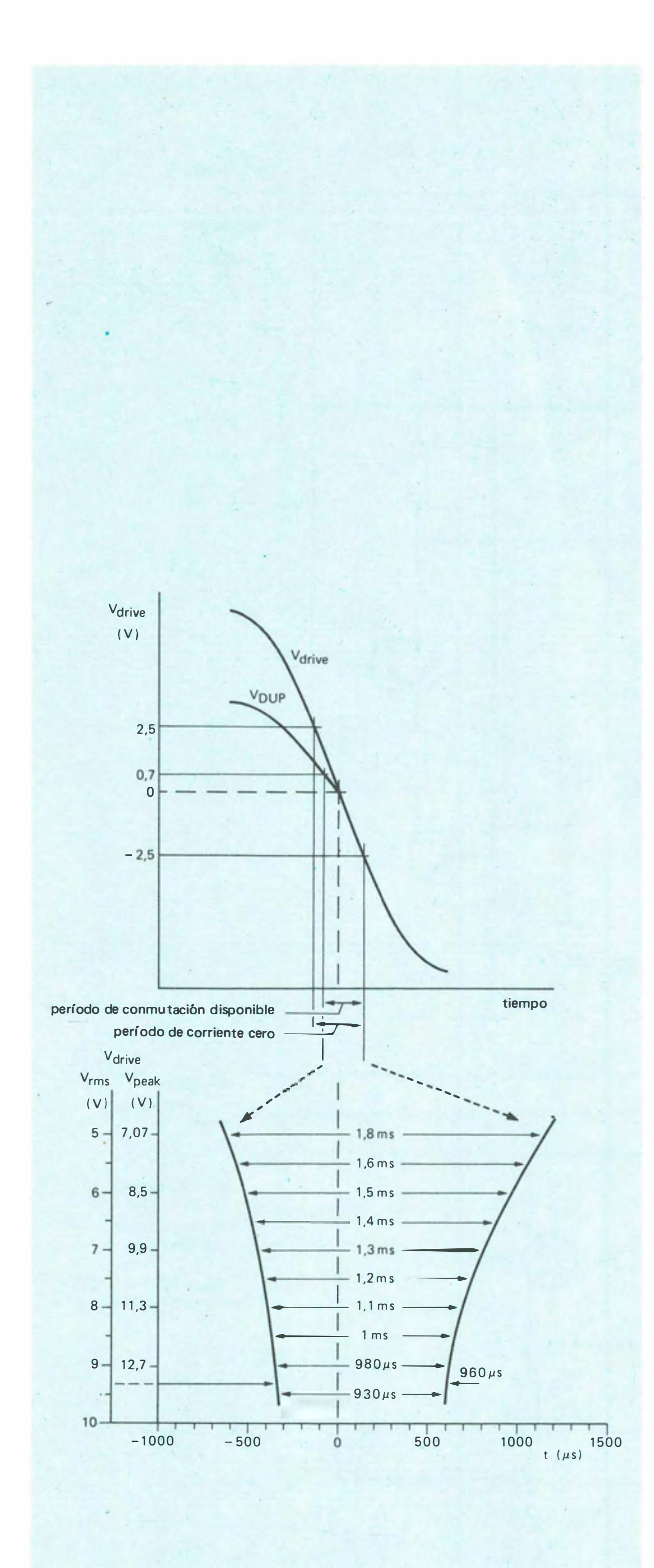


Figura 9. Períodos de conmutación de salida en función de la tensión de excitación cuando $V_{DUP} = V_{excitación}/2$.

El tiempo máximo empleado por la secuencia de conmutación en las patillas de salida del SAA1070 es de 3 intervalos de temporización. En el peor caso (onda larga/onda media), este intervalo será de 3 X 320 µs = 960 µs. El tiempo comprendido entre la reducción de la amplitud del impulso DUP a 0,7 V y el incremento a 2,5 V del siguiente impulso de excitación deberá ser como mínimo de 960 µs. En la figura 9 se muestra que, si la amplitud de pico del impulso DUP es la mitad del impulso de excitación, se cumplirá esta condición si la amplitud de este último no es mayor que 9,4 V eficaces.

Patillas 17 y 18. Se conectan estas patillas a los componentes que determinan la frecuencia para el generador interno de impulsos de temporización. Estos componentes son los condensadores C_9, C_{10} y C_{11}, un condensador variable y un cristal de cuarzo de 4 MHz. El generador de impulsos de temporización debe estar exactamente ajustado a 4 MHz. Cualquier desalineamiento provocará un error en la frecuencia visualizada de 3 kHz en la banda de VHF por cada 100 Hz de desviación en la frecuencia del generador de impulsos de temporización. Este error se reduce a 400 Hz para onda corta y a 25 Hz para ondas media y larga. Los impulsos de 4 MHz pueden observarse en la patilla 19. Por lo tanto hay que tener en cuenta que al conectar una sonda de prueba en la patilla 19 se producirá una reducción de 4 Hz/pF en la frecuencia de los impulsos de temporización. Si, por ejemplo, se emplea una sonda de prueba de 10 pF de capacitancia, el generador de impulsos de temporización debe ajustarse a una frecuencia medida de 4 MHz – 40 Hz = 3 999 960 Hz.

Patilla 19. Esta es la entrada DISP que controla el modo de funcionamiento del visualizador, como se describió en el apartado denominado "opciones para el visualizador". En el circuito de la figura 6, esta patilla no está conectada. Por lo tanto, en funcionamiento normal no se emplea.

Patillas 20 a 28. Estas son patillas de entrada/salida que funcionan como salidas de excitación del visualizador cuando la amplitud instantánea de las semiondas sinusoidales de excitación es mayor que 2,5 V, y como entrada de desviación de frecuencia intermedia durante el período de cruce por cero del impulso de excitación. La función de salida ya ha sido descrita.

La ROM de desviación de frecuencia intermedia en el SAA1070 contiene los datos que modifican el conteo de frecuencia para compensar las frecuencias intermedias de 10,7 MHz para VHF y de 460 kHz para las ondas larga/media/corta. Si la radio emplea una frecuencia intermedia distinta, las patillas 20 a 28 deben programarse de acuerdo con las direcciones adecuadas dadas en las tablas 2 y 4. La programación se efectúa conectando las

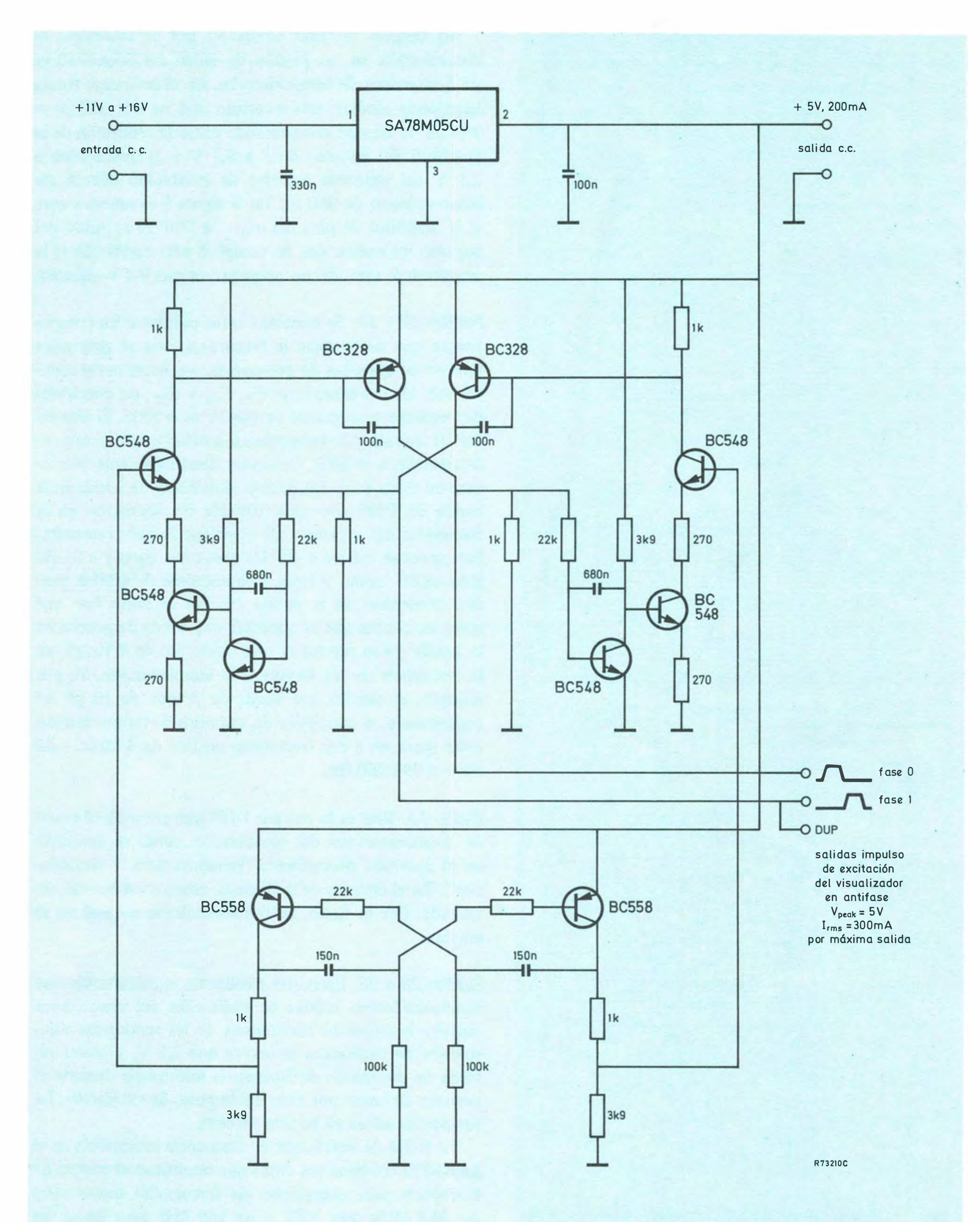


Figura 10. Fuente de alimentación para un sistema de medición de frecuencia y visualización en un radioreceptor alimentado con baterías. El circuito integrado regulador de tensión debe montarse sobre un radiador con una resistencia térmica que no exceda los 10°C/W.

patillas indicadas a un nivel de corriente continua a través de resistores limitadores de corriente. Un nivel adecuado de corriente continua (2,5 V) aparece en la patilla 15 durante los dos primeros intervalos de la secuencia de temporización. Sin embargo, en el circuito de la figura 6, los resistores de programación de la desviación de frecuencia intermedia se conectan a un nivel de corriente continua sin conmutar obtenido a partir de la tensión de alimentación regulada de 5 V mediante un divisor de tensión. Este método asegura que no pueden ser generadas las interferencias debidas a la presencia de tensiones conmutadas en las conexiones del visualizador. Cuando se emplea este método para la programación de la desviación de frecuencia intermedia, existe una posibilidad de que se enciendan los segmentos no elegidos debido a la corriente del visualizador que fluye hacia el retorno común por los resistores de programación y por el divisor de tensión. Las dos semiondas sinusoidales de excitación se conectan a la unión de los resistores del divisor de tensión a través de los diodos D_1 y D_2. El potencial en los segmentos no seleccionados cae a cero en los períodos de excitación. Los resistores de programación de desviación de frecuencia intermedia mostrados en la figura 6 dan lugar a compensación para las frecuencias intermedias a 10,7 MHz para VHF (no se conectan resistores de programación en las patillas 20, 23, 24 ó 27), a 452,5 kHz para onda corta y 452 kHz para onda media/onda larga (resistores conectados a las patillas 21, 22 y 26).

Adaptación del sistema para radios alimentadas con baterías

Si se desea incorporar la medición de frecuencia y el sistema de visualización mostrados en la figura 6 a una radio alimentada con baterías, se deberá añadir un generador adicional para crear las señales de excitación del visualizador en antifase y el impulso DUP de sincronización. La figura 10 es un ejemplo de este circuito en el que un circuito integrado regulador de tensión proporciona la alimentación estabilizada de 5 V. Se emplean transistores discretos para la generación de dos trenes de impulsos trapezoidales en contrafase para excitar los ánodos de los diodos LED. La figura 11 muestra que el período de corriente igual a cero del visualizador para conmutación de las salidas del SAA1070 es aproximadamente 1,5 ms. Este valor excede el requisito mínimo de tres intervalos de temporización (960 μs en el peor caso). El impulso DUP de sincronización para ser aplicado a la patilla 16 del SAA1070 debería ser el impulso de excitación no atenuado conectado a los ánodos de los diodos LED en el grupo 1 de segmentos (ver tabla 6).

La corriente del segmento del visualizador del circuito de la figura 6 es de unos 10 mA de promedio por segmento. Existen 20 segmentos en cada grupo. El circuito de la figura 10 es capaz de dar hasta 300 mA/fase. Sin embargo, a partir de la figura 11 hay que observar que para obtener 10 mA/segmento, los resistores limitadores de corriente de 270 Ω mostrados en la figura 6 deben ser sustituidos por otros de 82 Ω. Si se emplea el circuito de la figura 6 sin esta modificación, la corriente promedio en los segmentos se reducirá a unos 3 mA.

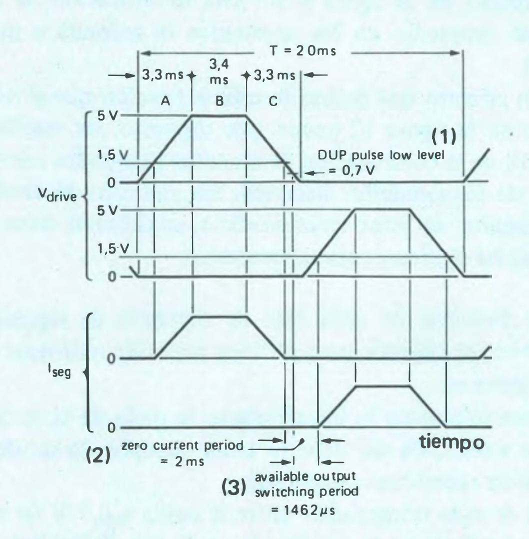
Un circuito que realiza la misma función que el mostrado en la figura 12 puede, por supuesto, ser diseñado a partir de la combinación de circuitos integrados normales y de componentes discretos. Sin embargo, al diseñar un circuito de estas características, se deberán tener en cuenta las siguientes consideraciones:

- la duración de cada fase de corriente de segmento debe ser idéntica para obtener un brillo uniforme del segmento;
- para minimizar la interferencia, la onda de la tensión de excitación no debería tener tiempos de subida y caída excesivamente cortos;
- el tiempo transcurrido entre la caída a 0,7 V de una de las fases de la tensión de excitación (nivel bajo de DUP) y el próximo impulso en la subida a 1,5 V de la otra fase (caída de tensión en el LED y en la salida del SAA1070 para una baja corriente) debe ser por lo menos de 960 μs.

Consideraciones sobre las interferencias

Las transiciones bruscas de tensión y corriente que se presentan en los circuitos binarios pueden interferir con la recepción de señales de radio, particularmente en receptores con antena de ferrita. Por ello, se deben tomar precauciones para minimizar este tipo de interferencias en una radio que emplee la medición de frecuencia y el sistema de visualización. Las principales fuentes de interferencia son:

- radiación debida a una mala disposición de la placa de circuito impreso;
- armónicos de la tensión alterna de excitación del visualizador inducidos en las líneas de alimentación de c.c. de los circuitos integrados;
- radiación de la salida del preescalador;
- acoplamiento entre la entrada del pre-escalador y la salida;
- radiación del generador del impulso de temporización;
- radiación de las salidas de excitación de los segmentos en el SAA1070;
- interferencias en el cableado de la fuente de alimentación.



(1) nivel bajo del impulso DUP

(2) período de corriente cero = 2 ms

(3) período de conmutación de salida disponible = 1462 µs

$$I_{seg\ peak} = \frac{V_{peak} - V_f - V_{QL}}{R_L}$$

$$I_{seg\ av} = \frac{(V_{peak} - V_f - V_{QL})(D/2 + B + E/2)}{R_L\ T} = \frac{0{,}285\ (5 - V_f - V_{QL}}{R_L}$$

para $R_L = 270\ \Omega$, $V_f = 1{,}5$ V, $V_{QL} = 0{,}5$ V; $I_{seg\ av} = 3{,}2$ mA
para $R_L = 82\ \Omega$, $V_f = 1{,}5$ V, $V_{QL} = 0{,}5$ V; $I_{seg\ av} = 10{,}4$ mA

Figura 11. Formas de onda para el circuito de la figura 10.

Disposición de la placa de circuito impreso

La buena disposición de las pistas del circuito impreso requiere una colocación lógica de los componentes pasivos alrededor de los circuitos integrados, una adecuada disposición de las patillas, la ausencia de lazos de masa y el adecuado desacoplo de las fuentes de alimentación. Se deberán observar las siguientes reglas generales:

- efectuar la disposición de las pistas lo más compacta posible;
- dejar las patillas de los componentes lo más cortas posible;
- separar de las salidas todas las entradas y los componentes asociados a ellas;
- evitar los lazos de corriente y las largas pistas de alimentación;
- montar los condensadores de desacoplo de la alimentación de c.c. lo más cerca posible de las patillas de alimentación de los circuitos integrados;
- asegurar la baja resistencia y la baja inductancia de las líneas de retorno comunes empleando grandes áreas de cobre y/o pistas anchas para estas conexiones;
- cuando sea posible, separar las pistas de entrada y salida mediante una línea de retorno común.

Armónicos en las líneas de alimentación

Para evitar que los armónicos de la tensión alterna de excitación se superpongan a las alimentaciones de c.c. de los circuitos integrados, se deberán conectar condensadores de desacoplo de 0,1 µF entre las patillas de entrada de alimentación del circuito integrado y el retorno común. No se deberá conectar un condensador a la patilla 8 del circuito integrado SAA1058.

Radiación debida a la salida del pre-escalador

Debido a los flancos abruptos de los impulsos de salida del pre-escalador, la conexión entre la patilla 8 del SAA1058 y la patilla 12 del SAA1070 puede ser una fuente de severas radiaciones. Por ello, esta conexión debe ser lo más corta posible.

Acoplo entre la entrada y la salida del pre-escalador

La señal de salida del pre-escalador (y sus armónicos) puede sumarse a la señal procedente del oscilador local en la entrada del sistema. En circuitos prácticos, se han medido en este punto niveles de la tensión de

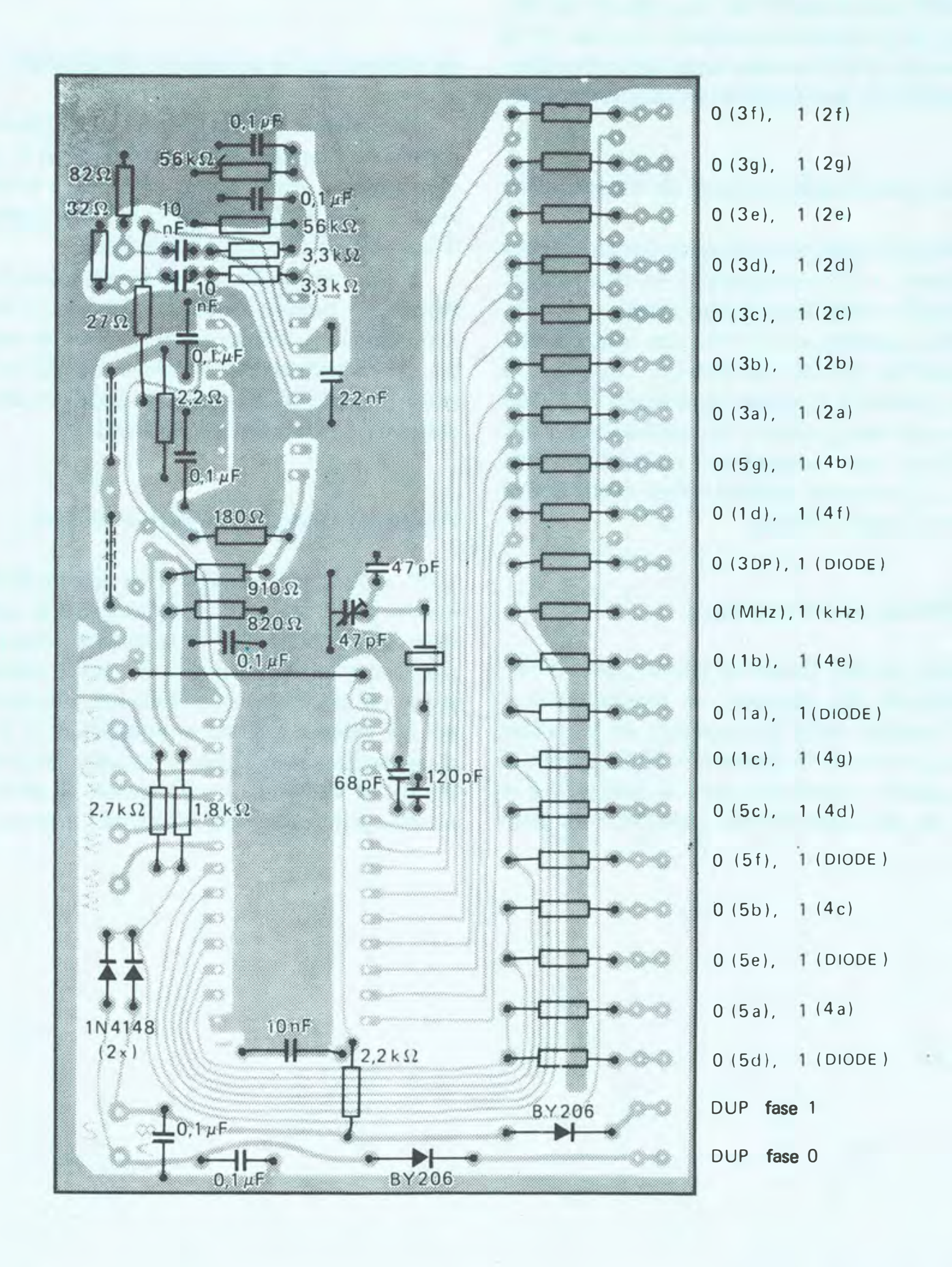


Figura 12. Placa de circuito impreso para el circuito de la figura 6.

interferencia del orden de 20 μV. Puesto que la naturaleza de las conexiones de entrada dependerán del tipo de radioreceptor, no es posible dar una regla específica. Sin embargo, si el circuito de entrada mostrado en la figura 6 se emplea junto con una conexión corta y blindada, la supresión de interferencias resultaría adecuada.

Radiación del generador de impulsos de temporización

La interferencia puede ser provocada por las corrientes de excitación y de realimentación en el generador de temporización controlado por un cristal de 4 MHz en el circuito integrado SAA1070. Los componentes discretos asociados con este circuito (C_9, C_{10}, C_{11}, el condensador variable y el cristal en la figura 6), deben montarse lo más cerca posible de las patillas del circuito integrado al que van conectados. Los condensadores C_9, C_{10} y el condensador variable deben conectarse al mismo punto de retorno común.

Radiación de las salidas del visualizador

La radiación de esta fuente ha sido minimizada utilizando excitación del segmento en semisinusoide y efectuando la conmutación del segmento en los cruces por cero de la corriente de excitación. Sin embargo, se recomienda que las conexiones entre el SAA1070 y el visualizador se mantengan lo más cortas que sea posible. Lo mismo se puede aplicar para las de programación de la desviación de frecuencia intermedia.

Interferencia en las entradas de alimentación

Los cables de alimentación de c.a. del sistema pueden contribuir a las radiaciones interferentes en algunos radioreceptores. Por lo tanto, estos cables deberán mantenerse lo más cortos posible y también pueden requerir la inserción de filtros de interferencia.

Si se cumplen las anteriores recomendaciones en el sistema, las radiaciones de interferencia no deberán provocar ningún problema con la mayoría de radioreceptores. En casos extremos, cuando se necesite una supresión adicional, esta se puede lograr apantallando el sistema completo de medición de frecuencia.

Disposición de la placa de circuito impreso

En la figura 12 se muestra un modelo de laboratorio de una placa de circuito impreso para el circuito de la figura 6, en un tamaño doble del real. Esta placa incorpora todas las recomendaciones que se refieren a la supresión de interferencias y contiene todos los componentes del sistema excepto el visualizador y la fuente de alimentación. Para lograr la máxima flexibilidad en el diseño, el visualizador y la fuente de alimentación se montan sobre una placa de circuito impreso individual. ■

Multitexto: parte 1

La descripción completa del sistema de multitexto se dará en tres partes. En esta primera parte se da una introducción al tema y se describe el sistema de control remoto.

INTRODUCCION

Esta publicación describe nuestra gama completa de circuitos LSI (Large Scale Integration: integración de gran escala) para la recepción, visualización y control de sistemas de visualización de textos en televisión.

El sistema resulta a la vez económico y flexible. Se debe proceder a un pequeño número de ajustes y al empleo de un número mínimo de componentes, y el desarrollo de un sistema completo no requiere circuitería de acoplamiento voluminosa y costosa. La flexibilidad en el diseño asegura no solo la total compatibilidad de este sistema con otros ya existentes, sino también con sistemas que puedan ser desarrollados en un futuro próximo. Entre los sistemas ya existentes cabe citar la sintonía digital y el viewdata entre otros. Se hallan a la disposición de los diseñadores tanto los circuitos integrados independientes como módulos decodificadores completos. Además, también se puede disponer de dos sistemas de control remoto, así como de pequeñas variantes de los circuitos integrados de decodificación, para satisfacer distintos mercados. Los circuitos integrados decodificadores también tienen otras aplicaciones, puesto que recientemente se ha desarrollado toda una gama de diseños para visualización basados en los circuitos integrados de teletexto.

En la figura 1 se puede ver un diagrama de bloques del sistema completo, en el que se muestran los sistemas de control remoto alternativos disponibles. Estos sistemas de control remoto comprenden sólo dos circuitos integrados y un pequeño número de componentes periféricos. Se puede elegir entre un gran número de órdenes en el teclado de control del transmisor. Estas órdenes se codifican digitalmente y pueden transmitirse mediante infrarrojos o ultrasonidos. Las señales de salida del circuito integrado receptor-decodificador se emplean para controlar todas las funciones de uso del receptor de TV y para suministrar señales de control al decodificador de teletexto.

El decodificador de teletexto LSI está formado por cuatro circuitos integrados y un "bloque de memoria". El decodificador recibe una señal de vídeo procedente del receptor de televisión y produce las señales de excitación de texto, una señal de borrado de imagen y una señal de sincronización para las bases de tiempo del receptor. La memoria consta de dos memorias RAM estáticas normales de 1K× 4.

Para la visualización y control del viewdata se necesitan dos bloques adicionales. La unidad de acoplo de línea, LCU (Line Coupling Unit) proporciona todo el acoplamiento necesario con la línea telefónica, mientras que la sección de adquisición y control de viewdata, VAC (Viewdata Acquisition and Control) actúa como acoplamiento entre la LCU y el decodificador de teletexto.

CONTROL REMOTO

Con la finalidad de satisfacer diferentes requisitos se ofrecen dos sistemas de control remoto, cuyas principales características son:

– mínimo número de circuitos integrados;

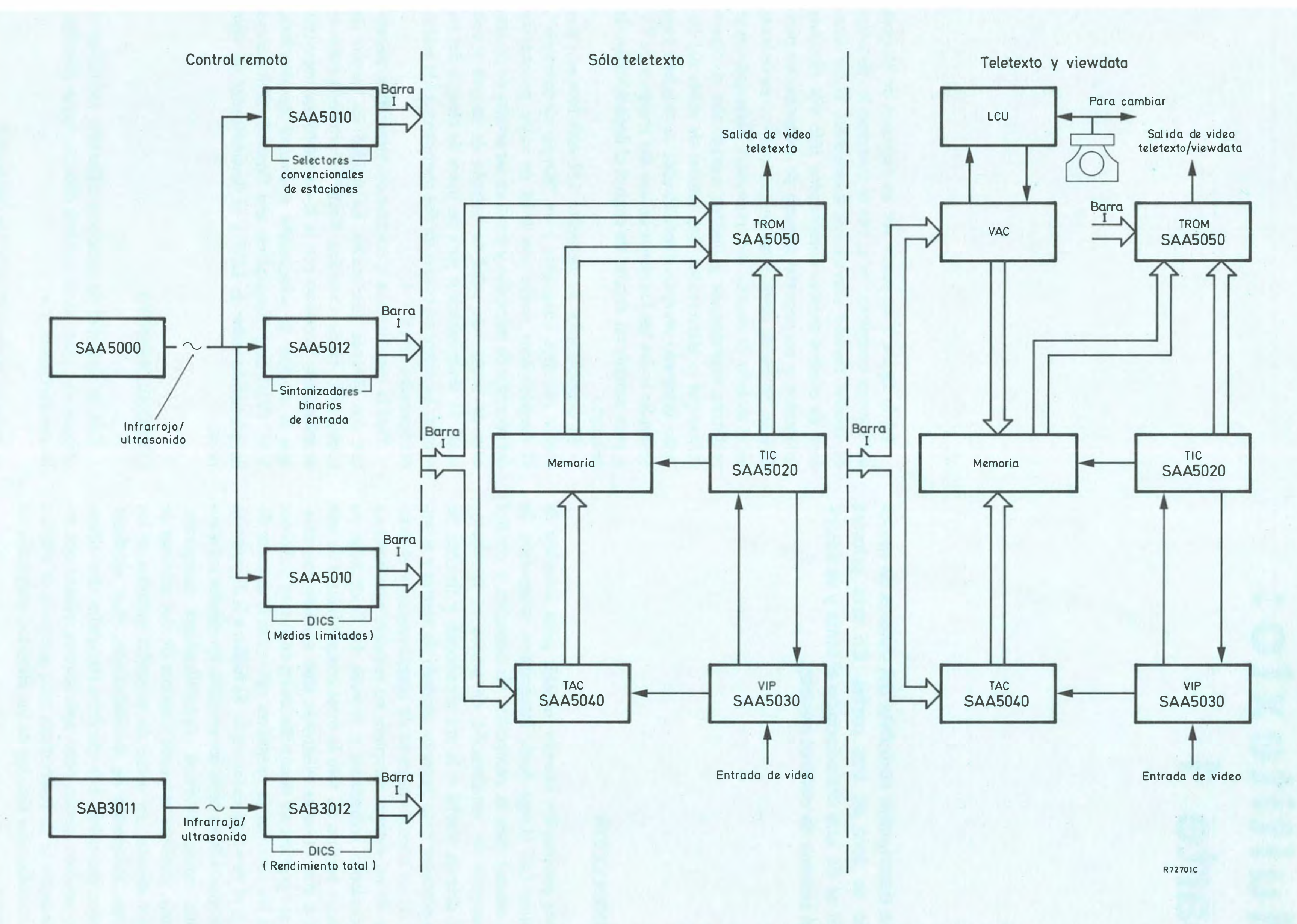


Figura 1. Diagrama de bloques del sistema completo, mostrándose los posibles controles remotos disponibles.

– tres opciones de dirección para el selector de canales;
– rápida acción del teclado;
– no se necesitan ajustes;
– control total de cuatro funciones analógicas, incluso en los modos teletexto y viewdata;
– selección de velocidad de los controles analógicos;
– opciones para transmisión por infrarrojos o ultrasonidos;
– eficiente protección contra falsas órdenes;
– indicación de "recibido mensaje" y "posición de espera".

El control remoto empieza a ser ampliamente empleado en equipos electrónicos tales como receptores de televisión y sistemas de audio; en los receptores domésticos de TV, proporciona la posibilidad de controlar más de un canal e incluye el control total de las funciones analógicas, la selección directa de estaciones y otras muchas posibilidades. El control remoto es también un requisito esencial para un sistema de teletexto puesto que el número de órdenes es relativamente elevado y el sistema es operado a distancia. Estos sistemas de control remoto proporcionan este amplio margen de posibilidades de control con un coste reducido y de forma elegante.

Sistema de control remoto SAA5000/SAA5010

La mayor parte de los sistemas de control remoto son sistemas multifrecuenciales o sistemas basados en una temporización muy exacta (por ejemplo, mediciones por marcado de impulsos). Estos sistemas tienen la desventaja de necesitar componentes críticos y ajustes muy cuidadosos. En los sistemas que se describen en este artículo se han evitado estos inconvenientes desarrollando un sistema basado en la discriminación tiempo-velocidad. En consecuencia, este sistema no sólo es independiente de componentes exactos de temporización sino que permite además muchas posibilidades de elección de la velocidad de funcionamiento de la transmisión de datos. El control remoto SAA5000/SAA5010 es un sistema poderoso pero económico, sin cristales ni bobinas y con la posibilidad de suministrar hasta 32 órdenes, número suficiente para la mayor parte de aplicaciones.

Es esencial que el control remoto sea inmune a interferencias o reflexiones que puedan provocar un funcionamiento incorrecto del sistema. Esta protección se logra mediante la codificación de los datos en la forma mostrada en la figura 2. Cuando se introduce una orden en el teclado, se transmite una corta secuencia pseudo-aleatoria seguida por un tren de datos de 24 bits. Esta comprende 7 bits de código de inicio y 5 bits de mensaje. Esta secuencia de 12 bits se transmite de nuevo pero invertida; el receptor no responde hasta haber recibido y comprobado los 24 bits totales. Hay que observar que una vez que una tecla ha sido apretada, el tren completo de datos es enviado de forma automática, por lo que, para que se cumpla una orden, el usuario no tiene que apretar la tecla mientras se transmite el tren de datos. La figura 2 muestra también la forma y longitud de los bits para transmisión por ultrasonidos e infrarrojos.

El sistema de control remoto SAA5000 proporciona control remoto de hasta 32 órdenes. Es un sistema flexible compatible con los convencionales selectores de estación, con los de entrada binaria y con los sistemas de selección digital DICS. Esta flexibilidad está basada en la barra I (véase la figura 1), que es un único camino de datos orden que lleva toda la información necesaria para controlar y acoplar los diversos subsistemas que existen en la actualidad, o que pueden ser desarrollados en el futuro. La figura 3 muestra las señales en las líneas de la barra I empleadas en el sistema teletexto. Las líneas de reloj y de habilitación (DLIM) llevan una secuencia de 14 impulsos de reloj a una velocidad nominal de 62,5 kHz, siempre que se haya recibido una orden. Simultáneamente, la línea de datos ($\overline{\text{DATA}}$) lleva la información de la orden en forma de palabra binaria de 5 bits; dos bits adicionales (b_6 y b_7) llevan la información de modo. Cada bit de datos tiene una duración de dos períodos de reloj.

La tabla 1 muestra la tabla de órdenes del sistema de control remoto SAA5000. Los 5 bits de mensaje dan un máximo de 32 órdenes, pero la selección de modo (véase la figura 3) implica que se puede disponer de muchas más órdenes. Para evitar confusiones, las órdenes empleadas más usualmente tienen la misma tecla en todos los modos de funcionamiento.

La figura 4a muestra un esquema complejo del circuito de la versión de 6 V para infrarrojos del sistema de control remoto SAA5000/SAA5010. La figura 4b muestra la versión de 9 V. A continuación se da un resumen del sistema de control remoto utilizando la figura 4a. La versión para ultrasonidos se describirá en el apéndice 1 (parte 3).

Transmisor

El circuito integrado CI_1, SAA5000, forma la base de la sección transmisora. Las 32 órdenes que proporciona CI_1 pueden ser activadas bien por controles de contacto, o por conmutadores operados por teclas; cualquier tipo de red de control puede ser conectada directamente a doce patillas del circuito CI_1. Un circuito automático de "alimentación" asegura que circula la despreciable corriente suministrada por la batería hasta que se presiona una tecla de orden.

El acoplo de c.a. controla la anchura del impulso transmitido de forma que se obtiene el mejor compromi-

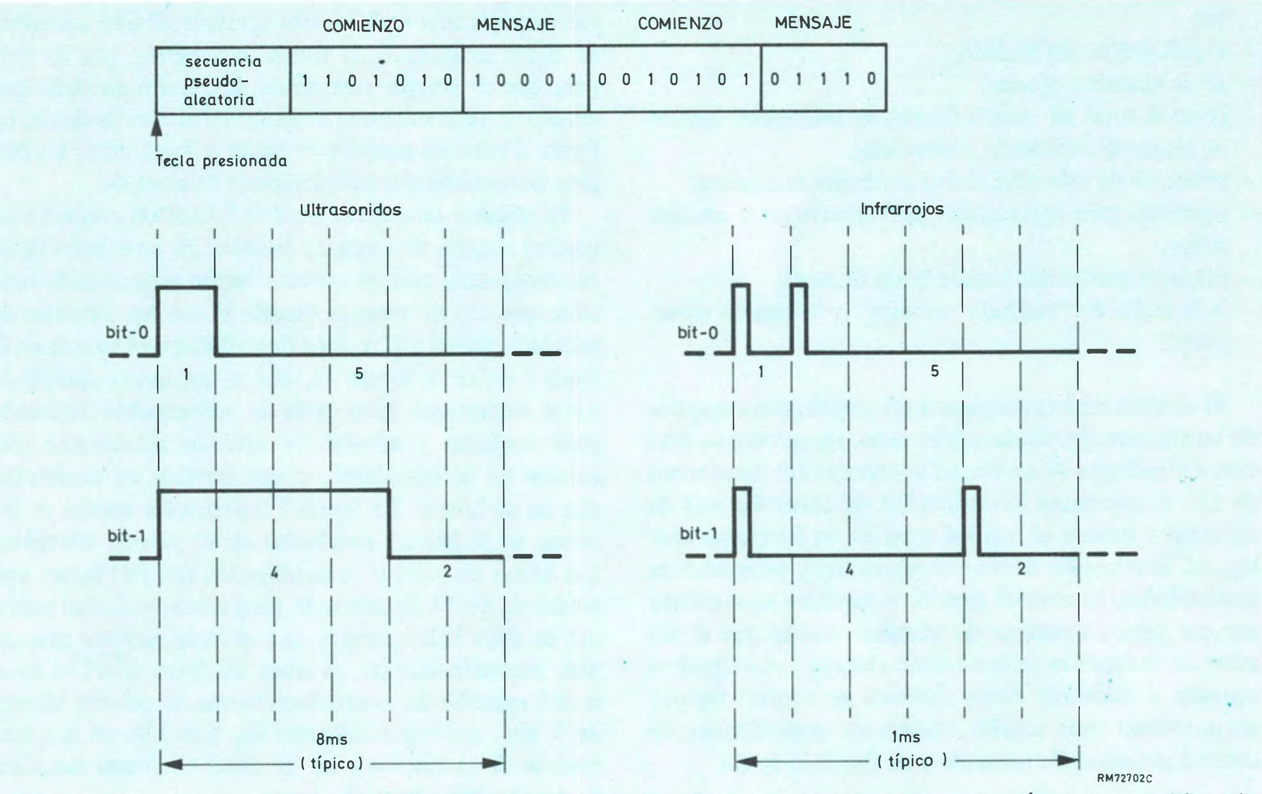


Figura 2. Tren de datos, método de codificación y forma de los bits. El tren de datos de infrarrojos es típicamente de 24 ms de duración, mientras que los códigos ultrasónicos son típicamente de 192 ms.

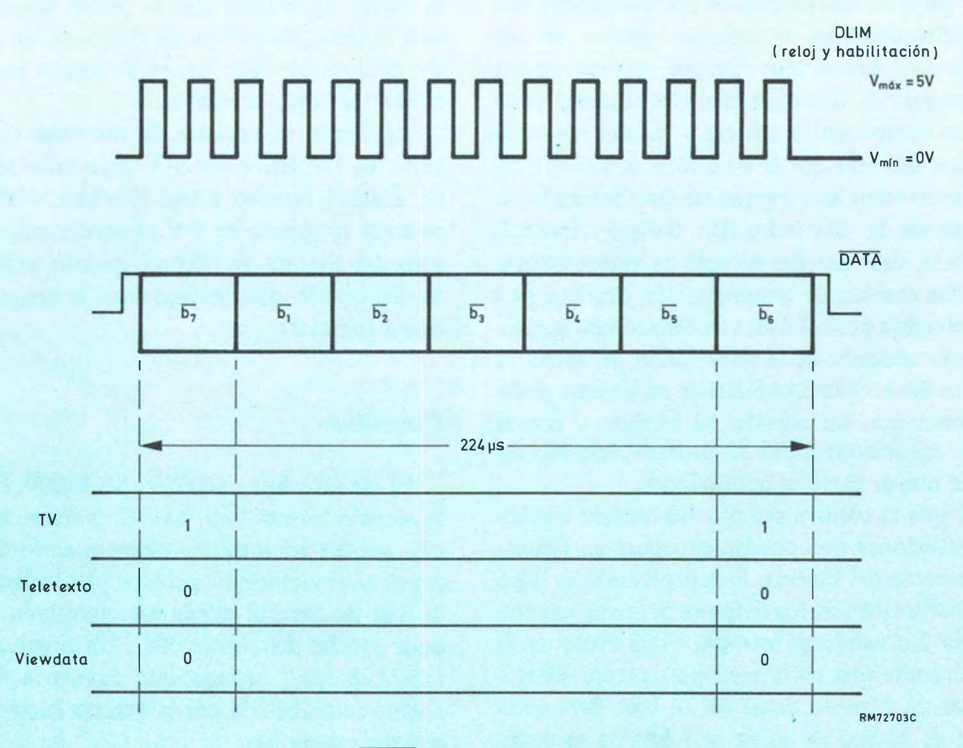
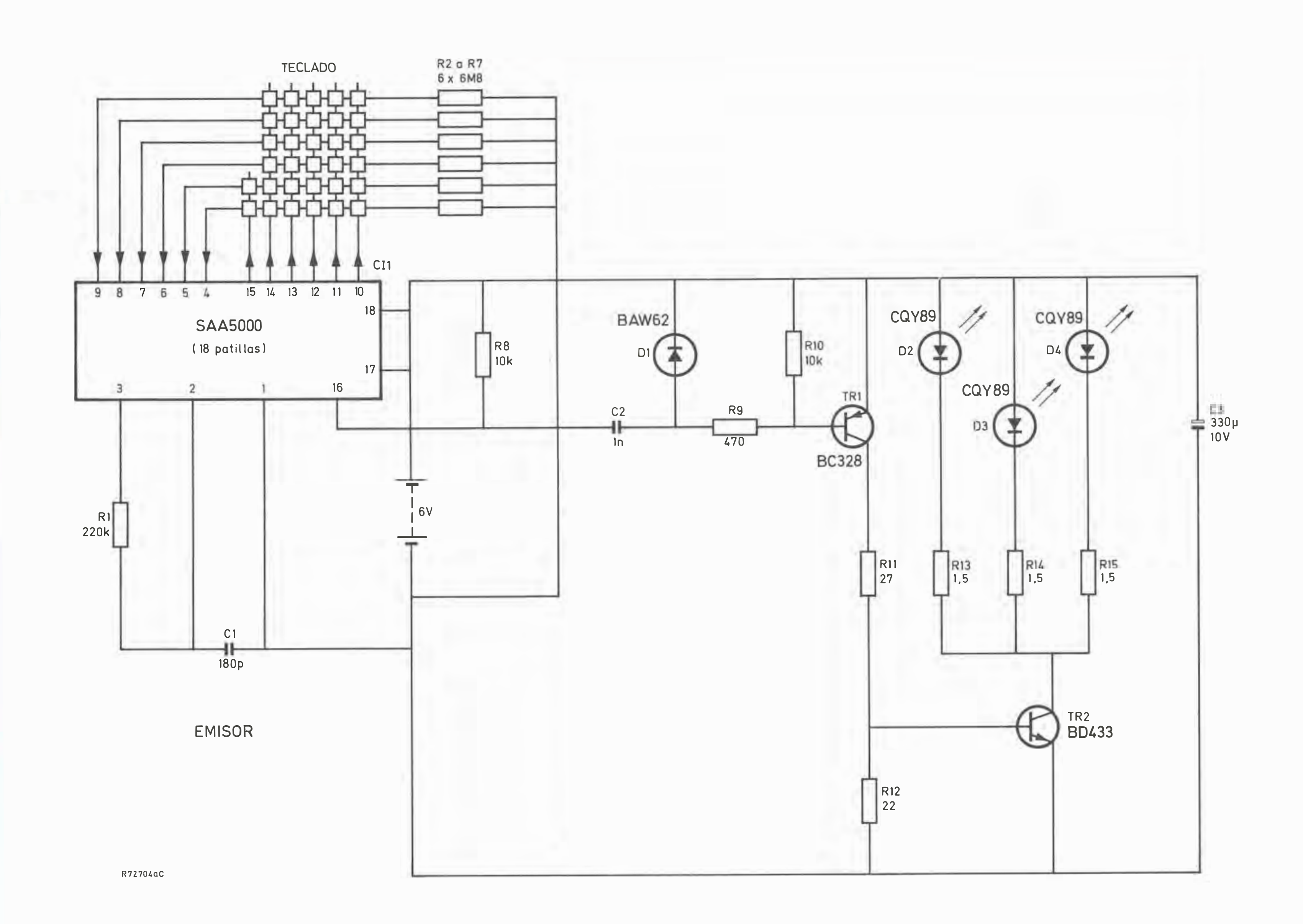


Figura 3. Líneas de la barra I del SAA5010; la línea $\overline{DATA}$ lleva siete bits, cinco para el mensaje (dando así 32 órdenes) y dos para la selección de modo.

Tabla 1. *Ordenes de control remoto.*

N.º	Código					b_7 0 b_6 0	1 0	1 1
	b_5	b_4	b_3	b_2	b_1	Modo TV	Modo teletexto	Modo Viewdata
1	0	0	0	0	0	Puesta a cero	Puesta a cero	Puesta a cero
2	0	0	0	0	1	Enmudecimiento	Enmudecimiento	Enmudecimiento
3	0	0	0	1	0	Posición espera	Posición espera	Posición espera
4	0	0	0	1	1	TV/conexión	TV/conexión	TV/conexión
5	0	0	1	0	0	Estado	Estado	Estado
6	0	0	1	0	1	–	Detener	Desconexión alarma
7	0	0	1	1	0	1*	Revelar	Revelar
8	0	0	1	1	1	Tiempo	Cancelar texto	Visualizar imagen
9	0	1	0	0	0	Analógico 1 +	Analógico 1 +	Analógico 1 +
10	0	1	0	0	1	Analógico 1 –	Analógico 1 –	Analógico 1 –
11	0	1	0	1	0	Analógico 2 +	Analógico 2 +	Analógico 2 +
12	0	1	0	1	1	Analógico 2 –	Analógico 2 –	Analógico 2 –
13	0	1	1	0	0	Analógico 3 +	– (RA)	Grabar cinta (RA)
14	0	1	1	0	1	Analógico 3 –	– (RA)	Reproducir cinta (RA)
15	0	1	1	1	0	Analógico 4 +	Desconexión pág. temporizada (RA)	* (RA)
16	0	1	1	1	1	Analógico 4 –	Conexión pág. temporizada (RA)	# (RA)
17	1	0	0	0	0	Estación 1 (BBC1/conexión)	Número 1	Número 1
18	1	0	0	0	1	Estación 2 (ITV/conexión)	Número 2	Número 2
19	1	0	0	1	0	Estación 3 (BBC2/conexión)	Número 3	Número 3
20	1	0	0	1	1	Estación 4 (BBC1/conexión)	Número 4	Número 4
21	1	0	1	0	0	Estación 5 (ITV/conexión)	Número 5	Número 5
22	1	0	1	0	1	Estación 6 (VCR/conexión)	Número 6	Número 6
23	1	0	1	1	0	Estación 7 (BBC1/conexión)	Número 7	Número 7
24	1	0	1	1	1	Estación 8 (ITV/conexión)	Número 8	Número 8
25	1	1	0	0	0	Estación 9 (BBC2/conexión)	Número 9	Número 9
26	1	1	0	0	1	Estación 10 (BBC1/conexión)	Número 0	Número 0
27	1	1	0	1	0	Estación 11 (ITV/conexión)	Página completa	Página completa
28	1	1	0	1	1	Estación 12 (VCR/conexión)	Superior	Superior
29	1	1	1	0	0	–	Inferior	Inferior
30	1	1	1	0	1	Viewdata/conexión	Viewdata/conexión	Viewdata/conexión
31	1	1	1	1	0	Superpuestos	Superpuestos	Superpuestos
32	1	1	1	1	1	Teletexto/conexión	Teletexto/conexión	Teletexto/conexión

Nota 1: RA indica que estas órdenes se convierten en controles analógicos siempre que la imagen de TV esté visualizada.
Nota 2: El botón 1* (N.º 7) permite seleccionar hasta 16 canales. Para obtener la estación 14, apretar 1* seguido de la estación 4.



TECLADO
R2 a R7
6 x 6M8
CI1
9 8 7 6 5 4
15 14 13 12 11 10
18
17
SAA5000
(18 patillas)
3 2 1 16
R8
10k
BAW62
D1
R10
10k
CQY89
D2
CQY89
D4
CQY89
D3
TR1
C2
1n
R9
470
BC328
330µ
10V
6V
R1
220k
R11
27
R13
1,5
R14
1,5
R15
1,5
C1
180p
EMISOR
TR2
BD433
R12
22
R72704aC

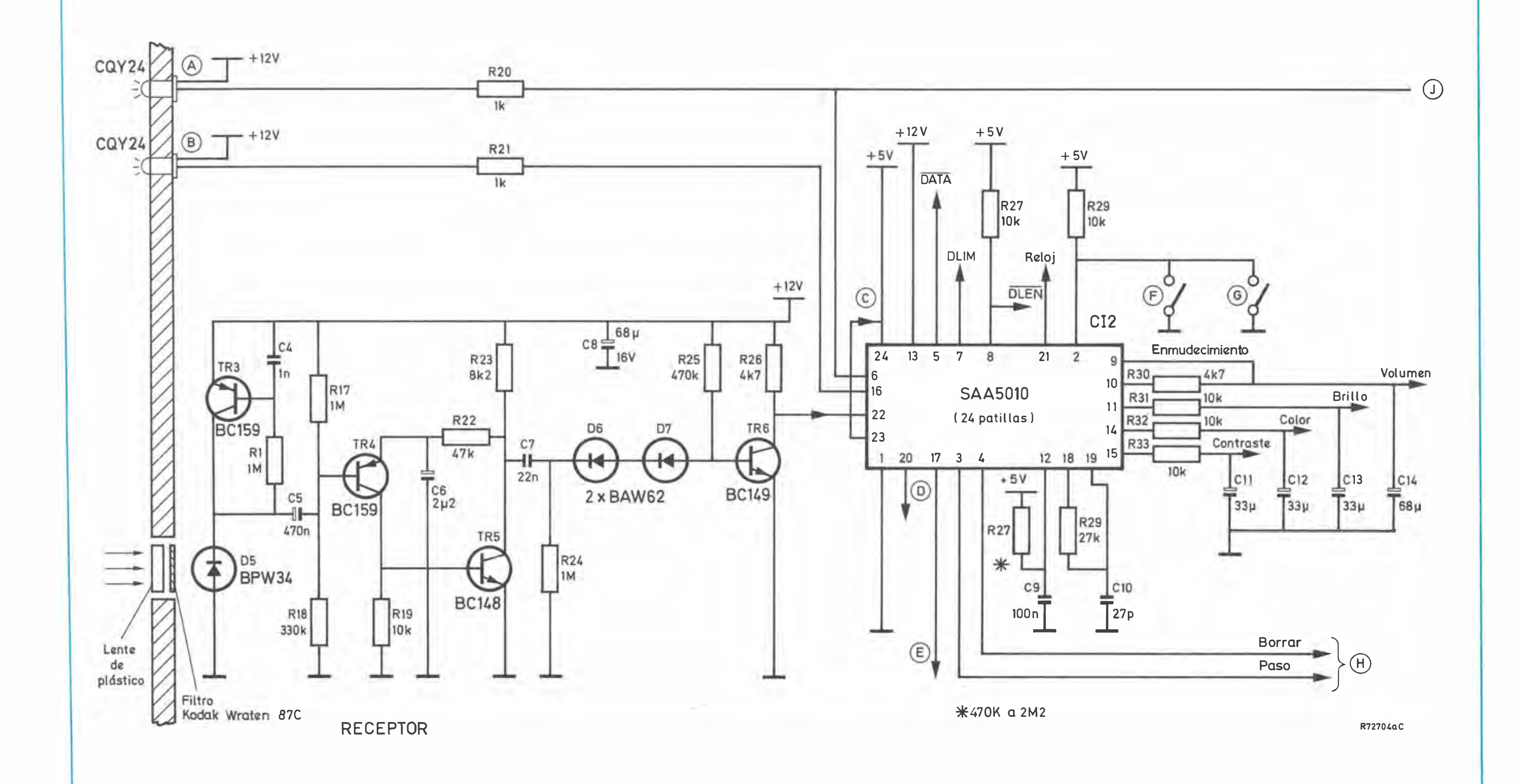


Figura 4a. Circuito de control remoto por infrarrojos: transmisor (esquema superior), receptor (esquema inferior).

A Indicador de posición de espera
B Indicador de recepción de mensaje
C Elección ultrasonidos/infrarrojos
D Elección de modo
E Entrada de "presencia de imagen"
F Conmutador de puesta a cero
G Tercer par de interruptores de red
H Al sintonizador de contacto
J Control de posición de espera.

(Los resistores R_2 a R_7 son de 3k3 para conmutadores de baja impedancia).

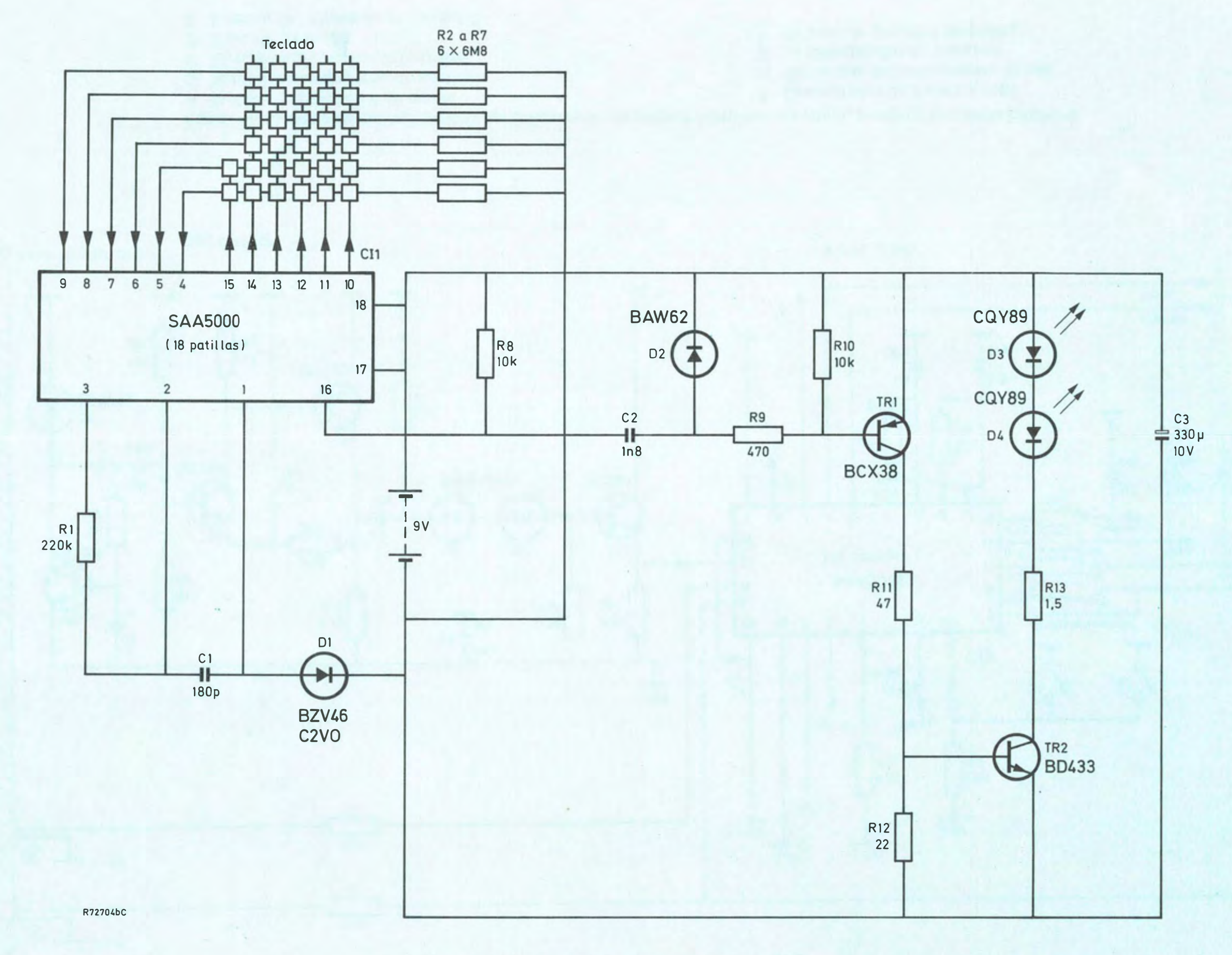


Figura 4 b. Transmisor de control remoto de 9 V.

so entre el amplio margen de transmisión y el bajo consumo de la batería. El transistor de excitación TR_1 proporciona suficiente corriente de base como para hacer funcionar el dispositivo de salida, que maneja una corriente de pico de 4 A aproximadamente (esta corriente de pico es suministrada a través de C_3); los resistores R_{13} a R_{15} se emplean para definir la corriente del diodo. Los diodos D_2 a D_4 son diodos epitaxiales emisores de luz de arseniuro de galio que emiten radiaciones en el infrarrojo próximo cuando están polarizados en sentido directo; se emplean anchuras de impulsos de unos 5 μs.

El transmisor no necesita ajustes y carece de componentes críticos en el circuito periférico.

Amplificador-detector

La señal de infrarrojos procedente del transmisor es recibida por el fotodiodo planar de silicio BPW34 (D_5, figura 4a). Una lente transparente de plástico proporciona la ganancia óptica a expensas del ángulo de funcionamiento vertical, y se incluye un filtro apropiado puesto que D_5 responde tanto a la luz visible como a los infrarrojos. Un circuito similar a un girador (TR_3) se emplea como carga del diodo receptor. Esta disposición permite obtener la máxima sensibilidad junto con la necesaria inmunidad contra las radiaciones de c.c. y de baja frecuencia tal como puede ser la luz del sol y la de lámparas de incandescencia. Para mejorar el rechazo de esta radiación, el girador está diseñado de forma que la respuesta caiga a 100 Hz, permitiendo así la máxima respuesta para el impulso estrecho transmitido. La salida del diodo está acoplada en c.a. al amplificador de tensión (TR_4 y TR_5).

La respuesta total del amplificador está conformada por la capacitancia de realimentación del colector de TR_5 y C_6. La frecuencia de corte baja elimina la interferencia de 100 Hz, mientras que la frecuencia de corte alta da lugar a estabilidad y a rechazo de la interferencia de alta frecuencia. La salida está acoplada en c.a. a TR_6 mediante D_6 y D_7. Esta etapa forma un detector separador de impulsos que elimina el ruido de bajo nivel, el cual se genera fundamentalmente en D_5. La salida se aplica directamente al circuito integrado CI_2 (figura 4a).

Receptor-decodificador

Las señales procedentes del amplificador-detector son decodificadas y comprobadas para detectar posibles errores por el circuito integrado CI_2. Después de ser decodificadas, las señales se emplean para accionar las funciones de control de CI_2.

Salidas analógicas de control

Las cuatro salidas analógicas de control proporcionan una tensión de salida de c.c. variable desde 0 a 12 V sobre 62 niveles.

Se pueden obtener diferentes velocidades de variación de los controles analógicos mediante la adición de una única combinación *RC* conectada a la patilla 12 del circuito integrado CI_2. Sin la combinación *RC* añadida y la patilla 12 del circuito integrado CI_2 conectada a 0 V, la velocidad de variación nominal (internamente controlada) es de 107 ms/paso. El margen disponible al añadir la combinación *RC* es entre 36 y 200 ms/paso.

Salidas de excitación del selector de canales

Una secuencia de impulsos procedente de dos salidas del circuito integrado CI_2 permite la selección de hasta 16 canales a partir de un sintonizador controlado por tensión (véase la figura 6).

Salida de posición de espera

Es posible conectar o desconectar el receptor de televisión mediante el empleo de control remoto. Cuando el receptor está desconectado, sólo necesita estar funcionando la parte de recepción del sistema de control remoto. Una lámpara o un LED, operando a partir de la salida de posición de espera indicará que el receptor está todavía conectado a la red cuando ha sido desconectado por control remoto.

Salida de enmudecimiento instantáneo

Esta salida permite el enmudecimiento instantáneo del sonido de televisión mediante la operación de uno de los interruptores de control remoto. Una nueva operación del interruptor restablece el sonido. Esta forma de enmudecimiento puede conectarse externamente con cualquiera de las cuatro funciones analógicas.

Salida de indicación de mensaje recibido

Una lámpara o LED funcionando a partir de esta patilla indica cuando se ha recibido una orden correcta. (El circuito integrado receptor-decodificador no responde a las órdenes falsas.) También es posible obtener un sonido audible intermitente que indica que el mensaje ha sido recibido. La figura 5 muestra un circuito para la implementación de esta posibilidad, utilizando un biestable doble del tipo D, HEF4013P.

Figura 5. Biestable HEF4013P empleado para proporcionar sonidos audibles intermitentes que indican que se ha recibido el mensaje.

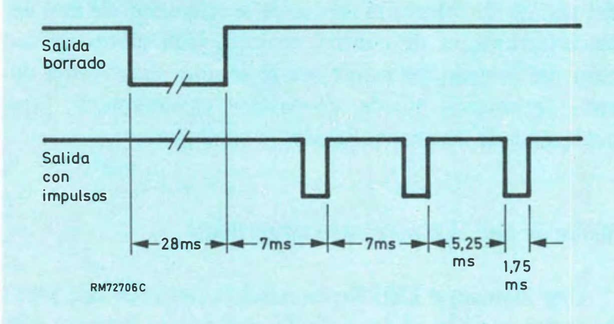


Figura 6. Tren de impulsos de salida para programación de TV.

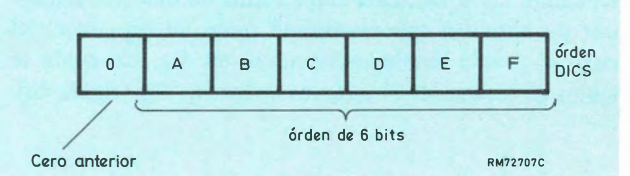


Figura 7. Formato de orden DICS.

Acoplador del selector de canales

Si bien parece cierto que los sistemas sofisticados de selección digital de canales se harán muy populares en el futuro, la flexibilidad del sistema SAA5000/SAA5010 asegura que se puede lograr fácilmente el acoplamiento con selectores de canales convencionales empleados en los receptores normales.

La mayor parte de los circuitos integrados selectores de canales pueden ser excitados mediante dos conductores, uno que lleva la señal de borrado que hace que el sintonizador vuelva al programa uno, mientras que el otro lleva una señal de cambio. La figura 6 muestra la salida del circuito integrado receptor-decodificador de control remoto, cuya capacidad de tensión de salida es 12 V. El circuito de acoplamiento necesario para hacer compatibles un selector de canales y el sistema de control remoto depende del tipo específico del selector de canales utilizado. Se deben considerar tres factores importantes:

1) el selector debe ser un dispositivo que pueda variarse paso a paso o modificarse para que lo sea;
2) se debe incluir un amplificador de tensión en el circuito de acoplamiento si el selector de canales necesita una entrada de más de 12 V;
3) puede ser necesario invertir los impulsos.

Otro receptor-decodificador (SAA5012)

Existe la posibilidad de emplear otro circuito integrado receptor-decodificador (SAA5012) totalmente compatible con los sintonizadores de entrada binaria. A diferencia del SAA5010, el SAA5012 está diseñado para excitar circuitos selectores de estación que necesitan información binaria de 4 bits. Sin embargo, en los demás aspectos, el SAA5012 es esencialmente idéntico al SAA5010.

Sistema de control remoto SAB3011/SAB3012

Los circuitos integrados transmisor y receptor SAB3011 y SAB3012 han sido desarrollados para proporcionar control a un sistema digital de selección de canales (Digital Channel Selection). El tren de datos del DICS comprende 7 bits (dando entonces hasta 128 órdenes remotas). Para el control de un receptor de televisión y sus subsistemas asociados, el bit de inicialización es siempre cero (véase la figura 7) y por lo tanto se tienen 64 órdenes disponibles. A pesar de ello, existe otro circuito integrado receptor (SAB3012A) que sólo acepta secuencias de datos con un "1" en el bit de inicialización. Por lo tanto, un sistema equipado con el SAB3012A podría estar controlado por el mismo transmisor con un conjunto adicional de 64 órdenes. Otras características del sistema de control remoto SAB3011/SAB3012 son las siguientes:

- modulación de impulsos en distancia, que asegura una transmisión de órdenes libre de interferencias;
- disponibilidad de 31 órdenes locales;
- extensión simple del sistema para el control directo de diversos subsistemas (teletexto y viewdata, por ejemplo);
- disponibilidad de salidas en serie o en paralelo a partir del SAB3012; el SAB3022 proporciona ambas salidas simultáneamente;
- disponibilidad de otro receptor (SAB3042) para aplicaciones con microordenadores.

La figura 8 es un diagrama de bloques de este sistema que controla un receptor de televisión en el que se incorpora la sintonización DICS. Son posibles las dos opciones, de infrarrojos o ultrasonidos.

El circuito integrado transmisor SAB3011 codifica las órdenes procedentes del teclado en una palabra de datos en serie que se transmite por lo menos dos veces, o más si la tecla permanece apretada. La señal recibida es amplificada por el preamplificador y mantenida a continuación en el receptor SAB3012 y en el circuito integrado de memoria analógica (REAM) hasta que se reciben dos órdenes idénticas y consecutivas. Esto evita el funcionamiento incorrecto del sistema. Todas las órdenes se transmiten por la barra I, pero la REAM actúa directamente sobre las ocho órdenes analógicas.

Acoplador del receptor

Se puede emplear el juego completo de códigos de orden, tanto para el sistema DICS como para el teletexto, puesto que se incluye en el receptor una memoria del modo de funcionamiento. Esta es activada mediante una orden remota y da instrucciones al circuito de acoplamiento para enviar las órdenes al sistema DICS o al decodificador de teletexto. Las órdenes procedentes del circuito integrado REAM y las de teletexto poseen un formato similar pero no son directamente compatibles. La barra I de la memoria REAM lleva una orden de 6 bits precedida por un cero de inicialización (véase la figura 7). El sistema teletexto emplea una palabra de 7 bits de la que el primero y el último, b_6 y b_7, están reservados para la selección de modo (véase la figura 3 y la tabla 1). El circuito integrado REAM proporciona una barra I de tres señales; estas señales son: Data Line Enable (DLEN) (habilitación de la línea de datos), DATA (datos) y CLK (reloj). El sistema teletexto em-

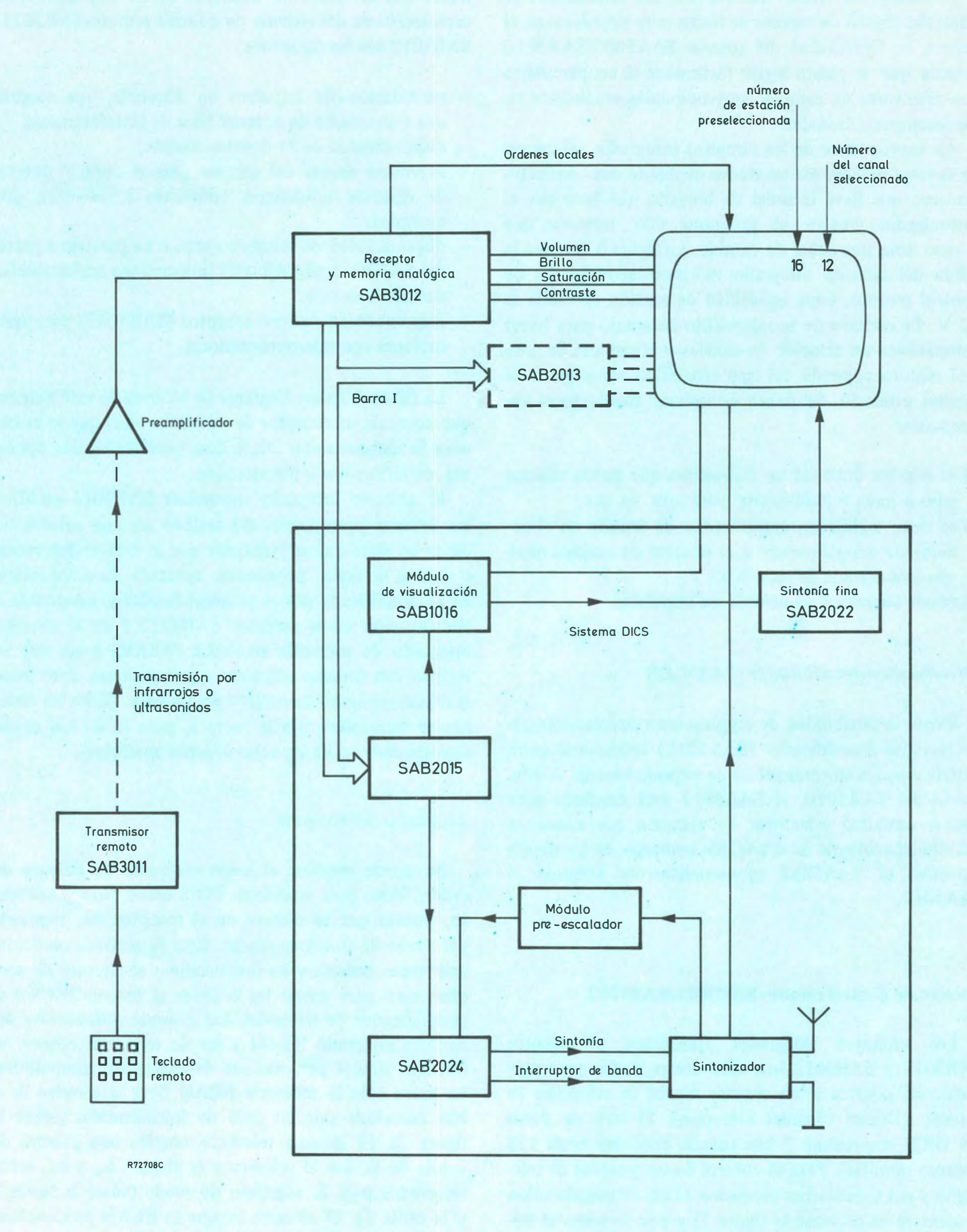


Figura 8. Sistema de control remoto SAB3011/3012 en un receptor de TV equipado con el sistema DICS.

Tabla 2. *Ordenes DICS/teletexto.*

N.°	Código F	E	D	C	B	A	DICS	Control local	Teletexto (SAA5041)
1	0	0	0	0	0	0	Puesta a cero		–
2	0	0	0	0	0	1	Enmudecimiento		Enmudecimiento
3	0	0	0	0	1	0	Desconexión		Desconexión
4	0	0	0	0	1	1	TV/teletexto		TV/teletexto
5	0	0	0	1	0	0	Tiempo visualización/programa		Estado
6	0	0	0	1	0	1	Búsqueda sintonía	√	Página temporizada
7	0	0	0	1	1	0	Reserva 2		–
8	0	0	0	1	1	1	Reserva 3/tiempo		–
9	0	0	1	0	0	0			–
10	0	0	1	0	0	1			–
11	0	0	1	0	1	0			–
12	0	0	1	0	1	1			Revelar
13	0	0	1	1	0	0			–
14	0	0	1	1	0	1			–
15	0	0	1	1	1	0			–
16	0	0	1	1	1	1			Puesta a cero
17	0	1	0	0	0	0	Estación 16/conexión	√	Número 0
18	0	1	0	0	0	1	Estación 1/conexión	√	Número 1
19	0	1	0	0	1	0	Estación 2/conexión	√	Número 2
20	0	1	0	0	1	1	Estación 3/conexión	√	Número 3
21	0	1	0	1	0	0	Estación 4/conexión	√	Número 4
22	0	1	0	1	0	1	Estación 5/conexión	√	Número 5
23	0	1	0	1	1	0	Estación 6/conexión	√	Número 6
24	0	1	0	1	1	1	Estación 7/conexión	√	Número 7
25	0	1	1	0	0	0	Estación 8/conexión	√	Número 8
26	0	1	1	0	0	1	Estación 9/conexión	√	Número 9
27	0	1	1	0	1	0	Estación 10/conexión	√	Caracteres pequeños
28	0	1	1	0	1	1	Estación 11/conexión	√	Arriba/abajo +
29	0	1	1	1	0	0	Estación 12/conexión	√	Detener +
30	0	1	1	1	0	1	Estación 13/conexión	√	Borrar visualizador
31	0	1	1	1	1	0	Estación 14/conexión	√	Superponer (mezclar)
32	0	1	1	1	1	1	Estación 15/conexión	√	Visualizador normal
33	1	0	0	0	0	0	Visualizador conectado/desconectado	√	
34	1	0	0	0	0	1	Almacenar	√	
35	1	0	0	0	1	0	Modo entrada canal	√	
36	1	0	0	0	1	1	Búsqueda sintonía inferior		
37	1	0	0	1	0	0	Paso programa superior	√	
38	1	0	0	1	0	1	Paso programa inferior	√	
39	1	0	0	1	1	0	Paso canal superior	√	
40	1	0	0	1	1	1	Paso canal inferior		
41	1	0	1	0	0	0	Analógico 1 +	√	
42	1	0	1	0	0	1	Analógico 1 –	√	
43	1	0	1	0	1	0	Analógico 2 +	√	
44	1	0	1	0	1	1	Analógico 2 –	√	
45	1	0	1	1	0	0	Analógico 3 +	√	
46	1	0	1	1	0	1	Analógico 3 –	√	
47	1	0	1	1	1	0	Analógico 4 +	√	
48	1	0	1	1	1	1	Analógico 4 –	√	
52	1	1	0	0	1	1	4*/conexión		
53	1	1	0	1	0	0	3*/conexión		
54	1	1	0	1	0	1	2*/conexión		
55	1	1	0	1	1	0	1*/conexión		
56	1	1	0	1	1	1	0*/conexión		

Notas:
1. Las órdenes 9 a 16 están reservadas para funcionamiento con la memoria analógica SAB2013.
2. Las órdenes 49 a 51 no se usan.
3. Las órdenes 57 a 64 están reservadas para funciones de selección de modo en sistemas futuros.
4. Las órdenes marcadas con + son funciones oscilantes.
5. Las órdenes 52 a 56 son números decimales de entrada y permiten seleccionar hasta 49 canales.

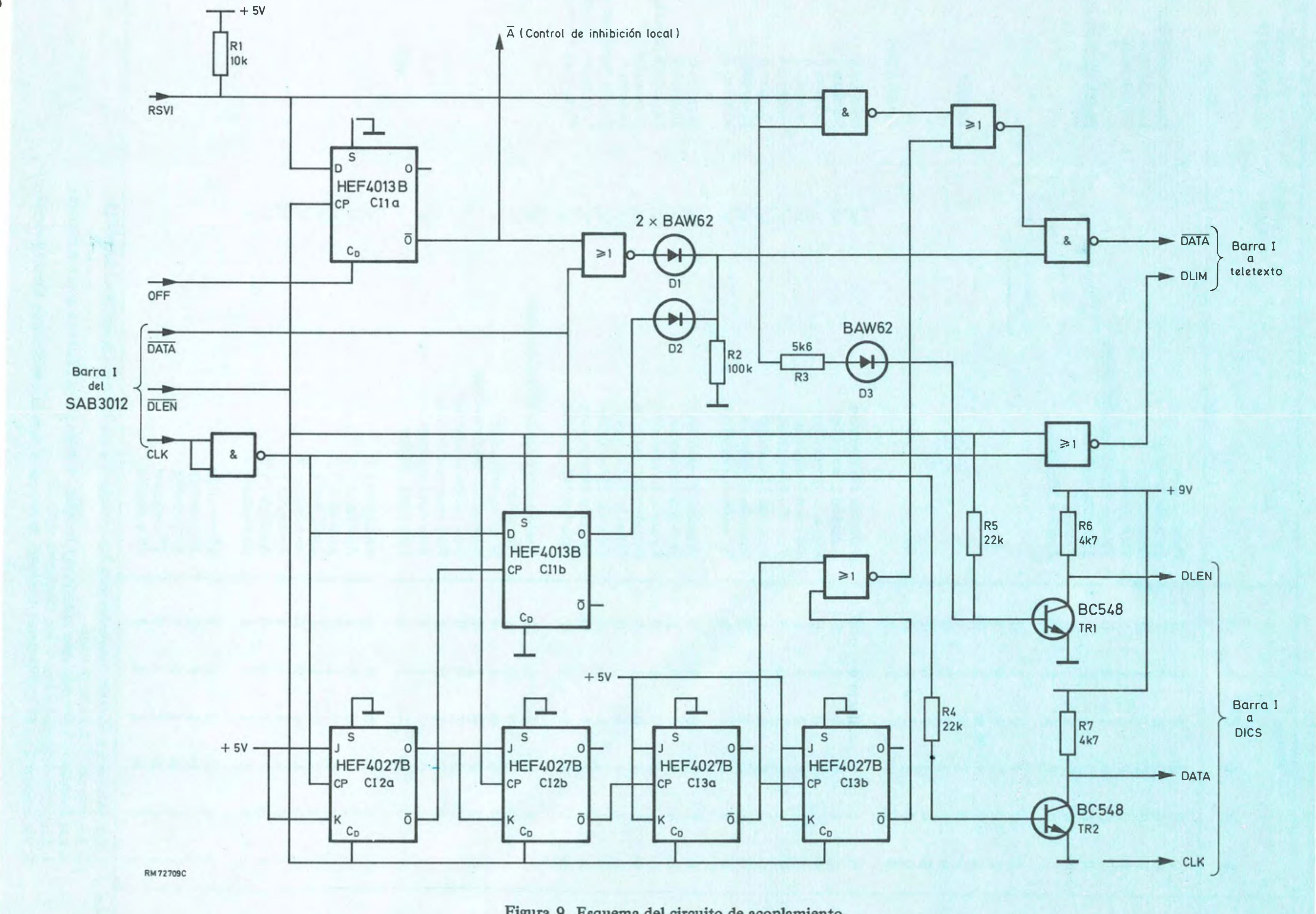


Figura 9. Esquema del circuito de acoplamiento.

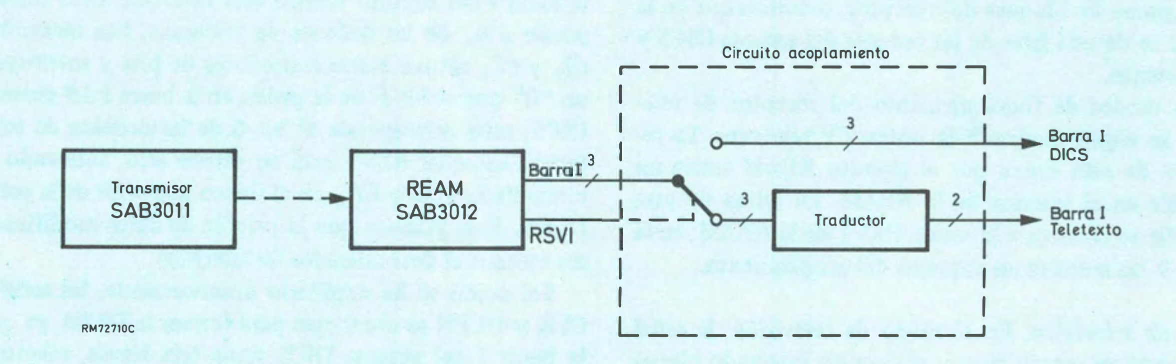


Figura 10. Circuito de acoplamiento que permite la separación del direccionamiento de las órdenes del sistema DICS y del teletexto.

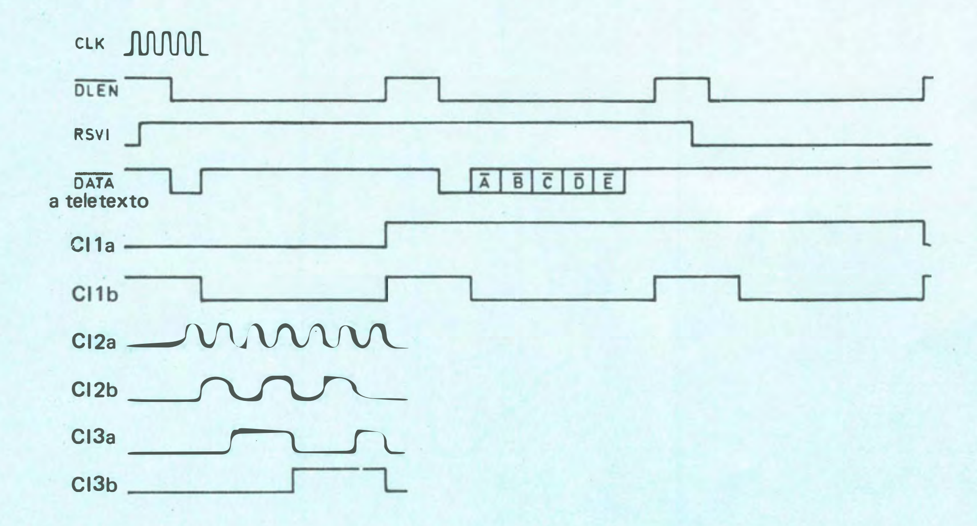


Figura 11. Diagrama de temporización para el circuito de acoplamiento mostrado en la figura 10 (modo teletexto). Los números de los circuitos integrados también se refieren a la figura 10.

plea una barra I de dos señales, con las señales DLEN y CLK combinadas para formar una única línea reloj y de habilitación de línea (DLIM). Por lo tanto, el circuito de acoplamiento debe transformar las órdenes diseñadas para teletexto en un formato adecuado. La figura 10 es un diagrama de bloques del receptor, mientras que en la tabla 2 se da una lista de las órdenes del sistema DICS y del teletexto.

Los modos de funcionamiento del receptor de televisión se eligen mediante la orden TV/teletexto. La recepción de esta orden por el circuito REAM activa un biestable en el interior de la REAM. La salida de este biestable se conecta a la salida RSV1 de la REAM; en la figura 9 se muestra un esquema del acoplamiento.

Modo de televisión. En el modo de televisión, la señal RSV1 está en estado bajo y el circuito integrado biestable CI_1 permanece en borrado. La memoria REAM (SAB3012) da una salida invertida para la barra I y por tanto los dos transistores (TR_1 y TR_2 en la figura 9) son incorporados en el circuito de acoplamiento para invertir las señales $\overline{\text{DATA}}$ y $\overline{\text{DLEN}}$. La señal RSV1 asegura, mediante las puertas NOR y NAND, que la salida $\overline{\text{DATA}}$ hacia el decodificador de teletexto se mantiene en estado alto.

Modo teletexto. El "0" de inicialización de una palabra de orden aparece como un "1" puesto que la salida de la barra I del circuito REAM está invertida. Esto corresponde a b_7 de las órdenes de teletexto. Los biestables CI_2 y CI_3 actúan como contadores de bits y sustituyen un "0" por el bit F de la orden en la barra I del sistema DICS; esto corresponde al bit 6 de las órdenes de teletexto. La señal RSV1 está en estado alto, activando el biestable de modo CI_{1a} en el flanco posterior de la señal DLEN. Esto permite que la palabra de datos modificada sea enviada al decodificador de teletexto.

Tal como se ha explicado anteriormente, las señales CLK y DLEN se combinan para formar la DLIM, ya que la barra I del sistema DICS tiene tres líneas, mientras que la barra I del teletexto tan sólo tiene dos. La señal DLEN en el sistema DICS queda inhibida por el estado alto de la señal RSV1, evitando así que el sistema DICS acepte cualquier dato recibido.

La figura 11 es un diagrama de temporización para el acoplamiento en el modo teletexto. ■

Sistema compacto de potencia para receptores de TVC
(SPP, Syncronized Power Pack)

La mayoría de los receptores de TVC actuales utilizan fuentes de alimentación de tipo conmutado (SMPS) con la finalidad de alcanzar elevado rendimiento (chasis fríos) y excelentes características de estabilización y fiabilidad. Nuestro nuevo sistema SPP representa un avance definitivo en las técnicas de diseño de las fuentes tipo conmutadas, pues al incorporar en la propia fuente todas las alimentaciones que son necesarias para el resto del receptor, incluyendo la MAT (muy alta tensión), se obtienen mejoras sustanciales en el rendimiento y la fiabilidad de la fuente además de otras ventajas adicionales.

La fuente SPP suministra las tensiones de alimentación estabilizadas aisladas de red de forma económica, muy eficiente y en poco espacio. El hecho de incorporar la MAT a la fuente representa una ruptura en los diseños de los receptores de TVC. Ruptura justificada por las altas prestaciones que ofrece, haciendo posible la realización de un chasis realmente universal, es decir, un solo diseño para receptores de 110° ó 90° de desviación. Además, el diseño de los circuitos de desviación horizontal se simplifica extraordinariamente hasta el punto que el transformador de salida de línea se convierte en un simple choque y la señal de excitación de la etapa de salida de línea la suministra la propia fuente gracias a que ésta puede sincronizarse con la señal de video.

EVOLUCION DE LAS FUENTES AISLADAS DE RED, GENERACION DE MAT Y DESVIACION

1. Fuentes por control de frecuencia: transformador de la fuente conmutada más transformador de salida de línea con devanado de MAT más triplicador.







2. Fuente por control de fase: transformador de la fuente conmutada más transformador de salida de línea con triplicador incorporado (DST).





3. Fuente por control de fase: transformador de fuente conmutada con MAT incorporado más choque de salida horizontal.

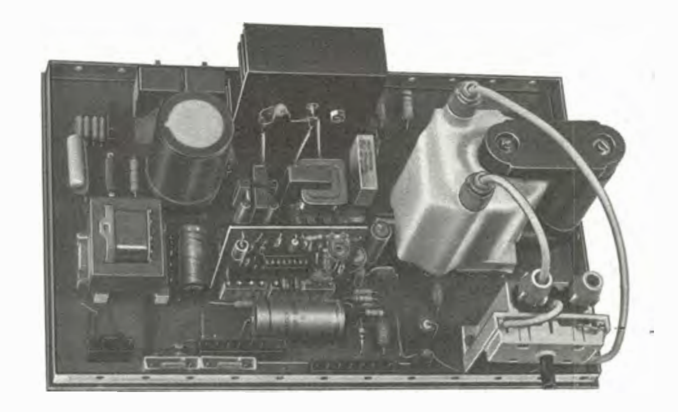




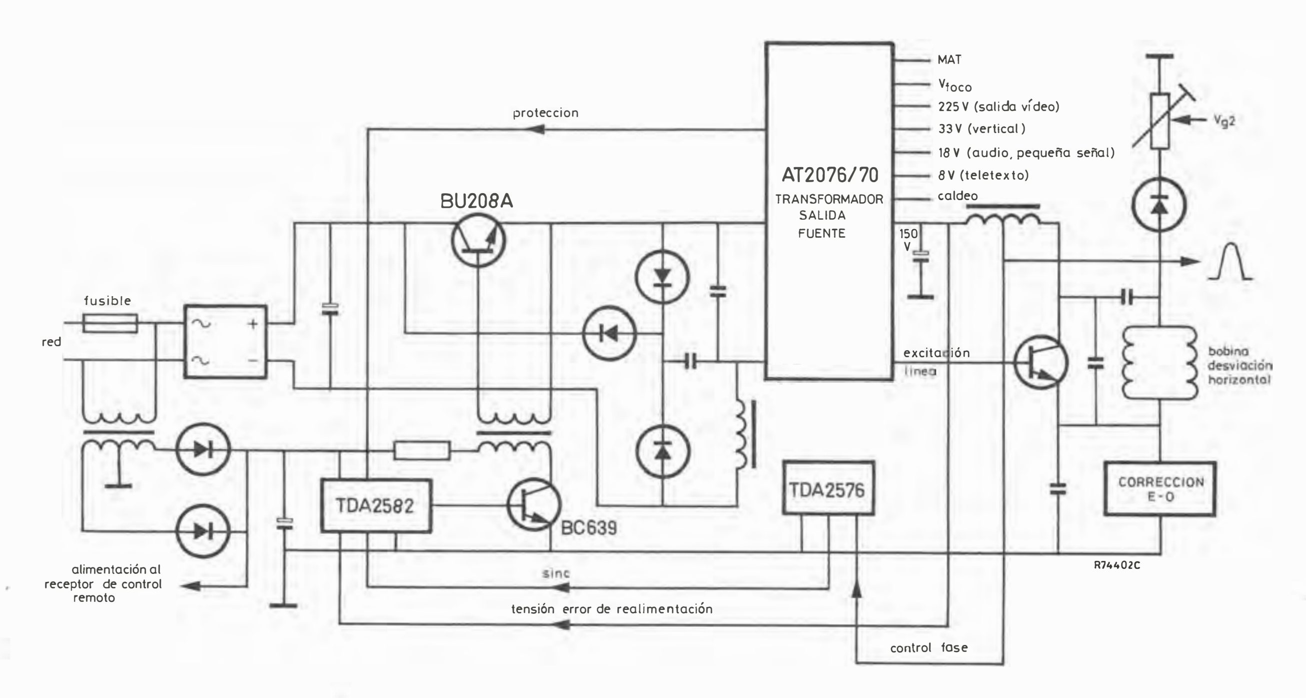
VENTAJAS DEL SISTEMA COMPACTO DE POTENCIA

Las principales ventajas de este circuito comparado con las fuentes conmutadas convencionales (SMPS) son las siguientes:

- Todas las alimentaciones del receptor (incluyendo la MAT y la señal para excitar la etapa de salida de línea) se obtienen a partir de esta fuente SPP.
- La impedancia de la fuente de MAT es baja, 1 MΩ.
- El circuito de desviación de salida horizontal se reduce a un simple choque.
- La corrección de trama E-O es más sencilla. No es necesario utilizar el modulador de diodos porque la MAT no queda influenciada por el proceso de modulación E-O.
- Reducción del consumo de potencia. El consumo medio de potencia típico de un receptor para corriente de haz igual a cero se reduce de un 10 a un 18%. Esto se consigue al reducir las pérdidas de conmutación y eliminar la doble conversión para obtener la MAT.
- Sin hacer cambios en la fuente de alimentación puede utilizarse desde los receptores de 14", 90° a los 26", 110°. Chasis universal.
- Reduce el área de circuito impreso a utilizar.
- La SPP es una fuente aislada de red que cumple las normas IEC de aislamiento. ■



Fuente de alimentación para un receptor TVC que incorpora el sistema SPP.



Esquema de una fuente SPP. La alimentación V_{g2} se toma del circuito de desviación horizontal para la realización del antipunto en caso de avería.

BASES DEL PREMIO SISTEMAS DE APLICACION EN TV "COPRESA"

1. Podrán concurrir a este concurso todos los autores que realicen un trabajo inédito sobre el tema que se menciona en estas bases, quedando exentas todas las personas de nuestra firma. Es condición necesaria que dicho trabajo no haya sido presentado anteriormente en ningún congreso, simposio, etc., ni publicado en alguna revista, semanario, etc. técnica nacional o extranjera.

2. El título del trabajo será "Estudio de soluciones prácticas para la obtención del rendimiento óptimo en el conjunto Alimentación-Salida de líneas-Generador de MAT en un receptor de televisión en color." El trabajo debe realizarse en torno a los transformadores DST (AT2076/30 ó AT2076/70). El circuito debe realizarse con componentes de fácil adquisición en el mercado, valorándose positivamente el contenido de componentes de fabricación nacional.

3. Los autores que participen en el **PREMIO SISTEMAS DE APLICACION EN TV COPRESA** deberán presentar:

   – una memoria con explicación descriptiva de la filosofía, funcionamiento y ventajas que aporta la solución estudiada,
   – un resultado de medidas,
   – un esquema teórico y una distribución práctica de componentes.

   La presentación de los trabajos deberá realizarse en folios mecanografiados a doble espacio y con una extensión máxima de la memoria de 30 folios.

4. El original se presentará con un título al cual seguirá un seudónimo. En un sobre cerrado aparte se incluirá el nombre y domicilio del autor. En el exterior del sobre se escribirá el título de la obra presentada seguido del seudónimo.

5. La fecha límite para la presentación de los trabajos será el día 20 de agosto de 1980.

6. Deben enviar sus originales y el sobre cerrado a: COPRESA, Depto. Técnico Consumer, Para el "Premio sistemas de aplicación en TV COPRESA", Balmes 22, BARCELONA-7.

7. Los premios serán:

   – Primer premio 100.000 Ptas.
   – Segundo premio 30.000 Ptas.

8. Los premios podrán ser declarados desiertos.

9. Durante la feria de Sonimag 1980 se realizará un acto de presentación pública de los trabajos de los concursantes finalistas. En dicha presentación se entregarán los premios, con asistencia de la prensa técnica.

10. El jurado estará formado por miembros de la Compañía de Productos Electrónicos COPRESA, S. A. Su decisión será inapelable.

11. Los originales premiados serán publicados por COPRESA y el resto serán devueltos a sus autores en los días siguientes a la concesión de los premios.

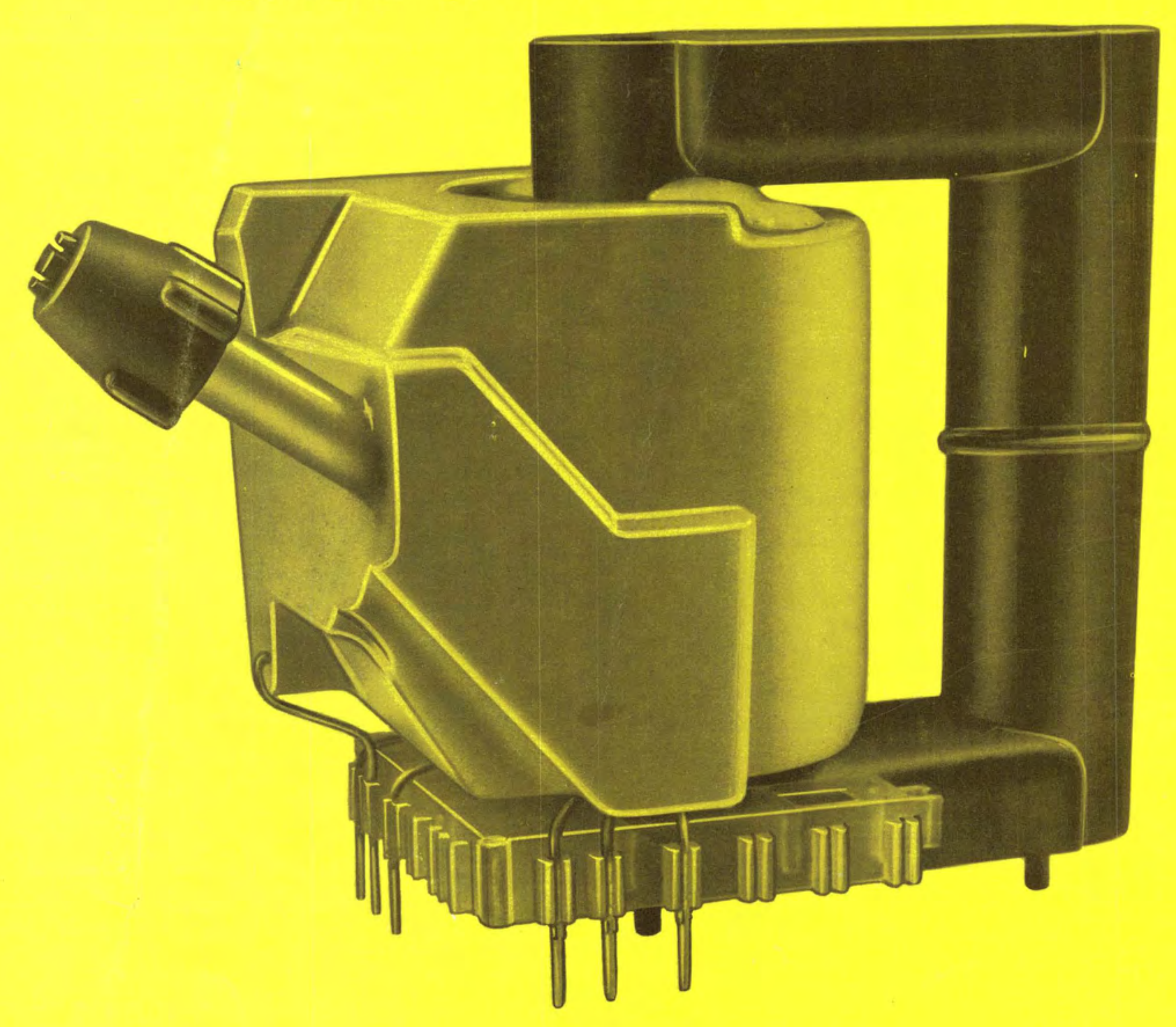
12. Los autores se responsabilizan de la originalidad de sus trabajos y se comprometen a asumir la defensa de cualquier demanda interpuesta por dicha causa.

13. La concurrencia a estos premios supone la aceptación de estas bases.

Compañía de Productos Electrónicos COPRESA, S.A.
octubre 1979

TRANSFORMADOR DE M.A.T.

TIPO «DIODE-SPLIT» (DIODO DIVIDIDO)



El nuevo transformador de M.A.T. tipo "diode-split" (diodo dividido) ofrece la más económica y más fiable generación de M.A.T. para receptores de TV. Los diodos rectificadores están incorporados al transformador y la capacidad necesaria para el multiplicador de tensión se obtiene por medio de una técnica de bobinado especial que produce la capacidad distribuida necesaria, evitando el empleo de condensadores exteriores. Proporciona la amplitud de exploración que requieren los tubos de imagen de color hasta 66 cm (26 pulgadas) con un diámetro de cuello de 36,5 mm. La máxima tensión de M.A.T. es de 25 kV y la corriente de 1,5 mA; la tensión de alimentación es de 150 V (para sistemas transistorizados) con un consumo de 780 mA para máxima corriente de salida. Dispone de numerosos devanados auxiliares.

Tipos comercializados:

AT 2076/30: transformador de salida de línea.

AT 2076/70: transformador para fuente alimentación SPP.



Revista "Miniwatt"

signetics

Vol. 19 - Núm. 3

75 Ptas.

Microordenador Signetics 8048

Revista Miniwatt

VOLUMEN 19 - Número 3

MARZO 1980



INDICE

Publicada por:

COMPAÑIA DE PRODUCTOS ELECTRONICOS "COPRESA", S. A.

Revista MINIWATT
Balmes, 22 - Barcelona-7

SUSCRIPCION ANUAL
(11 números) 600 Ptas.
PRECIO EJEMPLAR 75 Ptas.
CAMBIO DOMICILIO 50 Ptas.

ISSN 0210-2641
Depósito Legal B.18.387-61
GRAFESA - Nápoles, 249 - Barcelona

EDITORIAL

En virtud del intercambio tecnológico suscrito entre INTEL y SIGNETICS, esta última dispuso de la posibilidad de fabricación propia del microordenador 8048 y de los componentes de la familia tales como 8021-8022-8035-8041. La disponibilidad de este microordenador por parte de SIGNETICS ha supuesto la transferencia de la tecnología LOCMOS de PHILIPS a INTEL.

Durante la década de los setenta se han producido tensiones en el mercado de microordenadores, debido en gran parte a la avidez de los consumidores por este microordenador.

Al iniciar SIGNETICS la fabricación de estos microordenadores, es de prever que a partir de 1980 estas dificultades se irán suavizando, reduciéndose paulatinamente los plazos de entrega.

En nuestro anterior número hablábamos del Acoplador Programable para Comunicaciones (PCI). En este número, se continúa con el tema con su descripción y aplicaciones.

También hallarán nuestros lectores publicadas las bases del "Premio Microprocesadores Copresa", que tan buena acogida ha tenido en el ambiente de los "electrónicos".

Quisiéramos rendir merecido homenaje por mediación de estas líneas a nuestro amigo y compañero Federico Bonnin Forteza, no sólo por el premio obtenido de Mundo Electrónico por su libro "FUENTES DE ALIMENTACION REGULADAS ELECTRONICAMENTE", sino por su constante labor, comprendida en su libro, que pronto ocupará un merecido lugar en las bibliotecas técnicas.

Acoplador programable para comunicaciones (PCI) 2651 (continuación)

Este artículo es continuación y final del artículo del mismo título publicado en Revista Miniwatt, volumen 19, número 1.

En esta parte se describe el acoplador programable para comunicaciones (PCI) 2651 y sus aplicaciones.

EL PCI 2651

El Acoplador Programable para Comunicaciones 2651 es un controlador universal para comunicaciones síncronas/asíncronas. A pesar de haberse diseñado para su utilización específica con el microprocesador 2650, el PCI se puede utilizar fácilmente con otras CPU.

El 2651 acepta instrucciones programadas del microprocesador y soporta una serie de disciplinas de comunicaciones en bidireccional alternativo o simultáneo ("half or full duplex"). El PCI soporta operaciones isocronas, síncronas y asíncronas, incluyendo la operación síncrona transparente.

El PCI convierte la información recibida en paralelo del microprocesador en un tren de información en serie, dispuesto para efectuar la transmisión. Al mismo tiempo, como es independiente de la circuitería de transmisión y recepción, puede recibir un tren de datos en serie y efectuar la conversión en paralelo para el microprocesador.

El diagrama de bloques del PCI se muestra en la figura 10. Toda la información y control transferidos entre el PCI y el microprocesador se realiza a través de la barra de datos, conectando la barra interna de datos còn la del microprocesador.

Todo el control del PCI se hace mediante la señal de autorización de funcionamiento (CE). Las líneas de dirección A0 y A1, seleccionan el registro que se desea, mientras que la señal de Lectura/Escritura (R/W) controla la dirección de la información entre el PCI y el microprocesador.

La operación del PCI se determina por el contenido de dos registros de modo y el registro de órdenes. Los registros se cargan a través de la barra de datos durante la inicialización del sistema.

La información en el modo registro 1 controla:

- el formato:
  síncrono
  isosíncrono (asíncrono con reloj multiplicado por 1)
  asíncrono (con reloj multiplicado por 16)
  asíncrono (con reloj multiplicado por 64);
- la longitud de la palabra de datos:
  5, 6, 7 u 8 bits por palabra;
- la comprobación de error:
  no comprueba
  paridad impar
  paridad par;
- el número de bits de paro para las operaciones isosíncrona o asíncrona:
  1, 1,5 ó 2 bits;
- el empleo de los caracteres SIN y DLE:
  operación de sincronismo simple (SIN 1)
  operación de doble sincronismo (SIN 1 + SIN 2)
  operación transparente (DLE + SIN).

La información en el modo registro 2 controla la selección de reloj y la cantidad de baudios cuando se seleccionan los relojes internos:

- el reloj del detector:
  interno o externo;
- el reloj del transmisor:
  interno o externo;
- la velocidad de transmisión:
  se emplean 16 velocidades distintas situadas entre 50 y 19.200 baudios.

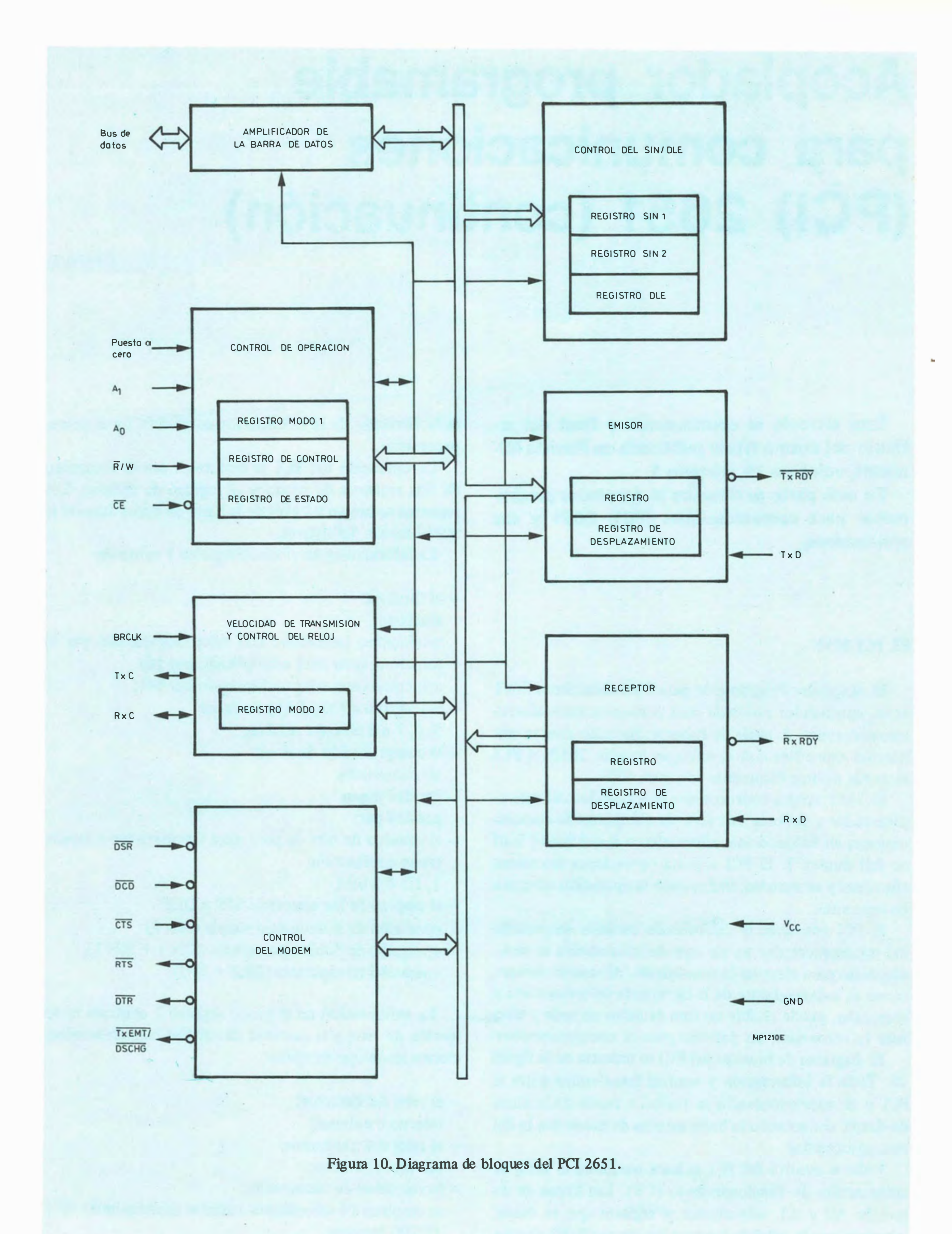


Figura 10. Diagrama de bloques del PCI 2651.

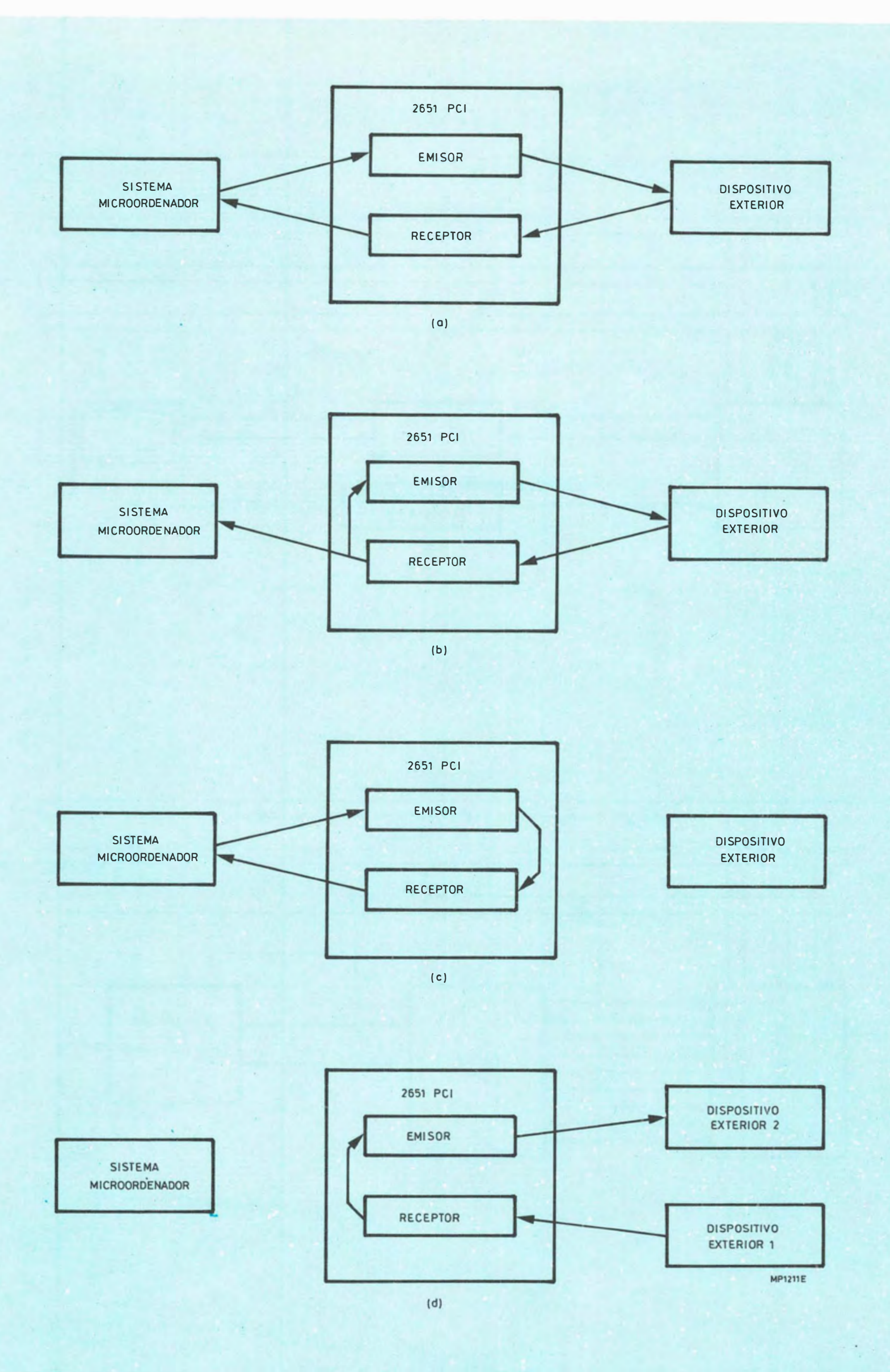
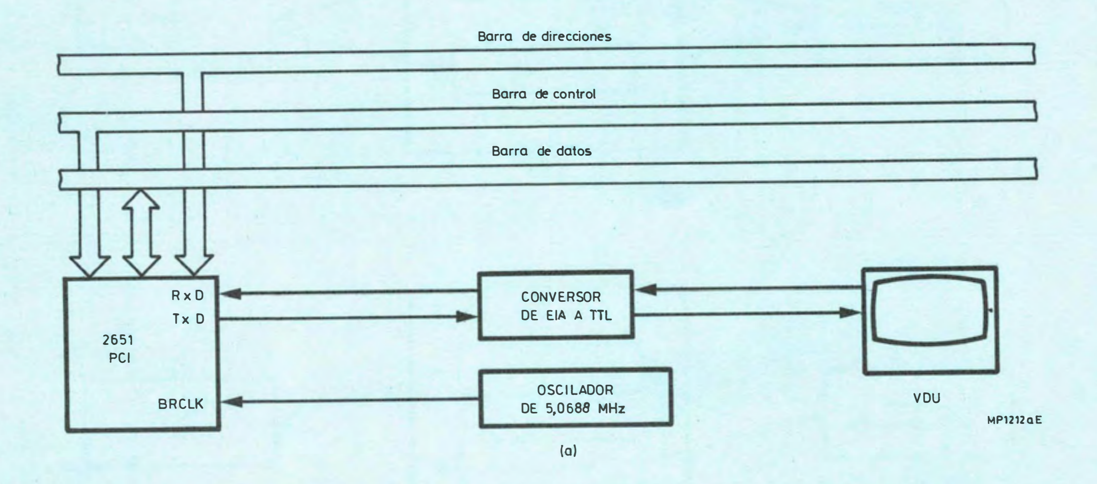


Figura 11. Modos de operación del PCI 2651. (a) Modo de operación normal. (b) Modo de eco automático. (c) Modo de realimentación local. (d) Modo de realimentación remota.



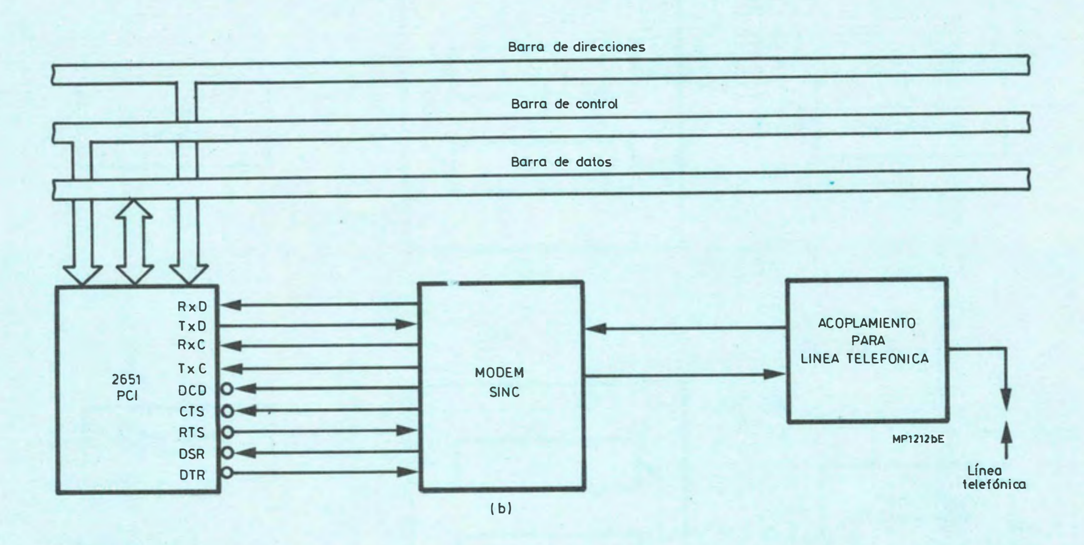


Figura 12. Aplicación típica del PCI 2651. (a) Acoplamiento asíncrono a una unidad de vídeo. (b) Acoplamiento síncrono a una línea telefónica.

7	6	5	4	3	2	1	formato de caracteres de 7 bits

columna (0 – 7) fila (1 – 15)

(carácter más significativo) (carácter menos significativo)

carác. signo más / carác. signo menos	0	1	2	3	4	5	6	7
	conjunto de caracteres							
0	NUL	(TC$_7$) DLE	SP	0	@	P	`	p
1	(TC$_1$) SOH	DC$_1$	!	1	A	Q	a	q
2	(TC$_2$) STX	DC2	”	2	B	R	b	r
3	(TC$_3$) ETX	DC$_3$	#	3	C	S	c	s
4	(TC$_4$) EOT	DC$_4$	$	4	D	T	d	t
5	(TC$_5$) ENQ	(TC$_8$) NAK	%	5	E	U	e	u
6	(TC$_6$) ACK	(TC$_9$) SYN	&	6	F	V	f	v
7	BEL	(TC$_{10}$) ETB	'	7	G	W	g	w
8	FE$_0$ (BS)	CAN	(	8	H	X	h	x
9	FE$_1$ (HT)	EM	)	9	I	Y	i	y
10	FE$_2$ (LF)	SUB	*	:	J	Z	j	z
11	FE$_3$ (VT)	ESC	+	;	K	[	k	
12	FE$_4$ (FF)	IS$_4$ (FS)	,	<	L	\	l	
13	FE$_5$ (CR)	IS$_3$ (GS)	–	=	M	]	m	
14	SO	IS$_2$ (RS)	•	>	N	↑	n	–
15	SI	IS$_1$ (US)	/	?	O	_	o	DEL

Figura 13.

La velocidad interna se deriva de un reloj generador externo de 5,0688 MHz. Cuando los relojes del emisor y del receptor se programan como externos, el reloj de 5,0688 MHz no se necesita. Si se programa un reloj interno, el reloj programado aparece en el terminal correspondiente (TxC: reloj transmisor; RxC: reloj detector). Si se programa un reloj externo, estas patillas pasan a ser entradas para el reloj o relojes externos. Con un reloj externo (máx. 0,8 MHz) la velocidad de transmisión no será superior a la gobernada por el modo registro 2. Así puede ser:

- operación síncrona e isosíncrona: de 0 a 800 kilobaudios;
- operación síncrona con un reloj multiplicado por dieciseis: de 0 a 50 kilobaudios;
- operación asíncrona con reloj multiplicado por 64: de 0 a 12,5 kilobaudios.

La información en el registro de órdenes controla:

- el emisor:
  permitido o no permitido;
- el receptor:
  permitido o no permitido;
- las señales de control del modem DTR y RTS;
- indicadores de desactivación de errores en el registro de estado.
- rupturas forzadas en el formato asíncrono:
  La señal de la línea está a uno. La ruptura es un cero contínuo enviado por el emisor que puede ser detectado por el receptor.
- envío de DLE en el formato síncrono.
- el modo de operación:
  - operación normal (fig. 11a);
  - modo de eco automático, asíncrono (fig. 11b). En este modo, el receptor controla al emisor, provocando la emisión de un eco de los datos recibidos hacia el dispositivo externo.
  - SIN/DLE, síncrono. Los caracteres SIN y DLE recibidos por el PCI no pasan por el microprocesador.
  - modo de realimentación local (fig. 11c). La salida del emisor se conecta internamente a la entrada del receptor para facilitar la comprobación del sistema PCI-CPU.
  - modo de realimentación remota (fig. 11d). La salida del receptor se conecta internamente a la entrada del emisor para derivar a otro ordenador la información recibida.

El registro de estado proporciona al microprocesador información sobre el emisor, el receptor, las señales de control del modem DSR y DCD, paridad, rebasamiento de marcha y errores de estructura y de detección de los caracteres SIN/DLE.

El receptor y el emisor disponen de reforzadores de doble dirección para permitir al microprocesador l escribir una palabra de datos mientras otra está siendo recibida/emitida.

Cuando se emplea el formato síncrono, lo de SIN y DLE los proporciona el microprocesador durante la fase de inicialización del programa almacenado en los registros del PCI.

Aplicaciones del PCI 2651

El PCI 2651 se puede emplear en casi todas las aplicaciones en las que la fuente de información en paralelo se debe emitir por una línea simple. La figura 12 muestra dos ejemplos típicos.

APENDICE A

El código internacional estándar (ISO) de 7 bits tal como viene definido en el apéndice B, referencia 4, es el que se indica en la figura 13.

APENDICE B

Las normas internacionales para el gobierno de las comunicaciones de información en serie se pueden encontrar en:

1. CCITT V22 y V22 bis; señales de información (velocidades de transmisión).
2. CCITT V21, V23, V26, V26 bis, V27, V30 y V35; modems estándar.
3. EIA RS232-C, CCITT V24; acoplamientos empleando intercambio de información binaria en serie.
4. ISO 646; juego de caracteres codificados en 7 bits.
5. ISO 1177; estructura de caracteres para inicio/paro y transmisión síncrona.
6. ISO 1745; procedimientos básicos de control de modo para sistemas de comunicaciones.*
7. ISO 2111; procedimientos para la transmisión de códigos independientes.

CCITT: Comité Consultivo Internacional de Teléfonos y Telégrafos.
EIA: Asociación de Industrias Electrónicas.
ISO: Organización Internacional para la estandarización.

*Normalmente llamados Procedimientos para el Control de Comunicaciones. ■

Microordenador 8048

Recientes avances en tecnología NMOS han permitido crear en una única pastilla de silicio, un auténtico microordenador de un solo chip, que contiene todas las funciones requeridas en un sistema de proceso digital. Las variantes de dicho microordenador, junto con sus periféricos opcionales, completan la llamada "familia del microordenador 8048", denominada "MCS-48" y cuyas características más importantes se describen en este artículo.

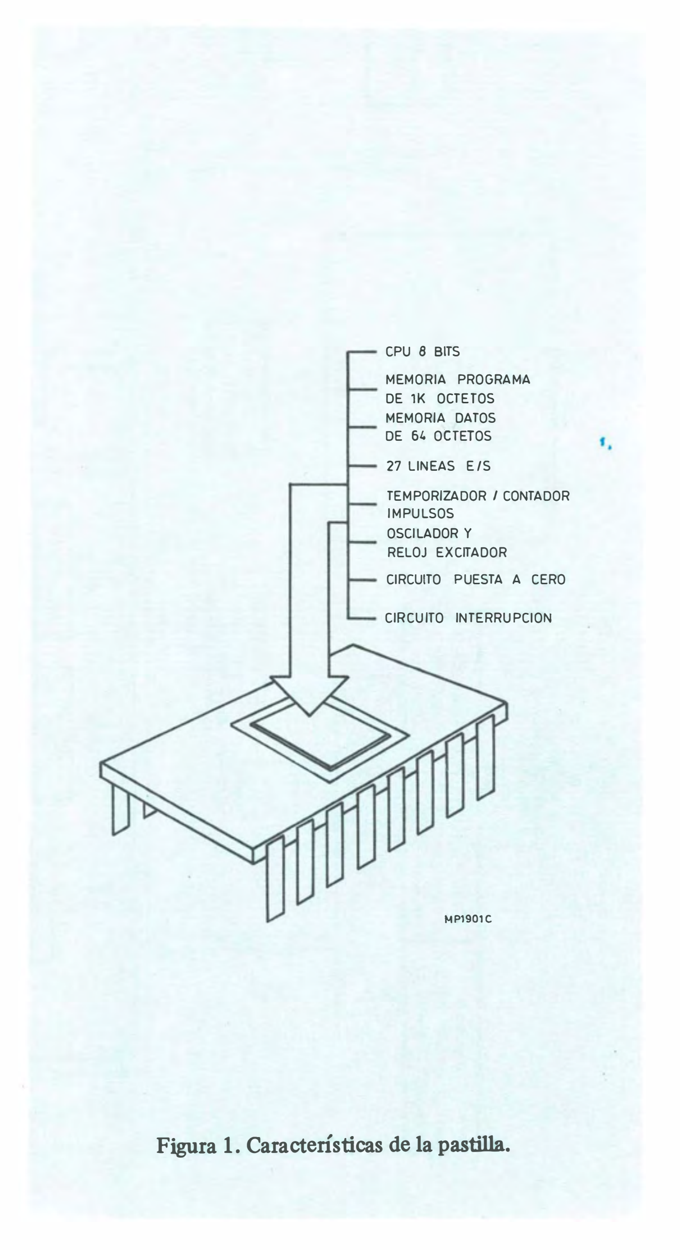


Figura 1. Características de la pastilla.

INTRODUCCION

El circuito más significativo de toda la familia es el microordenador 8048, el cual contiene las siguientes funciones en un único encapsulado de 40 patillas:

- CPU de 8 bits;
- memoria de programa ROM de 1K X 8 bits;
- memoria de datos RAM de 64 X 8 bits;
- capacidad E/S de 27 líneas;
- contador/temporizador de 8 bits.

Un tiempo de ciclo de 2,5 μs y un repertorio de 90 instrucciones con uno o dos ciclos de tiempo cada una, hace que el 8048 de pastilla única tenga las mismas características que la mayoría de los microprocesadores con tecnología NMOS de varias pastillas, actualmente disponibles en el mercado, lo que hace que el 8048 sea un verdadero microordenador de "bajo costo". La necesidad de una única fuente de alimentación de 5 V para todos los componentes de la familia asegura que el "bajo costo" también es aplicable a la fuente de alimentación del sistema.

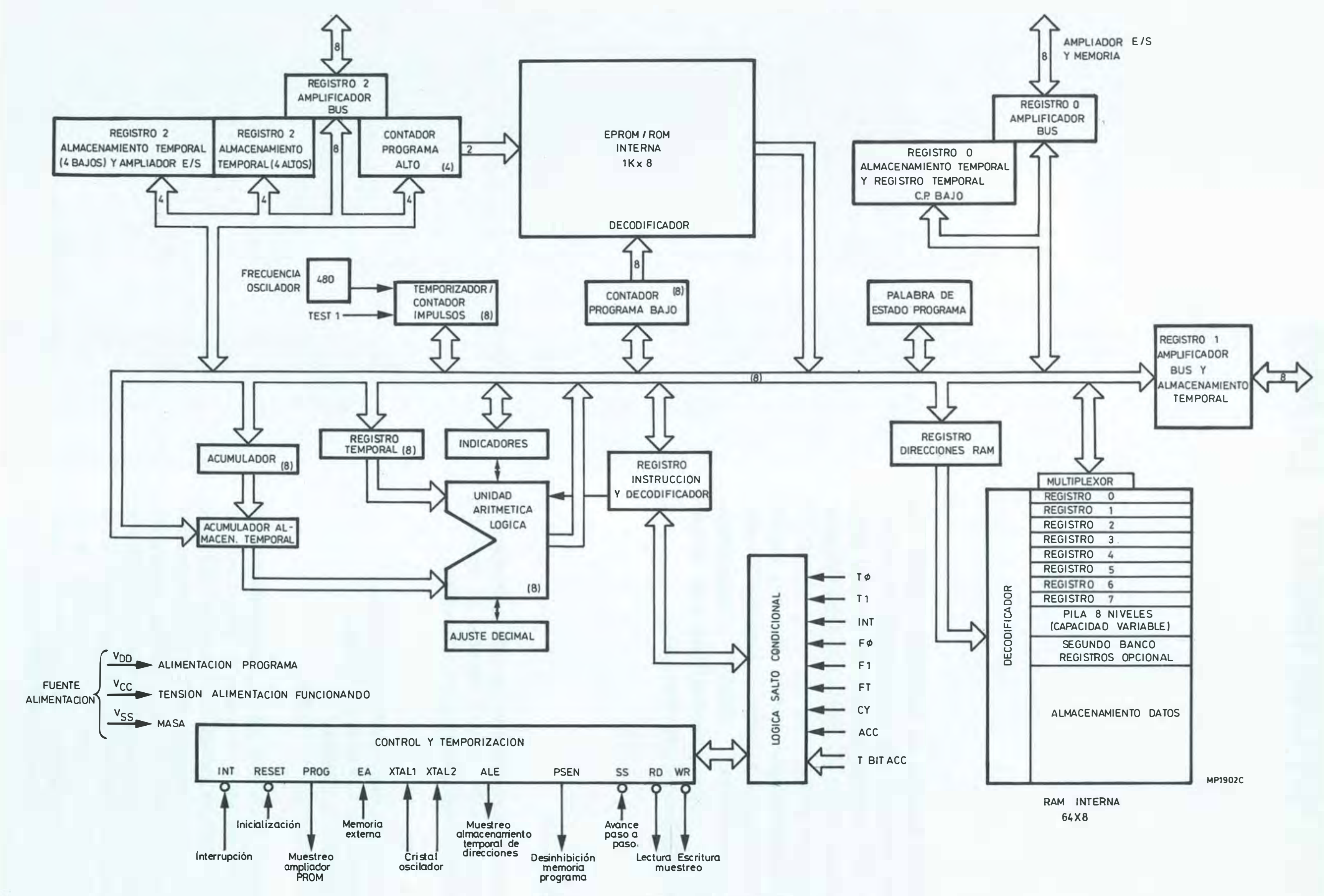


Figura 2. Diagrama de bloques del 8048.

Sin embargo, incluso con componentes de bajo costo, un proyecto puede resultar arriesgado debido a los elevados costos de desarrollo y rediseño resultantes de un diseño de producción inflexible. Se ha resuelto este problema mediante la creación de dos versiones del microordenador 8048, compatible patilla a patilla: el 8048 con memoria de programa ROM programable por máscara para aplicaciones de bajo costo, y el 8748 con memoria de programa EPROM, programable y borrable por el usuario para el desarrollo de prototipos. El 8748 es esencialmente un microordenador en una sola pastilla para montajes iniciales que pueden ser modificados una y otra vez durante su desarrollo y pre-producción, siendo después fácilmente reemplazable por el 8048 con ROM de bajo costo para producciones de gran volumen. El 8748 permite una fácil transición desde un desarrollo de prototipo a la producción del mismo, a la vez que permite un apoyo temporal a una producción mientras se fabrican las nuevas memorias ROM.

Para permitir que esta familia pueda resolver un amplio campo de problemas al diseñar un circuito y poder facilitar una futura ampliación, todas las funciones del 8048 pueden ser ampliadas externamente usando cualquiera de los periféricos y memorias disponibles. Es factible una eficaz ampliación de la capacidad de E/S a un bajo costo mediante el circuito 8243, el cual permite 16 líneas de E/S en un encapsulado de 24 patillas. Para sistemas con gran necesidad de líneas E/S, se pueden utilizar varios circuitos 8243.

Para aplicaciones en teclados, visualizadores, líneas de transmisión en serie, etc., se pueden utilizar los periféricos de las familias 8080 y 2650. La memoria de datos y de programa se puede ampliar usando memorias normalizadas o las memorias 8355 y 8155, que incluyen también líneas de E/S programables y funciones temporizadoras.

El 8035 es un 8048 sin memoria de programa interna, que permite al usuario satisfacer sus necesidades de memoria de programa utilizando una gran variedad de memorias externas. El 8035 permite al usuario seleccionar su sistema con el mínimo costo y sin que importen las necesidades de memoria de programa.

Dentro de la familia MCS-48, existe una versión simplificada y por lo tanto más "económica", si cabe, del 8048, denominado 8021. Este microordenador contiene, en un encapsulado de sólo 28 patillas, la misma capacidad de memoria interna que el 8048, a la vez que utiliza su mismo repertorio de instrucciones. La capacidad de E/S queda reducida a 21 líneas, con posibilidad de fácil ampliación externa con circuitos TTL de bajo costo. Asimismo, contiene un circuito que detecta el "cruce por cero". Completan la familia MCS-48, cuatro microordenadores de reciente creación: el 8049 que es igual al 8048 pero con doble capacidad de memoria interna tanto RAM como ROM, el 8039 igual al 8035 pero con doble capacidad de la RAM interna, el 8022 y 8041 que serán descritos detenidamente en posteriores artículos de esta revista.

Características principales

- Fuente de alimentación única de 5 V.
- Encapsulado DIP de 40 patillas.
- Compatibles patilla a patilla tanto la versión ROM como la EPROM.
- Ciclo de 2,5 μs.
- En todas las instrucciones un tiempo de ejecución de 1 ó 2 ciclos como máximo.
- Dos bancos de registros de trabajo.
- Frecuencia de reloj controlada por cristal, por inductancia o bien generada exteriormente.
- Posibilidad de avance de programa "paso a paso".
- Ocho niveles de subrutinas.

La familia MCS-48

8048 Microordenador con ROM interna.
8748 Microordenador con EPROM interna.
8035 Microordenador sin memoria interna.
8021 Microordenador de bajo costo.
8243 Ampliador de E/S.
8355 Memoria ROM y ampliador de E/S.
8755 Memoria EPROM y ampliador de E/S.
8155 Memoria RAM y ampliador de E/S.
8049 Microordenador con 2 K de ROM interna.
8039 Microordenador con RAM interna de 128 palabras de 8 bits.
8022 Microordenador de gran integración.
8041 Microordenador para control de periféricos.

ARQUITECTURA Y CARACTERISTICAS FUNCIONALES

A continuación se describe cada uno de los bloques que componen el 8048 y algunas de las funciones que se pueden desarrollar (figura 2).

Sección aritmética

El bloque aritmético del procesador contiene todas las funciones básicas de tratamiento de datos y consta de las siguientes partes:

- Unidad aritmética y lógica, ALU (Arithmetic Logic Unit).
- Acumulador.

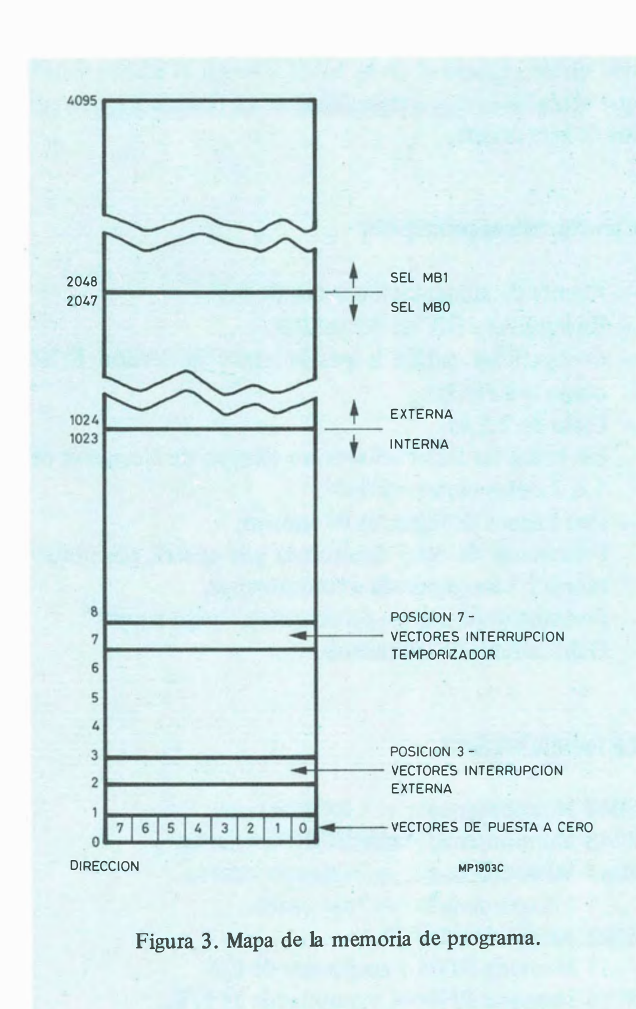


Figura 3. Mapa de la memoria de programa.

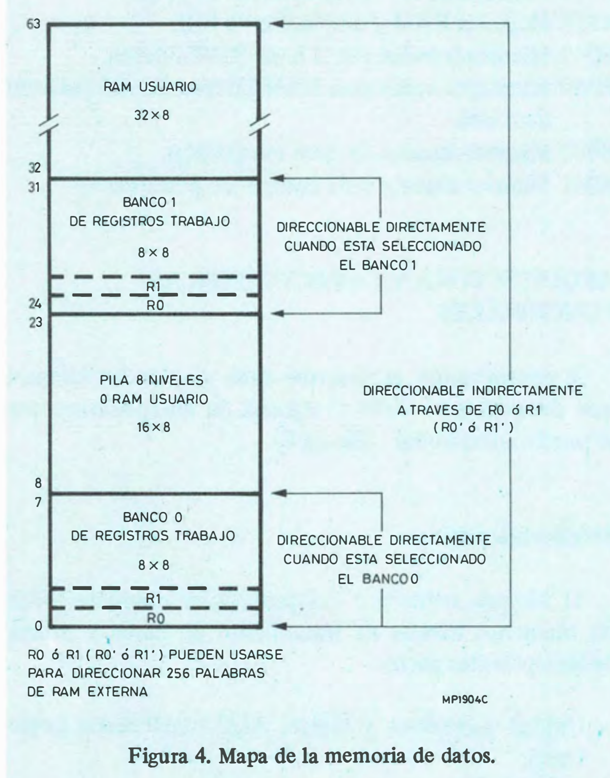


Figura 4. Mapa de la memoria de datos.

– Indicador de acarreo.
– Decodificador de instrucciones.

El acumulador es un registro a través del cual pasan todos los datos a tratar, procedentes de los registros de E/S, memoria y la ALU (operandos y resultados).

En la ALU se realizan todas las operaciones entre datos, tanto aritméticas (suma) como lógicas (AND, OR, NOR).

Memoria de Programa (fig. 3)

La memoria de programa interna consta de 1024 palabras de 8 bits cada una, las cuales son direccionadas mediante el contador de programa. En el 8748 esta memoria es una EPROM programable y borrable por el usuario y en el 8048 la memoria es una ROM programada mediante máscara en la fábrica. El 8035 no tiene memoria de programa interna y se utiliza con memorias externas. El código de programa es completamente intercambiable entre las tres versiones.

Hay tres posiciones en la memoria de programa de especial importancia:

Posición 0

Activa la puesta a cero del procesador, la primera instrucción se toma a partir de la posición 0.

Posición 3

Activa la entrada de interrupción del procesador (si el bit de interrupción está desinhibido), genera un salto a

Posición 7

Una interrupción provocada por el rebasamiento de la capacidad del temporizador/contador (si está desinhibido), provoca un salto a subrutina.

Es decir, la primera instrucción a ejecutar después de la inicialización es almacenada en la posición 0, la primera palabra de una subrutina de interrupción externa es almacenada en la posición 3 y la primera palabra de una subrutina de interrupción del temporizador/contador es almacenada en la posición 7. La memoria de programa se puede utilizar para almacenar constantes así como instrucciones de programa.

Memoria de datos (fig. 4)

La memoria de datos interna está organizada en 64 palabras de 8 bits cada una. Cada una de las 64 posiciones de la memoria se direcciona indirectamente a través de dos registros punteros de la RAM que se encuentran en las direcciones 0 y 1 del banco de registros. Las primeras ocho posiciones de memoria (0-7) se designan como

registros de trabajo, siendo direccionadas directamente mediante varias instrucciones. Ya que estos registros son fácilmente direccionables, se utilizan normalmente para almacenar resultados intermedios a los que se necesita acceder frecuentemente. La instrucción DJNZ permite efectuar lazos de retardo muy sencillos, mediante el decremento y posterior examen del contenido de un registro en una sola instrucción.

Mediante la ejecución de la instrucción de conmutación del banco de registro (SEL RB), las posiciones 24-31 de la RAM son designadas como registros de trabajo en lugar de las posiciones 0-7 que serán en este caso directamente direccionables como posiciones de memoria. Este segundo banco de registros de trabajo se puede utilizar como ampliación del primer banco o reservado para su uso durante una subrutina de interrupción, permitiendo reservar el contenido de los registros del banco 0, utilizados en el mismo programa, mediante la conmutación de banco. En caso de no ser utilizado este segundo banco, las posiciones 24-31 pueden ser direccionadas como aplicación general de memoria RAM.

Ya que los dos registros punteros de la RAM, R_0 y R_1, son una parte del sistema de registro de trabajo, la conmutación de banco crea dos nuevos registros punteros (R'_0 y R'_1), los cuales se pueden utilizar junto con R_0 y R_1 para facilitar el acceso al mismo tiempo a cuatro zonas de trabajo separadas dentro de la RAM. Las posiciones de la RAM (8-23) tienen también una doble función ya que contienen la pila del contador de programa como se explicará más adelante. Estas posiciones se direccionan por la pila del puntero durante llamadas a subrutina, así como por los registros punteros de la RAM, R_0 y R_1. Si el nivel de subrutinas es inferior a 8, no es necesaria toda la pila de registros y puede ser utilizada como posiciones de memoria RAM de aplicación general. Cualquier nivel de subrutina no utilizado permite al usuario disponer de dos posiciones adicionales de memoria RAM.

Entrada/Salida

El 8048 tiene 27 líneas que se pueden utilizar como entrada o salida de datos. Estas líneas están agrupadas en 3 registros de E/S de 8 líneas cada uno, teniendo funciones de entrada, salida o registro bidireccional, y 3 entradas de examen que pueden alterar secuencias de programa cuando son examinadas por instrucciones de salto condicional.

Registros de E/S 1 y 2

Los registros de E/S 1 y 2 constan de 8 bits cada uno y tienen ambos idénticas características. Los datos grabados en estos registros de E/S se almacenan estáticamente y permanecen invariables mientras no se graben otros datos. Actuando como registros de entrada, los datos no se almacenan y deben permanecer presentes mientras se efectúa la lectura de los mismos mediante una instrucción de entrada de datos. Las entradas son totalmente compatibles con TTL y las salidas son capaces de excitar una carga TTL.

Las líneas de los registros de E/S 1 y 2 se llaman "quasibidireccionales" debido a que el circuito de salida tiene una estructura especial que permite que cada línea pueda servir como entrada, salida y salida con almacenamiento temporal estático de los datos. La figura 5 muestra el esquema del circuito. Cada línea está conectada a +5 V a través de un dispositivo resistivo de impedancia relativamente elevada (~50 kΩ). Esta conexión da la suficiente corriente como para excitar, en estado alto, un dispositivo TTL, a la vez que se puede llevar a estado bajo por una puerta TTL; esto permite que el mismo terminal se pueda utilizar como entrada y a la vez como salida. Para proporcionar tiempos de conmutación rápidos en las transiciones de "0" a "1", se conmuta rápidamente (~ 500 ns) un dispositivo de impedancia relativamente baja (~ 5 kΩ) cuando se graba un "1" en la línea. Cuando se graba un "0" en la línea, un dispositivo de baja impedancia (~ 300 Ω) proporciona una corriente con capacidad para excitar dispositivos TTL. Siempre que se quiera utilizar una línea como entrada se ha de grabar un "1" previamente en la misma. La puesta a cero inicializa todas las líneas a un estado de alta impedancia en estado "1". Esta estructura permite que un mismo terminal pueda actuar como entrada o salida y asimismo que pueda haber líneas de entrada y líneas de salida al mismo tiempo en un mismo registro de E/S.

El registro de E/S "quasibidireccional" en combinación con las instrucciones lógicas ANL y ORL proporciona un medio eficaz de manejo de líneas individuales en un procesador de 8 bits.

Barra de datos

La barra de datos es también un registro de E/S de 8 bits bidireccional, con entradas y salidas de muestreo (*strobe*) comunes. Si la característica de la bidireccionalidad no es necesaria, la barra de datos puede comportarse como un registro de E/S con salidas con almacenamiento temporal estático o entradas sin almacenamiento. Las líneas de entrada y las de salida no pueden mezclarse, es decir, las 8 líneas del registro de E/S tienen que ser todas de salida o bien de entrada.

Como registro de E/S que es, los datos se escriben y se almacenan mediante la instrucción OUTL y se introducen mediante la instrucción INS. Las instrucciones INS y OUTL generan impulsos en las correspondientes líneas de muestreo de salida: RD (lectura) o WR (escritu-

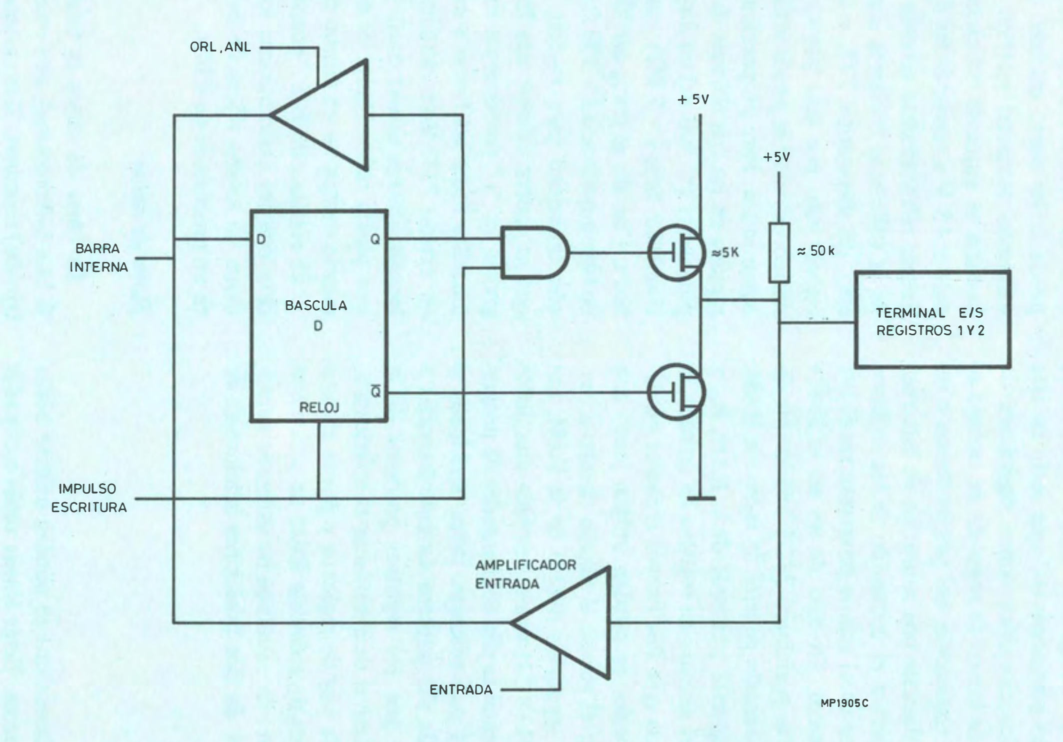


Figura 5. Estructura de registro quasibidireccional.

ra); no obstante, en el modo de funcionamiento de registro de E/S estático generalmente no se utilizan. Como registro de E/S bidireccional, la instrucción MOVX se emplea para leer el registro de E/S. Una escritura en el registro de E/S genera un impulso en el terminal de salida WR que hace válido el dato de salida a partir del flanco inicial de WR. Una lectura en el registro de E/S genera un impulso en el terminal de salida RD, haciendo válido el dato de entrada en el momento en que se produce el primer flanco en RD. Cuando no se escribe o se lee, la barra de datos está en estado de alta impedancia.

Entradas INT y de prueba

Existen tres terminales que sirven como entradas y a la vez pueden ser examinadas mediante instrucciones de salto condicional. Estos terminales son T_0, T_1 e INT. Mediante estos terminales se consiguen saltos de programa sin necesidad de cargar el contenido de un registro de E/S en el acumulador. Asimismo pueden realizar otras funciones que se explican en el apartado de descripción de patillas.

Contador de programa y pila

El contador de programa es un contador independiente mientras que la pila del contador de programa se implementa por medio de pares de registros en la memoria de datos. Unicamente se utilizan 10 bits del contador de programa para direccionar las 1024 palabras de la memoria de programa interna, mientras que los dos bits más significativos se utilizan cuando se debe trabajar con memoria de programa externa. El contador de programa se pone a cero cuando se activa la línea de puesta a cero (RESET).

Una interrupción o salto a subrutina hace que el contenido del contador de programa sea almacenado en uno de los 8 pares de registros de la pila de contador de programa. El par viene determinado por un puntero de pila de 3 bits que forma parte de la palabra de estado, PSW (Program Status Word). Las posiciones 8 a 23 de la memoria de datos RAM son utilizables como registros de pila y para almacenar el contador de programa y 4 bits de la PSW. Cuando el puntero de pila está en la posición 000, direcciona las posiciones 8 y 9 de la RAM. El primer salto a subrutina o interrupción produce una transferencia del contenido del contador de programa hacia las posiciones 8 y 9 de la RAM. El puntero de pila se incrementa en una unidad y queda apuntado a las posiciones 10 y 11 de la RAM antes de que se produzca otra llamada a subrutina (CALL). Se pueden ejecutar unas subrutinas dentro de otras hasta un tope máximo de 8 veces sin que se rebase la capacidad de la pila.

El final de una subrutina, señalado por las instrucciones de retorno (RET o RETR), produce un decremento en el puntero de pila y transfiere el contenido del par de registros al contador de programa.

Palabra de Estado de Programa (PSW)

Existen una serie de biestables organizados en una palabra de 8 bits, los cuales pueden cargarse desde o al acumulador y que se encargan de informar del estado de ciertos parámetros de un programa. Esta palabra de 8 bits es lo que constituye la llamada palabra de estado de programa, PSW (Program Status Word). Estos biestables pueden ser leidos o grabados muy fácilmente. La figura 7 muestra la información disponible en la palabra.

Los cuatro bits más significativos de la PSW son almacenados en la pila del contador de programa al producirse un salto a subrutina o vector de interrupción y restablecidos a su estado inicial automáticamente mediante la instrucción RETR. La instrucción de retorno RET no restablece la PSW.

La función de cada uno de los bits de la PSW es la siguiente:

Bits 0-2 bits del puntero de pila (S_0, S_1, S_2)
Bit 3 no se usa (se encuentra a nivel "1" para casos de lectura de la PSW);
Bit 4 conmutador de banco de registros de trabajo;
Bit 5 bit del indicador 0 (F0), controlable por el usuario que puede ser borrado, complementado, o examinado mediante la instrucción de salto condicional JFO;
Bit 6 acarreo auxiliar, AC (Auxiliary Carry), generado mediante una instrucción de suma ADD y utilizado por la instrucción de ajuste decimal DA A;
Bit 7 acarreo, CY (Carry) que indica que una operación previa ha tenido un resultado con rebasamiento de capacidad en el acumulador.

Interrupción (fig. 10)

Al aplicar un nivel "0" en el terminal de entrada INT, se inicia una secuencia de interrupción. Se genera una interrupción mediante niveles 0 para permitir la conexión de diversas fuentes de interrupción en el terminal de entrada mediante el sistema de "puerta OR cableada". La línea de interrupción se muestrea en cada ciclo de máquina en el tiempo que dura la señal ALE y cuando se detecta una interrupción se produce un "salto a subrutina" a la posición 3 de la memoria de programa, en cuanto hayan sido completados todos los ciclos de la instruc-

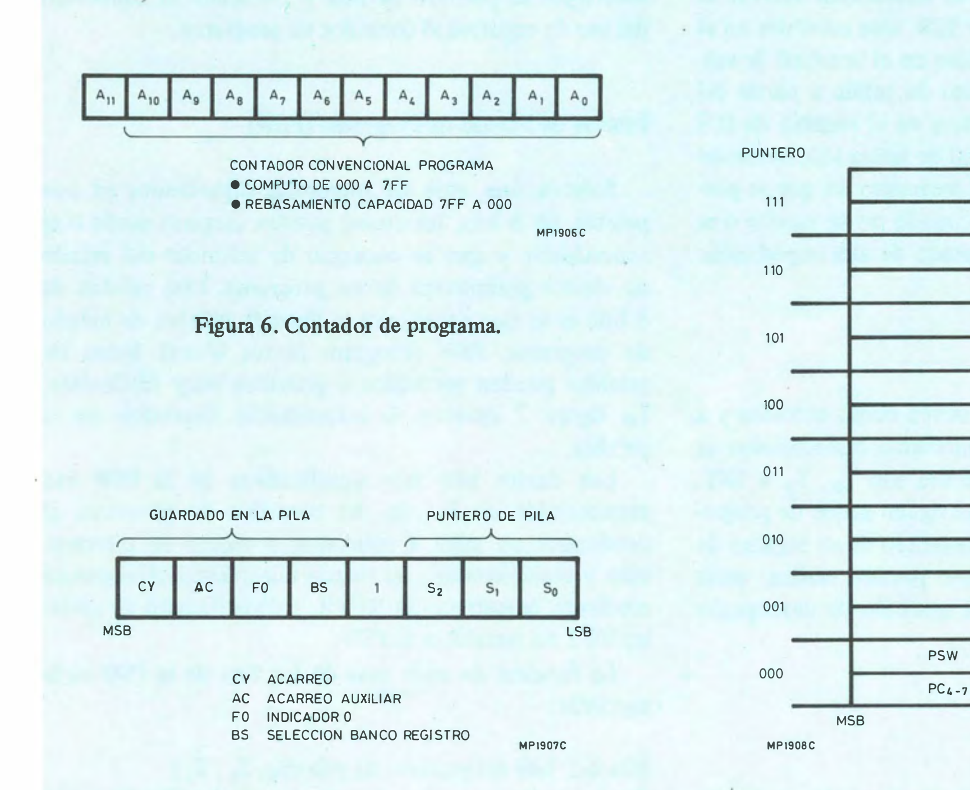


Figura 6. Contador de programa.

Figura 7. Palabra de estado de programa PSW (Program Status Word).

Figura 8. Pila del contador de programa.

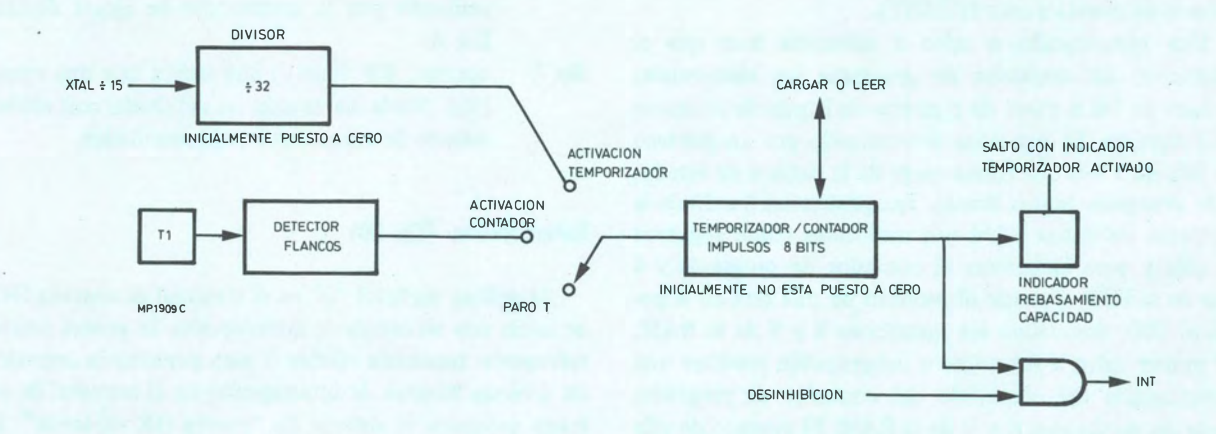


Figura 9. Temporizador/contador de sucesos.

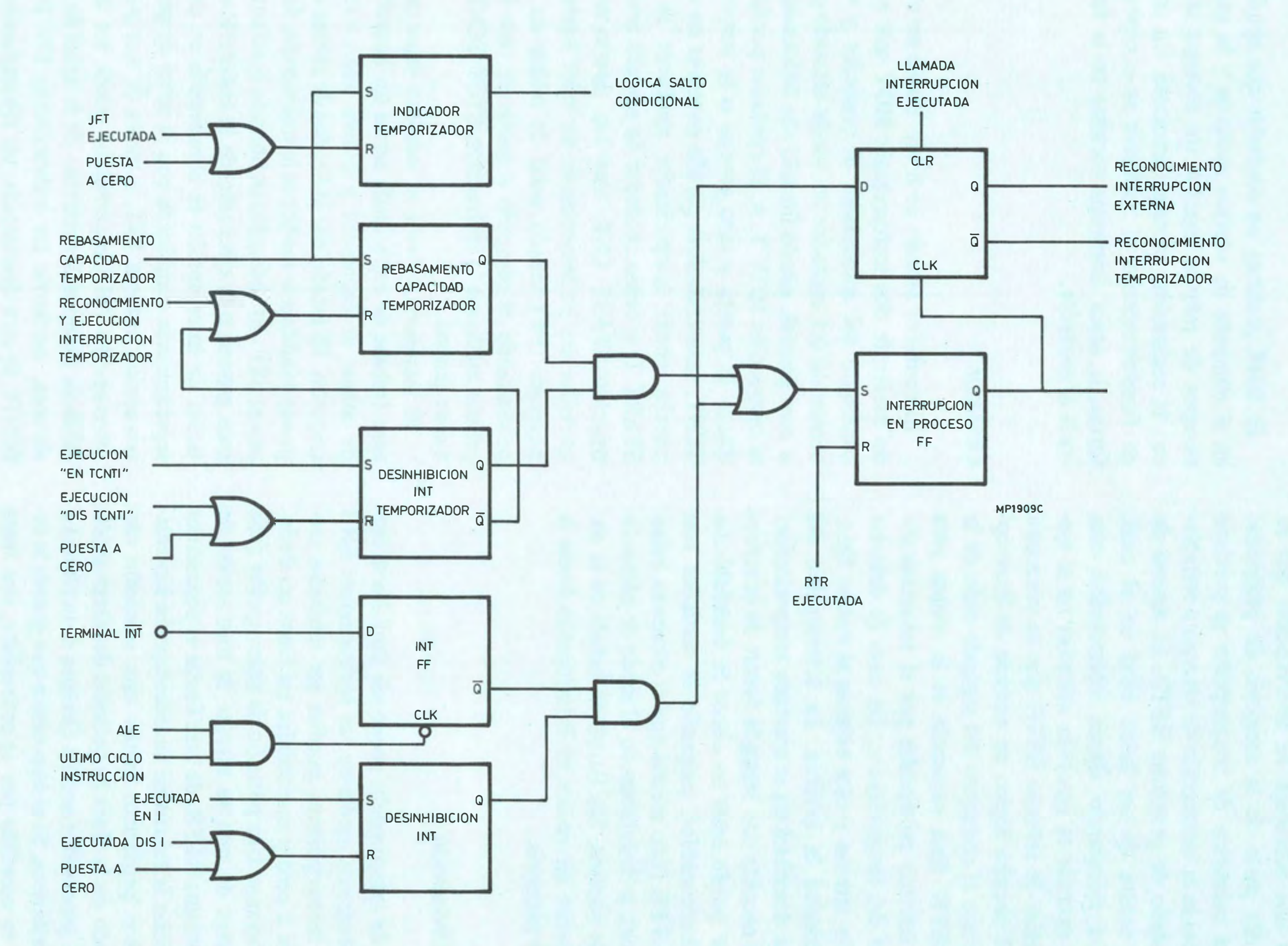


Figura 10. Lógica de interrupción.

ción que se lleve a cabo en ese momento. Al igual que en cualquier llamada a subrutina, el contenido del contador de programa y la palabra de estado son guardados en la pila. Esta operación se describió en el apartado que trata del contador de programa y pila. La posición 3 de la memoria de programa normalmente contiene un salto incondicional a una subrutina de interrupción que se encuentra en otra parte de la memoria de programa. El final de una subrutina de interrupción se produce cuando es ejecutada la instrucción de retorno y restablecimiento del estado de programa RETR. El sistema de interrupciones consta de un único nivel en el cual, mientras se está ejecutando alguna interrupción, una nueva petición exterior es ignorada mientras no se ejecute la instrucción de retorno RETR que se encargará de desinhibir el circuito lógico de entrada de interrupciones. Esto ocurre al comienzo del segundo ciclo de la interrupción RETR. Esta secuencia es la misma para interrupciones internas producidas por el rebasamiento de la capacidad del temporizador. En caso de detectar una interrupción interna y otra externa al mismo tiempo, tendrá prioridad la externa. La interrupción del temporizador se describirá en el apartado temporizador/contador. Si se necesita una segunda fuente de interrupción externa se puede crear mediante la desinhibición del temporizador/contador, cargando el contador con la información FFE (uno menos que el cómputo máximo del contador), y desinhibiendo el modo de cómputo del contador de sucesos. Un flanco de bajada en la entrada T1 producirá un vector de interrupción hacia la posición 7 de la memoria.

Secuencia de interrupción

La entrada de interrupción puede ser inhibida o desinhibida por programa mediante las instrucciones EN I y DIS I. Las interrupciones pueden ser inhibidas mediante la puesta a cero y mantenidas así hasta ser desinhibidas por programa. Una petición de interrupción debe ser retirada antes de que se ejecute la instrucción de retorno de subrutina RETR, de otra forma el procesador volvería a reiniciar la subrutina de interrupción inmediatamente. Muchos periféricos evitan esta situación mediante el borrado de la línea de petición de interrupción siempre que el procesador acceda (lectura o escritura) a los registros periféricos. Si el dispositivo que genera la interrupción no es accedido por el procesador, una línea de salida del 8048 puede ser designada como "aceptación de interrupción", la cual es activada por la propia subrutina de interrupción con el fin de borrar la petición de interrupción. El terminal INT puede ser examinado mediante la instrucción de salto condicional JNI. Esta instrucción puede ser usada para detectar la presencia de interrupciones pendientes de ejecución antes de que las mismas sean desinhibidas. En caso de que las interrupciones estén inhibidas, el terminal INT puede ser usado como entrada de muestreo al igual que T0 y T1.

Temporizador-Contador (fig. 9)

El 8048 contiene un contador que ayuda al usuario en el cómputo de sucesos externos y la generación de tiempos de retardo exactos sin recargar al procesador con la realización de estas funciones. En ambos modos de funcionamiento el contador se comporta de igual forma, la única diferencia consiste en la fuente de entrada al contador.

Contador

El contador binario de 8 bits puede ser cargado y leído mediante dos instrucciones MOV que transfieren el contenido del acumulador al contador y viceversa. El contenido del contador no queda afectado por la puesta a cero general, siendo inicializado únicamente mediante la instrucción MOV T, A. El contador puede pararse mediante la puesta a cero general o la instrucción STOP TCNT, manteniéndose parado mientras no es puesto en marcha como temporizador mediante la instrucción START T, o como contador de sucesos mediante la instrucción START CNT. Una vez puesto en marcha, el contador irá incrementando su valor hasta el máximo cómputo (FF), dando señal de rebase de capacidad y continuando el cómputo a partir de cero hasta que es parado mediante la instrucción STOP TCNT o la puesta a cero general.

El incremento desde el máximo valor de cómputo a cero (rebase de capacidad) activa un biestable indicador de rebase de capacidad y genera una petición de interrupción. El estado del indicador de rebase de capacidad puede examinarse mediante la instrucción de salto condicional JTF. El indicador es borrado mediante la puesta a cero general o la ejecución de la instrucción JTF. La petición de interrupción es almacenada en un biestable y seguidamente combinada con la señal de petición de interrupción externa INT, a través de una puerta OR. La interrupción del temporizador puede ser desinhibida o inhibida independientemente de la señal de interrupción externa, mediante las instrucciones EN TCNTI y DIS TCNTI. Si está desinhibida, un rebasamiento de la capacidad en el contador causará un salto a la posición 7 de la memoria donde se encuentra almacenada la rutina de servicio del temporizador o del contador de sucesos. En caso de presentarse simultáneamente dos peticiones de interrupción, una externa y otra del temporizador, tendrá preferencia la externa y la llamada a subrutina de interrupción se hará en la posición 3 de la memoria. No

obstante, la interrupción del temporizador es almacenada temporalmente, permaneciendo a la espera de que haya sido servido el dispositivo externo que pidió interrupción; en el momento que se produzca el retorno de la subrutina de interrupción externa, entrará inmediatamente en funcionamiento la subrutina de interrupción del temporizador. La petición de interrupción pendiente se borra en el momento que se salta a la posición 7 de la memoria, o puede ser suprimido mediante la instrucción DIS TCNTI.

Contador utilizado como contador de sucesos

La ejecución de la instrucción START CNT conecta el terminal de entrada T1 a la entrada del contador y la desinhibe. Cada flanco de bajada en T1 originará un incremento de valor en el contador. La máxima velocidad a la cual el contador puede ser incrementado es una vez por cada tres ciclos (cada 7,5 μs si se usa un cristal de 6 MHz), no obstante, ésta no es la mínima frecuencia a la que puede funcionar. La entrada T1 necesita estar un mínimo de 500 μs en estado alto después de cada transición.

Contador utilizado como temporizador

La ejecución de la instrucción START T conecta un reloj interno a la entrada del contador y desinhibe el contador. El reloj interno es el resultado de pasar los 400 kHz de ciclo de reloj básico (señal ALE) a través de un divisor por 32. El divisor se pone a cero durante la ejecución de la instrucción START T. El reloj resultante de 12,5 kHz incrementa el contador cada 80 μs (siempre que se encuentre conectado un cristal de 6 MHz). Se obtienen diferentes retardos, desde 80 μs hasta 20 ms (256 cómputos), cargando el contador con un valor (inicialización del contador) y la detección de la señal de rebase de capacidad. Se pueden obtener tiempos de retardo mayores de 20 ms mediante la acumulación de múltiples impulsos de rebase de capacidad en un registro, controlando el proceso por programa. Para tiempos menores de 80 μs, puede aplicarse un reloj externo a la entrada T1 haciendo operar el contador en el modo "contador de sucesos". La señal ALE dividida por 3 o más puede hacer las funciones de reloj externo. Pueden obtenerse fácilmente tiempos de retardo muy pequeños o muy grandes mediante lazos de retardo realizados por programa.

Circuitos de reloj y de temporización (fig. 11)

La generación de secuencias en el 8048 está totalmente resuelta dentro del mismo, a excepción de la frecuencia de referencia que puede ser generada por cristal, por inductancias o por una fuente de reloj externa. Los circuitos de reloj y de temporización pueden dividirse en los siguientes bloques funcionales:

Oscilador

El oscilador consta de una serie de circuitos resonantes de alta ganancia con una escala de frecuencias que va de 1 a 6 MHz. El terminal exterior X1 es la entrada a la etapa amplificadora, siendo X2 la salida de la misma. Un cristal o inductancia conectada entre los terminales X1 y X2 proporciona la realimentación y desplazamiento de fase necesarios para que el circuito se ponga a oscilar. Un cristal de 5.9904 MHz permite obtener fácilmente todas las frecuencias normalizadas en comunicaciones. Si no es necesaria una gran precisión en la frecuencia de referencia, ni una alta velocidad en el procesador, puede utilizarse una inductancia en lugar de un cristal. Con una inductancia, la frecuencia del oscilador puede ser aproximadamente de 3 a 5 MHz. Para mayores velocidades de operación se utilizará un cristal. Asimismo, se puede aplicar un reloj externo en los terminales X1 y X2 como fuente de frecuencia.

Contador de estados

La salida del oscilador se divide por tres en el contador de estados para crear un reloj que define el tiempo de los estados de la máquina (CLK). La señal CLK puede estar disponible en el terminal externo T0 mediante la ejecución de la instrucción ENTO CLK. La salida CLK por T0 puede ser inhibida mediante la puesta a cero general del procesador.

Contador de ciclos

La señal CLK es dividida posteriormente por cinco en el contador de ciclos, proporcionando una señal de reloj que define el ciclo de máquina compuesto por cinco estados de máquina. Este reloj se denomina ALE (Address Catch Enable) y, entre otras funciones, se utiliza para desinhibir los registros de dirección de las memorias externas. Esta señal se encuentra disponible permanentemente en el terminal de salida ALE.

Puesta a cero (figuras 12 y 13)

La entrada de puesta a cero proporciona un medio para poder inicializar el procesador. Consta de un disparador de Schmitt y una resistencia conectada a positivo que, en combinación con un condensador exterior de 1 μF, proporciona un impulso de puesta a cero interno de suficiente duración como para garantizar que todo el

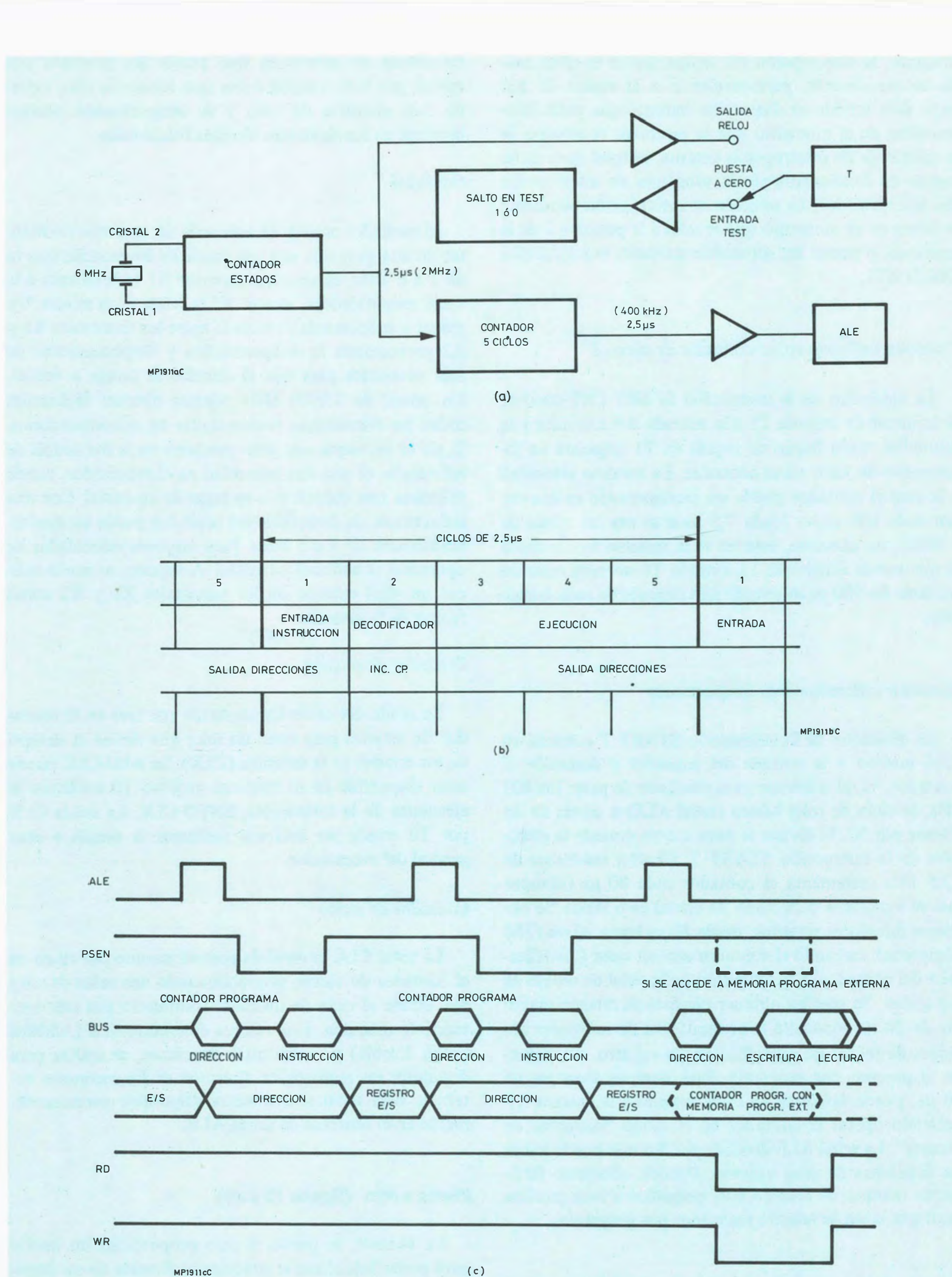


Figura 11. (a) Diagrama del reloj del 8048. (b) Ciclo de instrucción. (c) Temporización del ciclo del 8048 para memoria externa.

circuito ha sido puesto a cero. En caso de que el impulso de puesta a cero sea generado exteriormente, el terminal de puesta a cero tiene que mantenerse a nivel de masa (0,5 V máximo) por un período de tiempo mínimo de 50 ms inmediatamente después de que la tensión de alimentación ha llegado a su valor nominal.

La puesta a cero realiza las siguientes funciones:

- Pone a cero el contador de programa.
- Pone a cero el puntero de pila.
- Selecciona el banco 0 de registros.
- Selecciona el banco 0 de memoria.
- Pone la barra en el estado de alta impedancia (excepto cuando EA = 5 V).
- Pone los registros de E/S 1 y 2 en el modo de entrada.
- Inhibe las interrupciones (la de temporizador y la externa).
- Para el temporizador.
- Borra el indicador de temporizador (FT).
- Borra F0 y F1.
- Inhibe la salida de reloj desde T0.

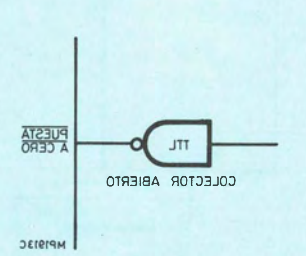


Figura 12. Puesta a cero externa.

Avance paso a paso

Esta característica proporciona al usuario la posibilidad de hacer progresar el programa instrucción a instrucción. Mientras el programa se encuentra detenido, la dirección de la siguiente instrucción a ejecutar se encuentra disponible en la barra y la mitad del registro de E/S 2. El usuario puede, gracias a esto, seguir el programa a través de cualquier paso de instrucción. En la figura 14 puede verse un diagrama de temporización mostrando la relación entre la salida ALE y la entrada SS. El contenido del amplificador de la barra se pierde durante el avance de un paso de programa; no obstante, se puede añadir un registro para recuperar lo perdido en caso necesario.

Secuencia

El 8048, en avance paso a paso opera de la forma siguiente:

- El procesador recibe una petición de paro mediante la aplicación de un nivel bajo en SS.
- El procesador responde deteniéndose en el tiempo de búsqueda de la siguiente instrucción. Si se está ejecutando una instrucción de dos ciclos cuando se recibe la orden de avance paso a paso, ambos ciclos son completados antes de parar el programa.
- El procesador se da por enterado del estado de paro mediante la subida a uno de ALE. En este estado (que puede ser mantenido indefinidamente), la direc-

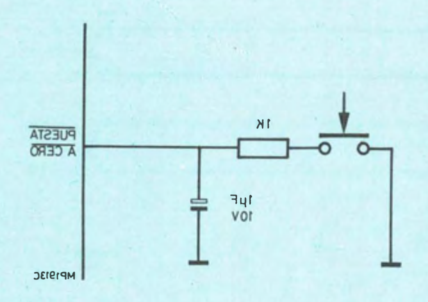
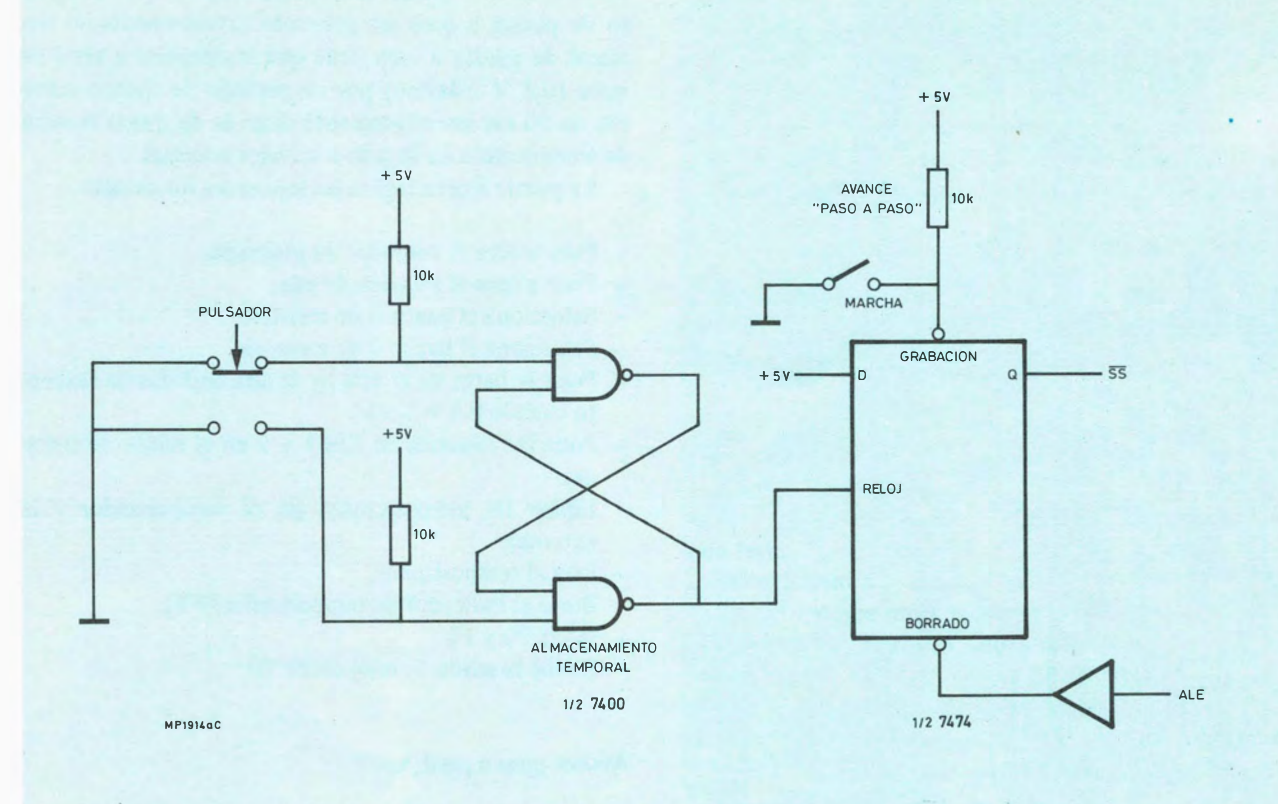


Figura 13. Reestablecimiento de la alimentación.



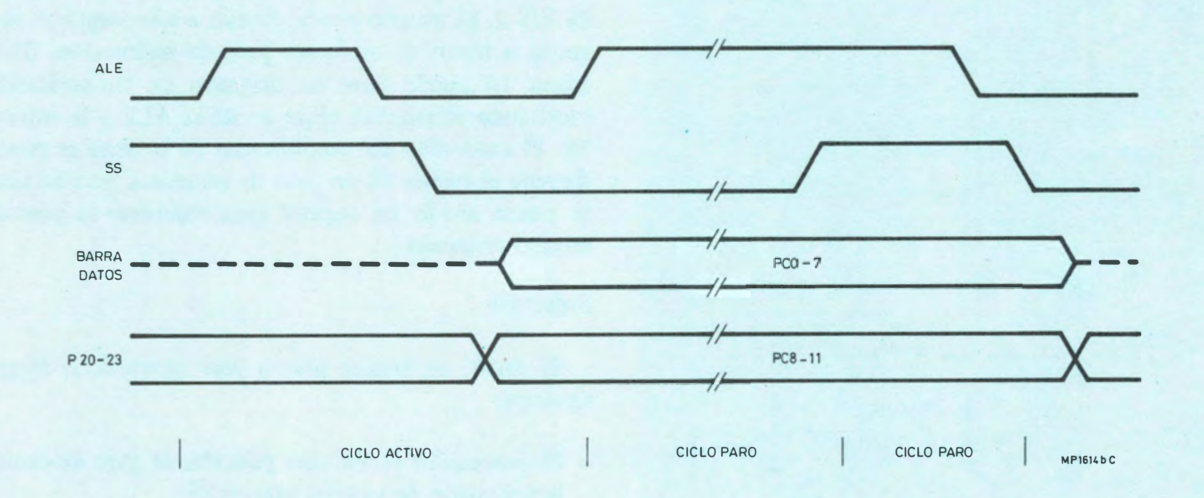


Figura 14. (a) Circuito de paso a paso. (b) Secuencia de paso a paso.

ción de la siguiente instrucción a ejecutar se encuentra presente en la barra y en la mitad del registro de E/S 2.

– Posteriormente, la entrada SS pasa a nivel uno lógico, reanudando su funcionamiento el procesador para poder buscar la siguiente instrucción a ejecutar. La reanudación del funcionamiento es indicada por el procesador poniendo a nivel cero lógico la salida ALE.
– Para parar el procesador en la siguiente instrucción, SS debe llevarse a cero otra vez tan pronto como ALE pase a cero. En caso de que SS permanezca en estado alto, el procesador seguirá en funcionamiento.

El diagrama de funcionamiento del avance paso a paso en el 8748 viene mostrado en la figura 14. Para generar la señal SS se utiliza un biestable tipo D con borrado y puesta a uno. En el modo de marcha (procesador funcionando) la entrada SS permanece a nivel uno ya que se mantiene la puesta a uno del biestable (tiene preferencia sobre el borrado). Para seguir avanzando paso a paso, la puesta a uno queda libre permitiendo a la señal ALE poner SS a cero a través del borrado del biestable. El procesador se encuentra ahora en el estado de parado. La siguiente instrucción es iniciada por la aplicación de un uno, por mediación del reloj en el biestable. Este uno no aparecerá en SS a menos que ALE lo sea también, dejando libre el borrado del biestable. En el cambio de SS a uno, el procesador comienza una instrucción a la vez que pone ALE a cero, borrando SS a través de la entrada de borrado y haciendo que el procesador vuelva a entrar en estado de parado.

Régimen de baja potencia (sólo para el 8048 ROM)

En la versión 8048 ROM se ha añadido un circuito extra que permite suprimir la alimentación de todo el circuito mientras que la RAM puede seguir funcionando a baja potencia. En régimen de baja potencia, el contenido de la RAM de datos puede mantenerse con sólo un 10 a 15% de las necesidades normales de potencia. La tensión V_{CC} actúa como alimentación de todo el circuito, mientras que V_{DD} alimenta únicamente la RAM. Operando normalmente, ambas patillas están a 5 V, mientras que en estado de reposo V_{CC} está a masa y sólo V_{DD} se mantiene a 5 V. Aplicando la puesta a cero al procesador, se inhibe cualquier acceso a la RAM y garantiza que la RAM no sea alterada involuntariamente por la supresión de V_{CC}.

Descripción de patillas (fig. 15)

El encapsulado del 8048 y 8748 es de 40 patillas dispuestas en doble línea (DIP). En la tabla 1 se da el resu-

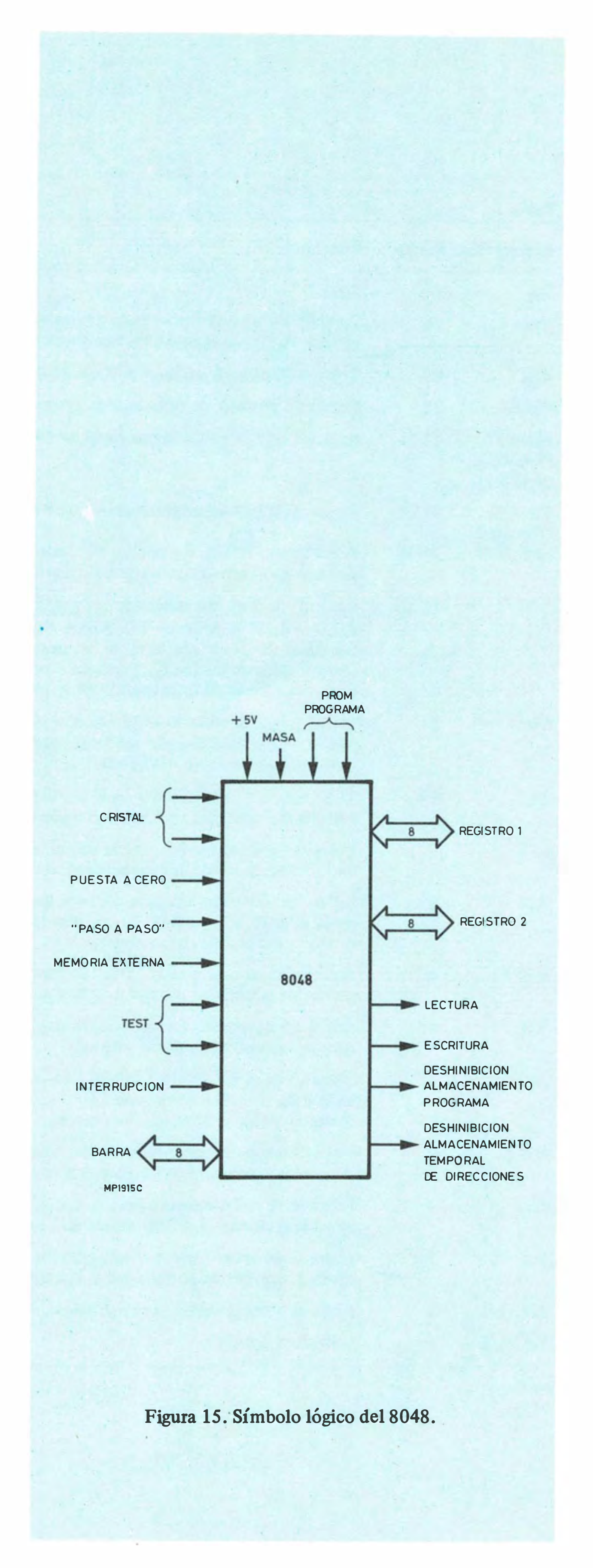


Figura 15. Símbolo lógico del 8048.

Tabla 1

Designación	Patilla	Función
V_{SS}	20	Masa.
V_{DD}	26	Tensión de alimentación para programación; + 25 V programando, + 5 V operando tanto en ROM como PROM. Patilla de régimen de baja potencia en la versión 8048 ROM.
V_{CC}	40	Tensión de alimentación; + 5 V operando y programando cuando se trata del 8748.
PROG	25	Patilla de entrada de impulsos de programación (+ 25 V) durante la programación del 8748. E/S del 8243.
P10-P17 (Registro de E/S 1)	27-34	Registro de E/S quasibidireccional de 8 bits.
P20-P27 (Registro de E/S 2)	21-24	Registro de E/S quasibidireccional de 8 bits.
	35-38	P20-P23 contienen los cuatro bits altos del contador de programa durante un acceso a memoria externa y sirven como barra de datos de E/S para el 8243.
D0-D7 (BUS)	12-19	Registro de E/S bidireccional que puede ser leido y escrito en sincronismo mediante las salidas de muestreo RD y WR. El registro de E/S puede almacenar estáticamente una información. Contiene los 8 bits bajos del contador de programa durante un acceso a memoria externa y recibe la instrucción direccionada bajo el control de la señal PSEN. También contiene la dirección y el dato durante la ejecución de una instrucción de almacenamiento de información en RAM externa, bajo el control de las señales ALE, RD y WR.
T0	1	Terminal de entrada examinable mediante las instrucciones condicionales de transferencia JT0 y JNT0. T0 puede ser designado como salida de reloj usando la instrucción ENTO CLK. T0 se usa también durante la programación de la EPROM (8748).
T1	39	Terminal de entrada examinable mediante las instrucciones JT1 y JNT1. Asimismo, puede designarse como entrada del contador de sucesos mediante la instrucción STRT CNT.
INT	6	Entrada de interrupción. Inicia una interrupción siempre que éstas estén desinhibidas. Las interrupciones son inhibidas después de aplicar la puesta a cero. (Nivel activo el cero.)
RD	8	Salida de muestreo activada durante una lectura del BUS. Puede usarse para desinhibir la información de entrada al BUS, proveniente de un dispositivo exterior. (Nivel activo el cero.) Se utiliza como muestreo de lectura de memoria de datos externa.
RESET	4	Entrada de puesta a cero para inicializar el procesador. También se utiliza durante la programación y verificación de la EPROM del 8748. (Nivel activo el cero.)
WR	10	Salida de muestreo, activa durante una escritura del BUS. (Nivel activo el cero.) Se usa como muestreo de escritura a memoria de datos externa.
ALE	11	Desinhibición del registro de almacenamiento temporal de las direcciones. Esta señal se presenta durante cada ciclo y es utilizable como salida de reloj. El flanco de bajada de ALE introduce la dirección dentro de una memoria de datos o de programa externa.
PSEN	9	Desinhibición del almacenador del programa. Esta salida se presenta sólo durante un acceso a memoria de programa externa. (Nivel activo el cero.)
SS	5	Entrada de avance paso a paso que se usa, junto a la señal ALE, para que el procesador avance "un solo paso" en cada instrucción. (Nivel activo el cero.)
EA	7	Entrada de acceso externo que permite buscar el programa en la memoria externa. Es importante en simuladores y programas correctores y esencial para examen y verificación de un programa. (Nivel activo el uno.)
XTAL 1	2	Entrada 1 del cristal para el oscilador interno o entrada para una fuente de frecuencia externa.
XTAL 2	3	Entrada 2 del cristal.

men de las funciones de cada una de las patillas. En alguna de las patillas se explica la función concreta de cada una de ellas en un sistema ampliado mediante componentes externos. A no ser que se indique lo contrario, cada entrada es compatible con dispositivos TTL y cada salida puede excitar una carga TTL

CONJUNTO DE INSTRUCCIONES

Las instrucciones tienen dos octetos como máximo y aproximadamente el 70% tienen un solo octeto de longitud. Además, todas las instrucciones tienen uno o dos ciclos de tiempo de ejecución (2,5 μs ó 5 μs si usamos un cristal de 6 MHz), y aproximadamente el 50% tienen un solo ciclo. Las instrucciones de doble ciclo incluyen todas las instrucciones inmediatas y las de E/S.

El 8048 puede efectuar operaciones aritméticas, tanto en código binario como en BCD.

Transferencia de datos

Tal como se puede observar en la figura 16, el acumulador de 8 bits es el punto de paso obligado para todas las transferencias de datos en el 8048. Los datos pueden ser transferidos directamente entre los 8 registros de cada banco de registros de trabajo y el acumulador, el registro de destino es especificado por la propia instrucción. El conjunto de posiciones de memoria RAM interna está organizado como si se tratara de una memoria de datos, y es direccionada indirectamente a través del contenido de los registros R0 y R1 incluidos en los bancos de registro de trabajo. Estos registros también son usados para direccionar indirectamente una memoria de datos externa en caso de que exista. Las transferencias hacia y desde la RAM interna requieren un solo ciclo, mientras que con la RAM externa se necesitan dos. Las constantes almacenadas en la memoria de programa pueden ser cargadas directamente en el acumulador y en los 8 registros de trabajo. Los datos pueden ser transferidos directamente entre el acumulador y el temporizador/contador interno, o entre el acumulador y la palabra de estado (PSW). Modificando la PSW se puede alterar el estado de la máquina y restablecerla después de una interrupción o de una alteración del puntero de la pila, si se considera necesario.

Operaciones con el acumulador

A través de acumulador pueden ser sumados, con o sin acarreo, datos inmediatos, de memoria, o de registros de trabajo. Asimismo, estos datos pueden ser operados, mediante el acumulador, por funciones AND, OR y OR exclusivo. Los datos pueden ser transferidos hacia o desde el acumulador, a partir de registros de trabajo, o de la memoria de datos. Los dos contenidos pueden ser cambiados en una sencilla operación.

Además, los cuatro bits menos significativos del acumulador pueden ser intercambiados con los cuatro bits menos significativos de cualquier posición en la memoria RAM de datos interna. Esta instrucción, junto con una instrucción que se encarga de permutar los 4 bits menos significativos con los 4 bits más significativos del acumulador, permite una fácil manipulación de las palabras de 4 bits, incluyendo números en código BCD. Para facilitar operaciones aritméticas en código BCD existe la instrucción de ajuste decimal. Esta instrucción es utilizada para corregir el resultado de una operación de suma binaria entre dos números en código BCD. Ejecutando el ajuste decimal en el resultado binario de una operación se obtiene el resultado equivalente en código BCD.

Finalmente, el acumulador puede ser incrementado, decrementado, borrado, complementado, y desplazado 1 bit a derecha o izquierda con o sin acarreo.

Si bien en el 8048 no existen instrucciones de substracción, esta operación puede ser fácilmente realizada con tres instrucciones de un solo octeto y un solo ciclo. Un operando puede ser restado del acumulador y el resultado vuelto a introducir en el mismo mediante el complemento del acumulador, sumando el valor al acumulador y nuevo complemento del acumulador.

Operaciones con registros

Se puede acceder a los registros de trabajo a través del acumulador tal como se ha explicado anteriormente, o bien pueden ser cargados de forma inmediata a partir de contenidos almacenados en la memoria de programa. Además, pueden ser incrementados o decrementados o usados en lazos contadores usando el decremento y salto si la instrucción no es 0, tal como se explicará más adelante.

Toda la memoria de datos, incluyendo los registros de trabajo, es accesible mediante instrucciones con direccionamiento indirecto a través de R_0 y R_1.

Indicadores (Flags)

En el 8048 existen cuatro indicadores accesibles para el usuario: acarreo, acarreo auxiliar, F0 y F1. El acarreo indica que ha habido rebasamiento de capacidad en el acumulador, mientras que el acarreo auxiliar indica rebasamiento de capacidad entre dígitos en código BCD y es utilizado en operaciones de ajuste decimal. Ambos, aca-

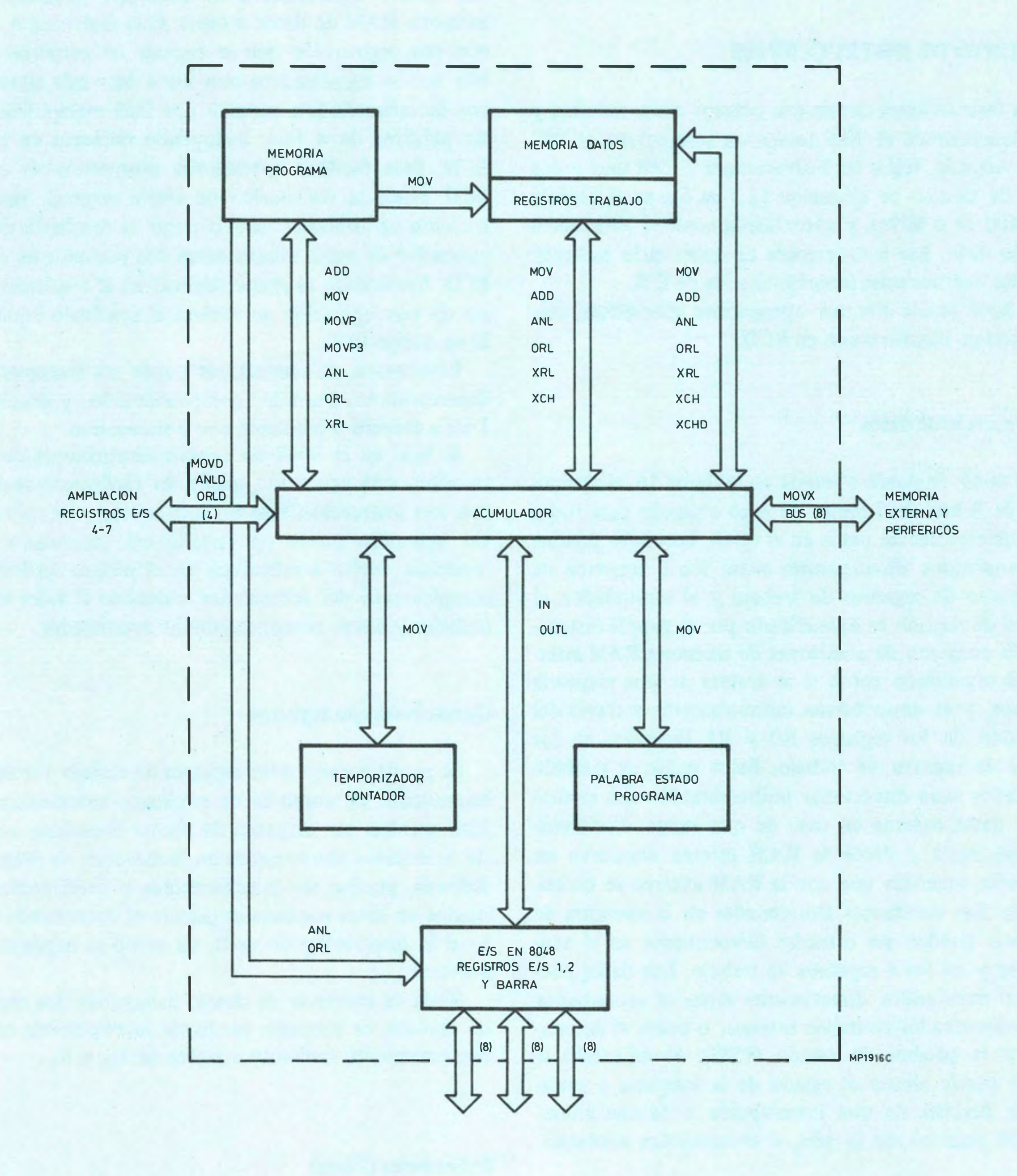


Figura 16. Instrucciones de transferencia de datos.

rreo y acarreo auxiliar son accesibles a través de la palabra de estado siendo almacenados en la pila durante la ejecución de las subrutinas. F0 y F1 son indicadores de aplicación general utilizables en función de las necesidades del programa. Ambos indicadores pueden ser borrados o complementados y examinados mediante instrucciones de salto condicional. F0 es accesible también a través de la palabra de estado y puede ser almacenado en un registro junto con los indicadores de acarreo.

Instrucciones de bifurcación

La instrucción de salto incondicional es de dos octetos y permite saltos a cualquier posición del primer banco de 2K palabras de la memoria de programa. Saltos al segundo banco de 2K de la memoria (pueden ser directamente direccionables hasta 4K), pueden realizarse primero mediante la ejecución de una instrucción de selección de banco de memoria y después mediante la ejecución de la instrucción de salto propiamente dicha. El límite de 2K sólo puede ser superado mediante instrucciones de salto o llamada a subrutina, es decir, el cambio de banco no se realiza hasta haber ejecutado una instrucción de salto. Una vez el banco de memoria ha sido seleccionado, los siguientes saltos serán a dicho banco hasta que se ejecute otra instrucción de selección de banco de memoria. Una subrutina que se encuentre en el banco opuesto puede ser accedida mediante una instrucción de selección de banco de memoria seguida de otra de llamada a subrutina. Una vez completada la ejecución de la subrutina se retornará automáticamente al banco de origen; no obstante, en caso de no haber seleccionado de nuevo el banco de origen, la siguiente instrucción de salto que se encuentre será de nuevo transferida al banco opuesto.

Los saltos condicionales pueden examinar las siguientes entradas y estados internos:

- Terminal de entrada T0
- Terminal de entrada T1
- Terminal de entrada INT
- Acumulador a cero
- Cualquier bit del acumulador
- Indicador de acarreo
- Indicador F0
- Indicador F1.

Los saltos condicionales permiten una bifurcación a cualquier posición de una página de memoria (256 octetos) en ejecución. Las condiciones examinadas son valores instantáneos en el momento de ejecutarse un salto condicional. Por ejemplo, la instrucción de salto, si el acumulador está a cero, examina el acumulador ella misma, no un indicador de cero intermedio.

La instrucción de decremento de un registro y salto si no es cero, combina una instrucción de decremento y otra de bifurcación para crear una instrucción muy útil en la implementación de lazos contadores. Esta instrucción puede designar cualquiera de los 8 registros de trabajo y efectuar una bifurcación a cualquier dirección de la página que se esté ejecutando.

La instrucción de salto indirecto de un solo octeto permite acceder a cualquier posición de memoria basándose en el contenido del acumulador. El contenido del acumulador apunta a la posición de la memoria de programa que contiene la dirección de salto. La dirección de salto, de 8 bits, está referido a la página en ejecución. Esta instrucción podría ser usada, por ejemplo, para acceder a cualquiera de las diferentes rutinas basadas en caracteres ASCII, los cuales son cargados en el acumulador. De esta forma las entradas de teclas ASCII pueden ser usadas para iniciar diferentes rutinas.

Subrutinas

El salto a subrutina se ejecuta mediante la instrucción CALL. Dicha instrucción puede generar saltos incondicionales a cualquier posición de un banco de memoria de 2K y de la misma forma saltar por encima del límite de 2K. Dos instrucciones de retorno distintas determinan si se restablece o no el contenido de la PSW (cuatro bits más significativos) al retornar de una subrutina.

La instrucción de retorno y restablecimiento del contenido de la PSW también indica el final de una subrutina de interrupción, si existe alguna en proceso.

Instrucciones del temporizador

El temporizador/contador de 8 bits puede ser cargado o leido a través del acumulador, bien cuando está parado, bien cuando está contando. El contador puede ser activado mediante un reloj interno, realizando las funciones de un temporizador, o bien realizar las funciones de contador de impulsos o temporizador a partir de un reloj externo aplicado a la patilla de entrada T1. La instrucción ejecutada determina qué fuente de impulsos se utiliza. Una sola instrucción detiene el contador, independientemente de que esté operando con una fuente de reloj interna o externa. Además, dos instrucciones distintas permiten inhibir o desinhibir el impulso de interrupción del temporizador.

Instrucciones de control

Dos instrucciones permiten que la fuente de interrupciones externa pueda ser inhibida o desinhibida. Inicial-

Tabla 2. *Tabla de instrucciones*

Nemónico	Descripción	Código		Código hexadecimal	N.° octetos	N.° ciclos
Acumulador						
ADD A,R	Suma del registro R a A	0 1 1 0	1 r r r	–	1	1
ADD A, @ R	Suma del dato direccionado por R a A	0 1 1 0	0 0 0 r	–	1	1
ADD A, # data	Suma inmediata de A	0 0 0 0	0 0 1 1	0 3	2	2
ADDC A,R	Suma de R a A con acarreo	0 1 1 1	1 r r r	–	1	1
ADDC A @ R	Suma del dato direccionado por R a A con acarreo	0 1 1 1	0 0 0 r	–	1	1
ADDC A, # data	Suma inmediata de A con acarreo	0 0 0 1	0 0 1 1	1 3	2	2
ANL A,R	AND entre el registro R y A	0 1 0 1	1 r r r	–	1	1
ANL A, @ R	AND entre el dato direccionado por R y A	0 1 0 1	0 0 0 r	–	1	1
ANL A, # data	AND inmediata con A	0 1 0 1	0 0 1 1	5 3	2	2
ORL A,R	OR entre el registro R y A	0 1 0 0	1 r r r	–	1	1
ORL A, @ R	OR entre el dato direccionado por R y A	0 1 0 0	0 0 0 r	–	1	1
ORL A, # data	OR inmediato con A	0 1 0 0	0 0 1 1	4 3	2	2
XRL A,R	OR exclusivo entre el registro R y A	1 1 0 1	1 r r r	–	1	1
XRL A, @ R	OR exclusivo entre el dato direccionado por R y A	1 1 0 1	0 0 0 r	–	1	1
XRL A, # data	OR exclusivo inmediato con A	1 1 0 1	0 0 1 1	D 3	2	2
INC A	Incrementar A	0 0 0 1	0 1 1 1	1 7	1	1
DEC A	Decrementar A	0 0 0 0	0 1 1 1	0 7	1	1
CLR A	Poner a cero A	0 0 1 0	0 1 1 1	2 7	1	1
CPL A	Complementar el contenido de A	0 0 1 1	0 1 1 1	3 7	1	1
DA A	Ajuste decimal de A	0 1 0 1	0 1 1 1	5 7	1	1
SWAP A	Los bits 0 a 3 son cambiados por los bits 4 a 7	0 1 0 0	0 1 1 1	4 7	1	1
RL A	Rotación de A a la izquierda	1 1 1 0	0 1 1 1	E 7	1	1
RLC A	Rotación de A a la izquierda a través del acarreo	1 1 1 1	0 1 1 1	E 7	1	1
RR A	Rotación de A a la derecha	0 1 1 1	0 1 1 1	E 7	1	1
RRC A	Rotación de A a la derecha a través del acarreo	0 1 1 0	0 1 1 1	6 7	1	1
Entrada-Salida						
IN A,P	Entrar el contenido de un registro de E/S (1 ó 2) y transferirlo a A	0 0 0 0	1 0 p p	–	1	2
OUTL P,A	Sacar el contenido de A y transferirlo a un registro de E/S (1 ó 2)	0 0 1 1	1 0 p p	–	1	2
ANL P, # data	AND inmediata con un registro de E/S (1 ó 2)	1 0 0 1	1 0 p p	–	2	2
ORL, P, # data	OR inmediato con un registro de E/S (1 ó 2)	1 0 0 0	1 0 p p	–	2	2
INS A, BUS	Entrar el contenido de la barra y transferirlo a A	0 0 0 0	1 0 0 0	0 8	1	2
OUTL BUS, A	Sacar el contenido de A y transferirlo a la barra	0 0 0 0	0 0 1 0	0 2	1	2
ANL BUS, # data	AND inmediata con la barra	1 0 0 1	1 0 0 0	9 8	2	2
ORL BUS, # data	OR inmediata con la barra	1 0 0 0	1 0 0 0	8 8	2	2
MOVD A,P	Entrar el contenido de un registro de E/S externo (4 – 7) y transferirlo a A	0 0 0 0	1 1 p p	–	1	2

Nemónico	Descripción	Código		Código hexadecimal	N.º octetos	N.º ciclos
MOVD P,A	Sacar el contenido de A y transferirlo a un registro de E/S externo (4 – 7)	0 0 1 1	1 1 p p	–	1	2
ANLD P,A	AND entre un registro de E/S externo y A	1 0 0 1	1 1 p p	–	1	2
ORLD P,A	OR entre un registro de E/S externo y A	1 0 0 0	1 1 p p	–	1	2
Registros						
INC R	Incrementar el registro R	0 0 0 1	1 r r r	–	1	1
INC @ R	Incrementar el dato direccionado por R	0 0 0 1	0 0 0 r	–	1	1
DEC R	Decrementar el registro R	1 1 0 0	1 r r r	–	1	1
Saltos						
JMP addr	Salto incondicional a la dirección especificada	$a_{10} a_9 a_8$ 0	0 1 0 0	–	2	2
JMPP @ A	Salto indirecto (direccionado por A)	1 0 1 1	0 0 1 1	B 3	1	2
DJNZ R,addr	Decremento y examen de R. Salta si (R) ≠ 0	1 1 1 0	1 r r r	–	2	2
JC addr	Salto si el acarreo es 1	1 1 1 1	0 1 1 0	F 6	2	2
JNC addr	Salto si el acarreo es 0	1 1 1 0	0 1 1 0	E 6	2	2
JZ addr	Salto si (A) = 0	1 1 0 0	0 1 1 0	C 6	2	2
JNZ addr	Salto si (A) ≠ 0	1 0 0 1	0 1 1 0	9 6	2	2
JTO addr	Salto si TO es 1	0 0 1 1	0 1 1 0	3 6	2	2
JNTO addr	Salto si TO es 0	0 0 1 0	0 1 1 0	2 6	2	2
JT1 addr	Salto si T1 es 1	0 1 0 1	0 1 1 0	5 6	2	2
JNT1 addr	Salto si T1 es 0	0 1 0 0	0 1 1 0	4 6	2	2
JFO addr	Salto si el indicador 0 (F0) es 1	0 1 1 1	0 1 1 0	B 6	2	2
JF1 addr	Salto si el indicador 1 (F1) es 1	0 1 1 1	0 1 1 0	7 6	2	2
JTF addr	Salto si el indicador del temporizador/contador (FT) es 1	0 0 0 1	0 1 1 0	1 6	2	2
JN1 addr	Salto si la entrada de inrerrupción externa (INT) es 0	1 0 0 0	0 1 1 0	8 6	2	2
JBb addr	Salto si el bit b (1 entre 8) de A es 1	$b_2 b_1 b_0$ 1	0 0 1 0	–	2	2
Subrutinas						
CALL	Salto a subrutina	$a_{10} a_9 a_8$ 1	0 1 0 0	–	2	2
RET	Retorno de subrutina	1 0 0 0	0 0 1 1	8 3	1	2
RETR	Retorno de subrutina y restablecimiento del estado inicial	1 0 0 1	0 0 1 1	9 3	1	2
Indicadores						
CLR C	Puesta a cero de acarreo	1 0 0 1	0 1 1 1	9 7	1	1
CPL C	Complementar el acarreo	1 0 1 0	0 1 1 1	A 7	1	1
CLR F0	Puesta a cero de F0	1 0 0 0	0 1 0 1	8 5	1	1
CPL F0	Complementar F0	1 0 0 1	0 1 0 1	9 5	1	1
CLR F1	Puesta a cero de F1	1 0 1 0	0 1 0 1	A 5	1	1
CPL F1	Complementar F1	1 0 1 1	0 1 0 1	B 5	1	1

Nemónico	Descripción	Código	Código hexadecimal	N.º octetos	N.º ciclos
Transferencia de datos					
MOV A,R	Transferencia de F a A	1 1 1 1 1 r r r	–	1	1
MOV A, @ R	Transferencia de un dato direccionado por R a A	1 1 1 1 0 0 0 r	–	1	1
MOV A, # data	Carga inmediata de A	0 0 1 0 0 0 1 1	2 3	2	2
MOV R,A	Transferencia de A a R	1 0 1 0 1 r r r	–	1	1
MOV @ R,A	Transferencia de A a una posición de memoria direccionada por R	1 0 1 0 0 0 0 r	–	1	1
MOV R, # data	Carga inmediata de R	1 0 1 1 1 r r r	–	2	2
MOV @ R, # data	Transferencia inmediata a una posición de memoria direccionada por R	1 0 1 1 0 0 0 r	–	2	2
MOV A, PSW	Transferencia de la palabra de estado (PSW) a A	1 1 0 0 0 1 1 1	C 7	1	1
MOV PSW, A	Transferencia de A a la palabra de estado (PSW)	1 1 0 1 0 1 1 1	D 7	1	1
XCH A,R	Cambio de A y R	0 0 1 0 1 r r r	–	1	1
XCH A, @ R	Cambio de A y de un dato direccionado por R	0 0 1 0 0 0 0 r	–	1	1
XCHD A, @ R	Cambio de A y 4 bits de un dato direccionado por R	0 0 1 1 0 0 0 r	–	1	1
MOVX A, @ R	Transferencia de un dato direccionado por R a A	1 0 0 0 0 0 0 r	–	1	2
MOVX @ R,A	Transferencia de A en la posición de memoria direccionada por R	1 0 0 1 0 0 0 r	–	1	2
MOVP A, @ A	Transferencia de un dato direccionado por A a A	1 0 1 0 0 0 1 1	A 3	1	2
MOVP3 A, @ A	Transferencia de un dato direccionado por A a A (pág. 3)	1 1 1 0 0 0 1 1	E 3	1	2
Temporizador/contador					
MOV A,T	Transferencia del temporizador/contador a A	0 1 0 0 0 0 1 0	4 2	1	1
MOV T,A	Transferencia de A al temporizador/contador	0 1 1 0 0 0 1 0	6 2	1	1
STRT T	Arranque del temporizador	0 1 0 1 0 1 0 1	5 5	1	1
STRT CNT	Arranque del contador de impulsos	0 1 0 0 0 1 0 1	4 5	1	1
STOP TCNT	Paro del temporizador o contador	0 1 1 0 0 1 0 1	6 5	1	1
EN TCNT1	Desinhibición de las interrupciones del temporizador/contador	0 0 1 0 0 1 0 1	2 5	1	1
DIS TCNT1	Inhibición de las interrupciones del temporizador/contador	0 0 1 1 0 1 0 1	3 5	1	1
Control					
EN I	Desinhibición de las interrupciones externas	0 0 0 0 0 1 0 1	0 5	1	1
DIS I	Inhibición de las interrupciones externas	0 0 0 1 0 1 0 1	1 5	1	1
SEL RB0	Selección del banco de registros 0	1 1 0 0 0 1 0 1	C 5	1	1
SEL RB1	Selección del banco de registros 1	1 1 0 1 0 1 0 1	D 5	1	1
SEL MB0	Selección del banco de memoria 0	1 1 1 0 0 1 0 1	E 5	1	1
SEL MB1	Selección del banco de memoria 1	1 1 1 1 0 1 0 1	F 5	1	1
ENTO CLK	Salida del reloj interno por TO	0 1 1 1 0 1 0 1	7 5	1	1
NOP	No operación	0 0 0 0 0 0 0 0	0 0	1	1

mente, las interrupciones se encuentran desinhibidas y son automáticamente inhibidas durante la ejecución de una subrutina de interrupción, siendo otra vez desinhibidas al finalizar la misma.

Existen cuatro instrucciones de selección de banco de memoria, dos para designar el banco de registros de trabajo efectivo a utilizar y dos para controlar los bancos de memoria de programa. Las instrucciones de cambio de registros de trabajo permite al programador la inmediata sustitución por un segundo banco de 8 registros de trabajo del que tengan en uso en ese momento. Esto permite disponer de 16 registros de trabajo o bien puede ser usado como medio rápido para salvar el contenido de los registros cuando se produce una interrupción. El usuario tiene la opción de cambiar o no cambiar de banco cuando se produce una interrupción. No obstante, si los bancos son cambiados, el banco de origen será automáticamente restituido durante la ejecución de una instrucción de retorno y restablecimiento del estado de la PSW al final de una subrutina de interrupción.

Una instrucción especial desinhibe un reloj interno de frecuencia igual a un tercio de la del cristal y que tiene su salida por la patilla T0. Este reloj puede ser usado como aplicación general de un reloj en un sistema. Esta instrucción será utilizada solamente al inicializar el sistema, ya que la salida de reloj puede ser inhibida únicamente mediante la aplicación de la puesta a cero del sistema.

Instrucciones de Entrada/Salida

Los registros de E/S 1 y 2 son registros estáticos de E/S de 8 bits los cuales pueden ser cargados hacia o desde el acumulador. Las salidas son almacenadas estáticamente, pero las entradas no son almacenadas y se hace necesario leerlas mientras están presentes. Además, datos inmediatos de la memoria de programa pueden ser sometidos a funciones AND u OR directamente con los registros de E/S 1 y 2, quedando el resultado en los registros de E/S. Esto permite realizar máscaras almacenadas en la memoria de programa, para seleccionar la puesta a 1 ó a 0 de bits individuales de los registros de E/S. Los registros de E/S 1 y 2 están estructurados de forma que permitan la entrada de información por una patilla seleccionada, siempre que antes escribamos por programa un 1 en dicha patilla.

Un registro de E/S de 8 bits, llamado BUS, puede ser accedido también a través del acumulador y puede tener salidas con almacenamiento temporal estático. En él se pueden realizar funciones AND y OR entre datos inmediatos de la memoria de programa directamente con sus salidas; no obstante, este proceso es distinto al de los registros de E/S 1 y 2, ya que se necesitan tratar los 8 bits del BUS a la vez en todo momento, sean entradas o salidas. Además de ser un registro de E/S estático, el BUS puede ser usado como un registro de E/S bidireccional síncrono usando las instrucciones de transferencia externa que permiten acceder a la memoria de datos externa. Cuando estas instrucciones son ejecutadas, se genera el correspondiente impulso de lectura o escritura y se hace válido el dato únicamente durante ese tiempo. Mientras no hay transferencia de datos al BUS, éste se encuentra en estado de alta impedancia.

Los tres registros de E/S pueden ser expandidos externamente mediante la mitad del registro de E/S 2 constituido en la barra expansora de cuatro bits. Los dispositivos expansores de E/S en esta barra constan de cuatro registros de E/S de cuatro bits, direccionables como registros de E/S del 4 al 7. Estos registros de E/S tienen sus propias instrucciones AND y OR así como instrucciones de transferencia para entrar o sacar datos. No obstante las instrucciones AND y OR del expansor combinan el contenido del acumulador con el registro de E/S seleccionado, mientras que los registros de E/S internos lo hacen directamente con un dato inmediato.

Dispositivos de E/S pueden también ser añadidos externamente usando el registro BUS de E/S como barra de expansión. En este caso los registros de E/S son direccionados como si se tratara de la memoria de datos externa, encontrándose direccionado en el espacio de direcciones de la memoria de datos externa por los registros punteros R0 y R1. ■

Tabla 3. *Símbolos y abreviaciones utilizadas*

A	Acumulador
AC	Acarreo auxiliar
addr	Dirección de memoria de programa de 12 bits
Bb	Designador del bit (b = 0 – 7)
BS	Conmutador de banco
BUS	Registro de E/S de barra
C	Acarreo
CLK	Reloj
CNT	Contador de sucesos
D	Nemónico de un dígito de 4 bits (Nibble)
data	Dato de 8 bits
DBF	Biestable de banco de memoria
F0, F1	Indicador 0, indicador 1
I	Interrupción
P	Nemónico de operación
PC	Contador de programa
Pp	Designador de registro de E/S (p = 1,2 ó 4-7)
PSW	Palabra de estado de programa
Rr	Designador de registro
SP	Puntero de pila
T	Temporizador
TF	Indicador de temporizador
T0, T1	Test 0, test 1
X	Nemónico para RAM externa
#	Prefijo de dato inmediato
@	Prefijo de dirección indirecta
$	Valor normal del contador de programa
(X)	Contenido de X
((X))	Contenido de una posición direccionada por X
←	Reemplazado por

Generador/verificador CRC de 8 bits que utiliza un circuito programable

La verificación por redundancia cíclica (CRC) es un método de detección de errores ampliamente utilizado en sistemas de transmisión y grabación de datos. Este método genera una nueva palabra que añadida al final de la secuencia de datos verificará la validez de la transmisión. Si durante la transmisión resulta modificado algún bit perteneciente al conjunto de datos de la propia palabra de verificación, la decodificación posterior señalará la existencia del error. La generación de la palabra de verificación se realiza mediante la división de los datos transmitidos en serie por una expresión polinomial determinada. La palabra de verificación consiste precisamente en el resto de esta división. Uno de los polinomios más ampliamente utilizados y que se considera en este artículo es el polinomio inverso CRC16 [$P(X) = X^{16} + X^{15} + X + 1$].

Generador/verificador convencional

El circuito CRC convencional utiliza una entrada de datos en serie y un registro de desplazamiento con lazos de realimentación para simular la expresión polinomial. La figura 1 muestra un circuito típico.

La secuencia de generación comienza con la puesta a cero de todos los biestables mediante la línea *MR*. Entonces, a cada ciclo de reloj se introducen secuencialmente los bits del mensaje por medio de la línea *D*. Una vez finalizada la transmisión del mensaje, la palabra de verificación se encuentra disponible en las salidas *Q* de los biestables.

En la secuencia de verificación, los bits del mensaje seguidos por la palabra de verificación se introducen en el registro de desplazamiento de la misma forma que en la secuencia de generación del CRC. Si algún bit se ha modificado durante la transmisión, al final de la verificación, el contenido del registro de desplazamiento será distinto de cero, evidenciando la existencia del error.

Este método serie de generación/verificación del CRC es sencillo de realizar siempre que los datos se encuentren ya serializados. Sin embargo cuando se trata de transmisiones en paralelo, no sólo se requieren circuitos de conversión paralelo-serie y serie-paralelo sino que la frecuencia de reloj de los circuitos en serie debe ser varias veces mayor que la de los restantes circuitos en paralelo. Así, por ejemplo, en el caso de palabras de 8 bits la frecuencia del reloj debería ser multiplicada por 8 en los circuitos de transmisión en serie.

Generador/verificador en paralelo

La construcción de un circuito CRC en paralelo capaz de realizar las mismas funciones que el circuito convencional de la figura 1, y de este modo evitar el problema de las conversiones y del incremento de la frecuencia de reloj, puede llevarse a cabo mediante la utilización de un circuito combinacional sincronizado. Sin embargo, el circuito lógico resultante es complejo y únicamente es factible si se utilizan en su construcción circuitos integrados tales como los FPLA.

La figura 2 muestra el esquema lógico del circuito y en la tabla 1 se representan las ecuaciones lógicas

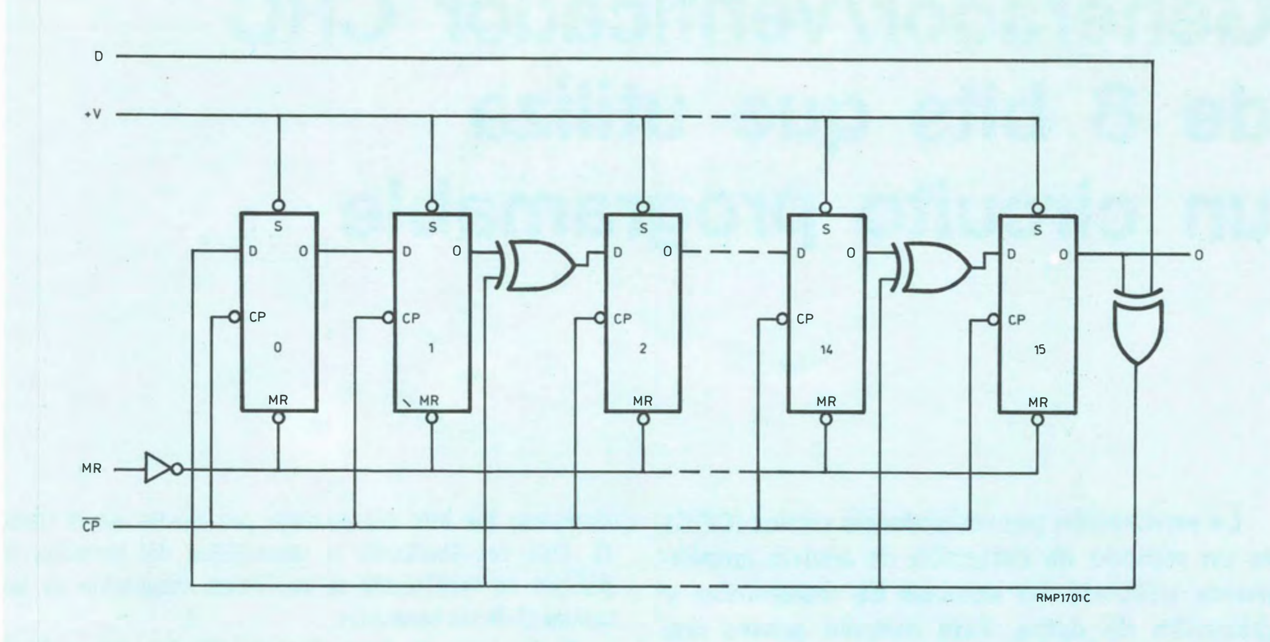


Figura 1. Circuito convencional de un generador/verificador de CRC.

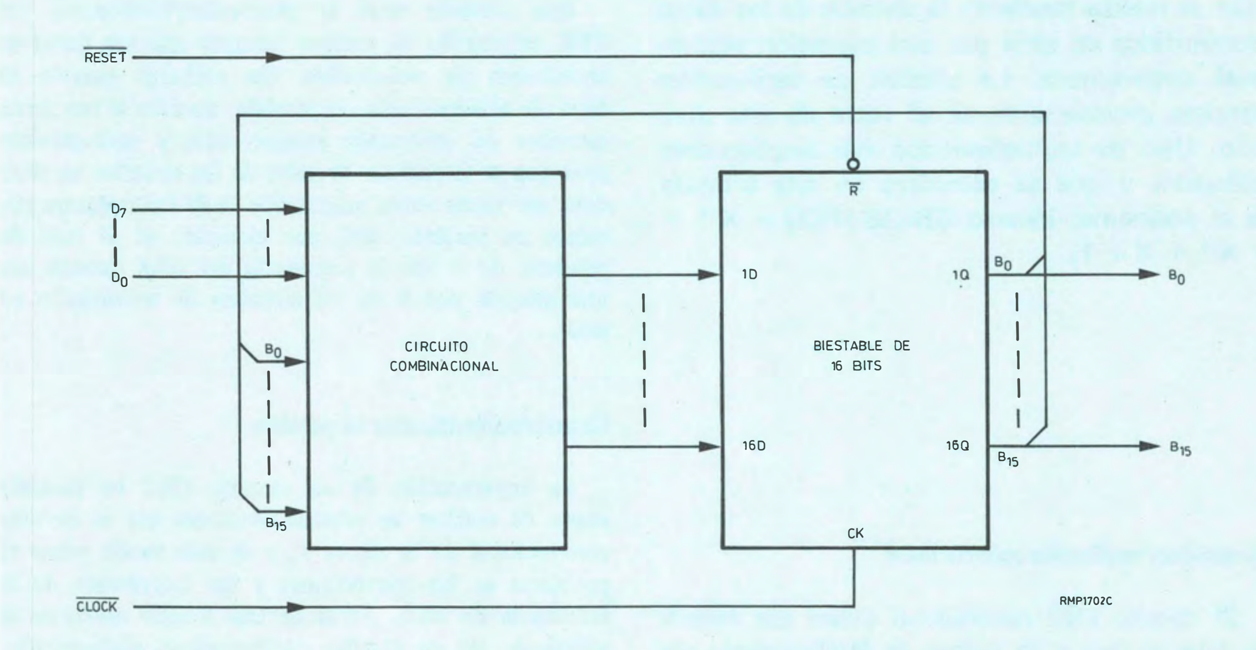


Figura 2. Esquema del circuito generador/verificador de CRC en paralelo.

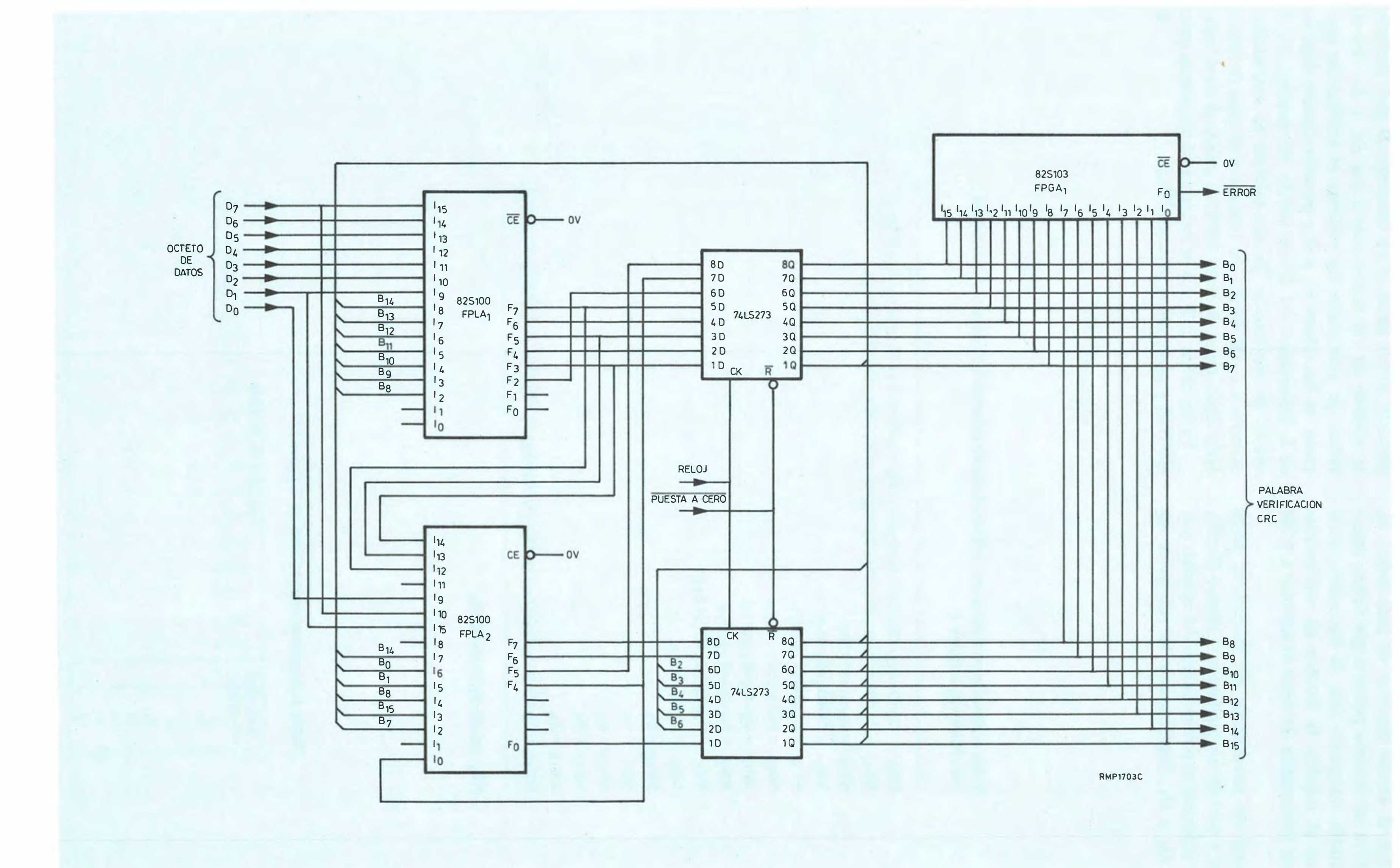


Figura 3. Circuito práctico de un CRC en paralelo.

que determinan el estado siguiente de cada salida. La figura 3 muestra un circuito práctico que utiliza únicamente 5 circuitos integrados uno de los cuales puede omitirse si no se requiere la función de verificación. La relación de transmisión de datos es superior a 5,7M octetos/sg.

La secuencia de operaciones del circuito se inicia con la puesta a cero de los biestables D cerrojo (latch), se introduce entonces el primer octeto del mensaje por las entradas D_0 a D_7. Seguidamente las salidas de los circuitos FPLA pasan a los biestables D para permitir la entrada de un nuevo octeto por D_0 a D_7. En el estado de generación, las palabras de verificación aparecen en las salidas B_0 a B_{15} inmediatamente después de la transmisión del último octeto del mensaje. En el estado de verificación, las dos palabras de verificación entrarán a continuación del mensaje y en caso de detectarse algún error, la línea ERROR pasará al nivel bajo.

En las tablas 2, 3 y 4 se muestran los programas para el FPGA y para los dos circuitos FPLA. ■

Tabla 1. *Ecuaciones lógicas que definen el estado siguiente de cada una de las salidas del circuito de la figura 2.*

$NB_0 = D_0 \oplus D_1 \oplus D_2 \oplus D_3 \oplus D_4 \oplus D_5 \oplus D_6 \oplus D_7 \oplus B_8 \oplus B_9 \oplus B_{10} \oplus B_{11} \oplus B_{12} \oplus B_{13} \oplus B_{14} \oplus B_{15}$

$NB_1 = D_0 \oplus D_1 \oplus D_2 \oplus D_3 \oplus D_4 \oplus D_5 \oplus D_6 \oplus B_9 \oplus B_{10} \oplus B_{11} \oplus B_{12} \oplus B_{13} \oplus B_{14} \oplus B_{15}$

$NB_2 = D_6 \oplus D_7 \oplus B_8 \oplus B_9$

$NB_3 = D_5 \oplus D_6 \oplus B_9 \oplus B_{10}$

$NB_4 = D_4 \oplus D_5 \oplus B_{10} \oplus B_{11}$

$NB_5 = D_3 \oplus D_4 \oplus B_{11} \oplus B_{12}$

$NB_6 = D_2 \oplus D_3 \oplus B_{12} \oplus B_{13}$

$NB_7 = D_1 \oplus D_2 \oplus B_{13} \oplus B_{14}$

$NB_8 = D_0 \oplus D_1 \oplus B_0 \oplus B_{14} \oplus B_{15}$

$NB_9 = D_0 \oplus B_1 \oplus B_{15}$

$NB_{10} = B_2$

$NB_{11} = B_3$

$NB_{12} = B_4$

$NB_{13} = B_5$

$NB_{14} = B_6$

$NB_{15} = D_0 \oplus D_1 \oplus D_2 \oplus D_3 \oplus D_4 \oplus D_5 \oplus D_6 \oplus D_7 \oplus B_7 \oplus B_8 \oplus B_9 \oplus B_{10} \oplus B_{11} \oplus B_{12} \oplus B_{13} \oplus B_{14} \oplus B_{15}$

NB_n: estado siguiente de B_n

Tabla 2. *Programa para el FPGA de la figura 3.*

Polaridad de salida		variable de entrada															
		I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	I_8	I_9	I_{10}	I_{11}	I_{12}	I_{13}	I_{14}	I_{15}
F_0	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
F_1																	
F_2																	
F_3																	
F_4																	
F_5																	
F_6																	
F_7																	
F_8																	

Tabla 3. *Programa para el FPLA₁ de la figura 3.*

Términos del producto																	Nivel activo							
	Variable de entrada																H	H	H	H	H	H	H	H
NO	1	1	1	1	1	1											Función de salida							
	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
0	L	L	–	–	–	–	–	–	–	–	–	–	L	H	–	–	·	·	·	·	·	A	·	·
1	H	H	–	–	–	–	–	–	–	–	–	–	L	H	–	–	·	·	·	·	·	A	·	·
2	L	L	–	–	–	–	–	–	–	–	–	–	H	L	–	–	·	·	·	·	·	A	·	·
3	–	–	–	–	–	L	L	H	L	–	–	–	–	–	–	–	·	·	·	·	A	·	·	·
4	–	–	–	–	–	H	H	H	L	–	–	–	–	–	–	–	·	·	·	·	A	·	·	·
5	–	–	–	–	–	L	L	L	H	–	–	–	–	–	–	–	·	·	·	·	A	·	·	·
6	–	–	–	–	–	H	H	L	H	–	–	–	–	–	–	–	·	·	·	·	A	·	·	·
7	–	–	–	–	–	L	H	L	L	–	–	–	–	–	–	–	·	·	·	·	A	·	·	·
8	–	–	–	–	–	L	H	H	H	–	–	–	–	–	–	–	·	·	·	·	A	·	·	·
9	–	–	–	–	–	H	L	L	L	–	–	–	–	–	–	–	·	·	·	·	A	·	·	·
10	–	–	–	–	–	H	L	H	H	–	–	–	–	–	–	–	·	·	·	·	A	·	·	·
11	–	–	–	–	L	L	–	–	H	L	–	–	–	–	–	–	·	·	·	A	·	·	·	·
12	–	–	–	–	H	H	–	–	H	L	–	–	–	–	–	–	·	·	·	A	·	·	·	·
13	–	–	–	–	L	L	–	–	L	H	–	–	–	–	–	–	·	·	·	A	·	·	·	·
14	–	–	–	–	H	H	–	–	L	H	–	–	–	–	–	–	·	·	·	A	·	·	·	·
15	–	–	–	–	L	H	–	–	L	L	–	–	–	–	–	–	·	·	·	A	·	·	·	·
16	–	–	–	–	L	H	–	–	H	H	–	–	–	–	–	–	·	·	·	A	·	·	·	·
17	–	–	–	–	H	L	–	–	L	L	–	–	–	–	–	–	·	·	·	A	·	·	·	·
18	–	–	–	–	H	L	–	–	H	H	–	–	–	–	–	–	·	·	·	A	·	·	·	·
19	–	–	–	L	L	–	–	–	–	L	H	–	–	–	–	–	·	·	A	·	·	·	·	·
20	–	–	–	H	H	–	–	–	–	L	H	–	–	–	–	–	·	·	A	·	·	·	·	·
21	–	–	–	L	L	–	–	–	–	H	L	–	–	–	–	–	·	·	A	·	·	·	·	·
22	–	–	–	H	H	–	–	–	–	H	L	–	–	–	–	–	·	·	A	·	·	·	·	·
23	–	–	–	L	H	–	–	–	–	L	L	–	–	–	–	–	·	·	A	·	·	·	·	·
24	–	–	–	L	H	–	–	–	–	H	H	–	–	–	–	–	·	·	A	·	·	·	·	·
25	–	–	–	H	L	–	–	–	–	L	L	–	–	–	–	–	·	·	A	·	·	·	·	·
26	–	–	–	H	L	–	–	–	–	H	H	–	–	–	–	–	·	·	A	·	·	·	·	·
27	–	–	L	L	–	–	–	–	–	–	L	H	–	–	–	–	·	A	·	·	·	·	·	·
28	–	–	H	H	–	–	–	–	–	–	L	H	–	–	–	–	·	A	·	·	·	·	·	·
29	–	–	L	L	–	–	–	–	–	–	H	L	–	–	–	–	·	A	·	·	·	·	·	·
30	–	–	H	H	–	–	–	–	–	–	H	L	–	–	–	–	·	A	·	·	·	·	·	·
31	–	–	L	H	–	–	–	–	–	–	L	L	–	–	–	–	·	A	·	·	·	·	·	·
32	–	–	L	H	–	–	–	–	–	–	H	H	–	–	–	–	·	A	·	·	·	·	·	·
33	–	–	H	L	–	–	–	–	–	–	L	L	–	–	–	–	·	A	·	·	·	·	·	·
34	–	–	H	L	–	–	–	–	–	–	H	H	–	–	–	–	·	A	·	·	·	·	·	·
35	–	L	L	–	–	–	–	–	–	–	–	L	H	–	–	–	A	·	·	·	·	·	·	·
36	–	H	H	–	–	–	–	–	–	–	–	L	H	–	–	–	A	·	·	·	·	·	·	·
37	–	L	L	–	–	–	–	–	–	–	–	H	L	–	–	–	A	·	·	·	·	·	·	·
38	–	H	H	–	–	–	–	–	–	–	–	H	L	–	–	–	A	·	·	·	·	·	·	·
39	–	L	H	–	–	–	–	–	–	–	–	L	L	–	–	–	A	·	·	·	·	·	·	·
40	–	L	H	–	–	–	–	–	–	–	–	H	H	–	–	–	A	·	·	·	·	·	·	·
41	–	H	L	–	–	–	–	–	–	–	–	L	L	–	–	–	A	·	·	·	·	·	·	·
42	–	H	L	–	–	–	–	–	–	–	–	H	H	–	–	–	A	·	·	·	·	·	·	·
43	H	H	–	–	–	–	–	–	–	–	–	–	H	L	–	–	·	·	·	·	·	A	·	·
44	L	H	–	–	–	–	–	–	–	–	–	–	L	L	–	–	·	·	·	·	·	A	·	·
45	L	H	–	–	–	–	–	–	–	–	–	–	H	H	–	–	·	·	·	·	·	A	·	·
46	H	L	–	–	–	–	–	–	–	–	–	–	L	L	–	–	·	·	·	·	·	A	·	·
47	H	L	–	–	–	–	–	–	–	–	–	–	H	H	–	–	·	·	·	·	·	A	·	·

Tabla 4. *Programa para el FPLA$_2$ de la figura 3.*

	Términos del producto																Nivel activo							
	Variable de entrada																H	H	H	H	H	H	H	H
																	Función de salida							
NO	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
0	–	L	H	L	–	–	L	–	–	–	–	–	L	–	–	–	·	·	·	A	·	·	·	·
1	–	L	H	H	–	–	H	–	–	–	–	–	L	–	–	–	·	·	·	A	·	·	·	·
2	–	H	L	L	–	–	L	–	–	–	–	–	L	–	–	–	·	·	·	A	·	·	·	·
3	–	H	L	H	–	–	H	–	–	–	–	–	L	–	–	–	·	·	·	A	·	·	·	·
4	–	L	L	L	–	–	H	–	–	–	–	–	L	–	–	–	·	·	·	A	·	·	·	·
5	–	H	H	L	–	–	H	–	–	–	–	–	L	–	–	–	·	·	·	A	·	·	·	·
6	–	L	L	H	–	–	L	–	–	–	–	–	L	–	–	–	·	·	·	A	·	·	·	·
7	–	H	H	H	–	–	L	–	–	–	–	–	L	–	–	–	·	·	·	A	·	·	·	·
8	–	L	L	L	–	–	L	–	–	–	–	–	H	–	–	–	·	·	·	A	·	·	·	·
9	–	L	L	H	–	–	H	–	–	–	–	–	H	–	–	–	·	·	·	A	·	·	·	·
10	–	L	H	L	–	–	H	–	–	–	–	–	H	–	–	–	·	·	·	A	·	·	·	·
11	–	L	H	H	–	–	L	–	–	–	–	–	H	–	–	–	·	·	·	A	·	·	·	·
12	–	H	H	L	–	–	L	–	–	–	–	–	H	–	–	–	·	·	·	A	·	·	·	·
13	–	H	H	H	–	–	H	–	–	–	–	–	H	–	–	–	·	·	·	A	·	·	·	·
14	–	H	L	L	–	–	H	–	–	–	–	–	H	–	–	–	·	·	·	A	·	·	·	·
15	–	H	L	H	–	–	L	–	–	–	–	–	H	–	–	–	·	·	·	A	·	·	·	·
16	–	–	–	–	–	H	–	–	–	–	–	L	–	–	–	L	·	·	A	·	·	·	·	·
17	–	–	–	–	–	L	–	–	–	–	–	H	–	–	–	L	·	·	A	·	·	·	·	·
18	–	–	–	–	–	L	–	–	–	–	–	L	–	–	–	H	·	·	A	·	·	·	·	·
19	–	–	–	–	–	H	–	–	–	–	–	H	–	–	–	H	·	·	A	·	·	·	·	·
20	–	–	–	–	–	L	–	–	–	–	–	L	–	H	–	L	·	·	·	·	·	·	·	A
21	–	–	–	–	–	H	–	–	–	–	–	L	–	H	–	H	·	·	·	·	·	·	·	A
22	–	–	–	–	–	L	–	–	–	–	–	H	–	L	–	L	·	·	·	·	·	·	·	A
23	–	–	–	–	–	H	–	–	–	–	–	H	–	L	–	H	·	·	·	·	·	·	·	A
24	–	–	–	–	–	L	–	–	–	–	–	L	–	L	–	H	·	·	·	·	·	·	·	A
25	–	–	–	–	–	L	–	–	–	–	–	H	–	H	–	H	·	·	·	·	·	·	·	A
26	–	–	–	–	–	H	–	–	–	–	–	L	–	L	–	L	·	·	·	·	·	·	·	A
27	–	–	–	–	–	H	–	–	–	–	–	H	–	H	–	L	·	·	·	·	·	·	·	A
28	–	–	–	–	–	–	H	–	–	–	L	–	L	–	–	–	·	A	·	·	·	·	·	·
29	–	–	–	–	–	–	L	–	–	–	L	–	H	–	–	–	·	A	·	·	·	·	·	·
30	–	–	–	–	–	–	L	–	–	–	H	–	L	–	–	–	·	A	·	·	·	·	·	·
31	–	–	–	–	–	–	H	–	–	–	H	–	H	–	–	–	·	A	·	·	·	·	·	·
32	L	–	–	–	–	–	L	–	H	L	–	–	L	–	–	–	A	·	·	·	·	·	·	·
33	L	–	–	–	–	–	H	–	H	L	–	–	H	–	–	–	A	·	·	·	·	·	·	·
34	L	–	–	–	–	–	L	–	L	H	–	–	L	–	–	–	A	·	·	·	·	·	·	·
35	L	–	–	–	–	–	H	–	L	H	–	–	H	–	–	–	A	·	·	·	·	·	·	·
36	L	–	–	–	–	–	H	–	L	L	–	–	L	–	–	–	A	·	·	·	·	·	·	·
37	L	–	–	–	–	–	H	–	H	H	–	–	L	–	–	–	A	·	·	·	·	·	·	·
38	L	–	–	–	–	–	L	–	L	L	–	–	H	–	–	–	A	·	·	·	·	·	·	·
39	L	–	–	–	–	–	L	–	H	H	–	–	H	–	–	–	A	·	·	·	·	·	·	·
40	H	–	–	–	–	–	L	–	L	L	–	–	L	–	–	–	A	·	·	·	·	·	·	·
41	H	–	–	–	–	–	H	–	L	L	–	–	H	–	–	–	A	·	·	·	·	·	·	·
42	H	–	–	–	–	–	H	–	H	L	–	–	L	–	–	–	A	·	·	·	·	·	·	·
43	H	–	–	–	–	–	L	–	H	L	–	–	H	–	–	–	A	·	·	·	·	·	·	·
44	H	–	–	–	–	–	L	–	H	H	–	–	L	–	–	–	A	·	·	·	·	·	·	·
45	H	–	–	–	–	–	H	–	H	H	–	–	H	–	–	–	A	·	·	·	·	·	·	·
46	H	–	–	–	–	–	H	–	L	H	–	–	L	–	–	–	A	·	·	·	·	·	·	·
47	H	–	–	–	–	–	L	–	L	H	–	–	H	–	–	–	A	·	·	·	·	·	·	·

Sistema de memoria expansible que utiliza la matriz de puertas programable por el usuario (FPGA)

En este artículo se estudia la forma de ampliar un sistema de memoria utilizando la matriz de puertas programable por el usuario (FPGA). Este sistema de expansión de memoria evita los problemas que se presentan si se cambian los circuitos de memoria por otros de mayor capacidad.

La FPGA es una matriz programable de dieciseis entradas que posee nueve puertas AND/NAND bipolares. Los amplificadores de entrada proporcionan las señales directa e inversa de entrada, eludiendo así la necesidad de invertirlas en el exterior de la FPGA. Cada una de las dieciséis señales directa e inversa de entrada están conectadas mediante dos fusibles de Niquel-Cromo a cada una de las puertas AND; fundiendo uno o ambos fusibles, el usuario podrá programar una entrada como directa, inversa o indiferente. La salida de cada puerta AND es programable mediante un fusible y una puerta OR-exclusiva pudiéndose obtener tanto una función AND como NAND. Se presenta en dos versiones: salida en colector común (82S102) y salida de tres estados (82S103). La figura 1 muestra el diagrama de bloques de la FPGA.

La expansión de un sistema de memoria es una necesidad habitual. Desafortunadamente, si cambiamos los circuitos integrados de memoria por otros de mayor capacidad el sistema no funcionará, será necesario modificar las señales de selección y de dirección. Normalmente esto requiere cambios en las pistas impresas, resultando una placa de circuito impreso completamente nueva. Sin embargo, utilizando una FPGA para generar las señales de selección de la memoria y algunas de sus direcciones, combinada con una serie de circuitos integrados de memoria, queda enormemente simplificado el problema evitando cualquier modificación en las placas de memoria. La figura 2 muestra la distribución de terminales para la PROM de 4K (82S141) y la PROM de 16K (82S191). Estos circuitos son compatibles terminal a terminal a excepción de los terminales CE_1 y NC (no conectado) de la PROM de 4K correspondientes a los terminales A_9 y A_{10} en la PROM de 16K. De manera similar la PROM de 8K (82S181) utiliza A_9 en lugar de NC. Están previstas futuras extensiones de la serie, con capacidades más elevadas, utilizando las restantes entradas de selección de la memoria como líneas de dirección de orden superior. Este método permite crear memorias PROM, compatibles terminal a terminal desde 512 $\times$ 8 a 8K $\times$ 8 bits.

La FPGA se utiliza como un programador de direcciones y como un decodificador para seleccionar el circuito integrado, tal como se muestra en la figura 3. Cambiando el programa de la FPGA el sistema puede aceptar memorias PROM de 4K, 8K, 16K, 32K o de 64K resultando una memoria de 2 1/2 K octetos hasta 40K octetos. Todo lo que se necesita cambiar es la FPGA y las memorias PROM. Las salidas de la FPGA, F_0 a F_3, proporcionan las señales de selección del circuito integrado o las direcciones apropiadas de acuerdo con la PROM en uso. La tabla 1 muestra las diferentes señales requeridas según la capacidad de la PROM. Las salidas F_4 a F_7 proporcionan las señales de selección de cada PROM individual. Se hace notar que la dirección inicial del sistema de memoria puede programarse en la posición deseada por el usuario dentro del campo de las 64K direcciones que proporcionan las 16 entradas de la FPGA. Otra característica del decodificador de la FPGA es su fácil compatibilidad con la barra de control del sistema: la señal de control RD puede conectarse directamente a la FPGA.

Las tablas 2 y 3 muestran respectivamente el programa de una FPGA para una memoria de 2 1/2 K octetos constituida por memorias PROM de 4K y el de una memoria de 40K octetos constituida por memorias PROM de 64K. Ambos sistemas utilizan el circuito de la figura 3.

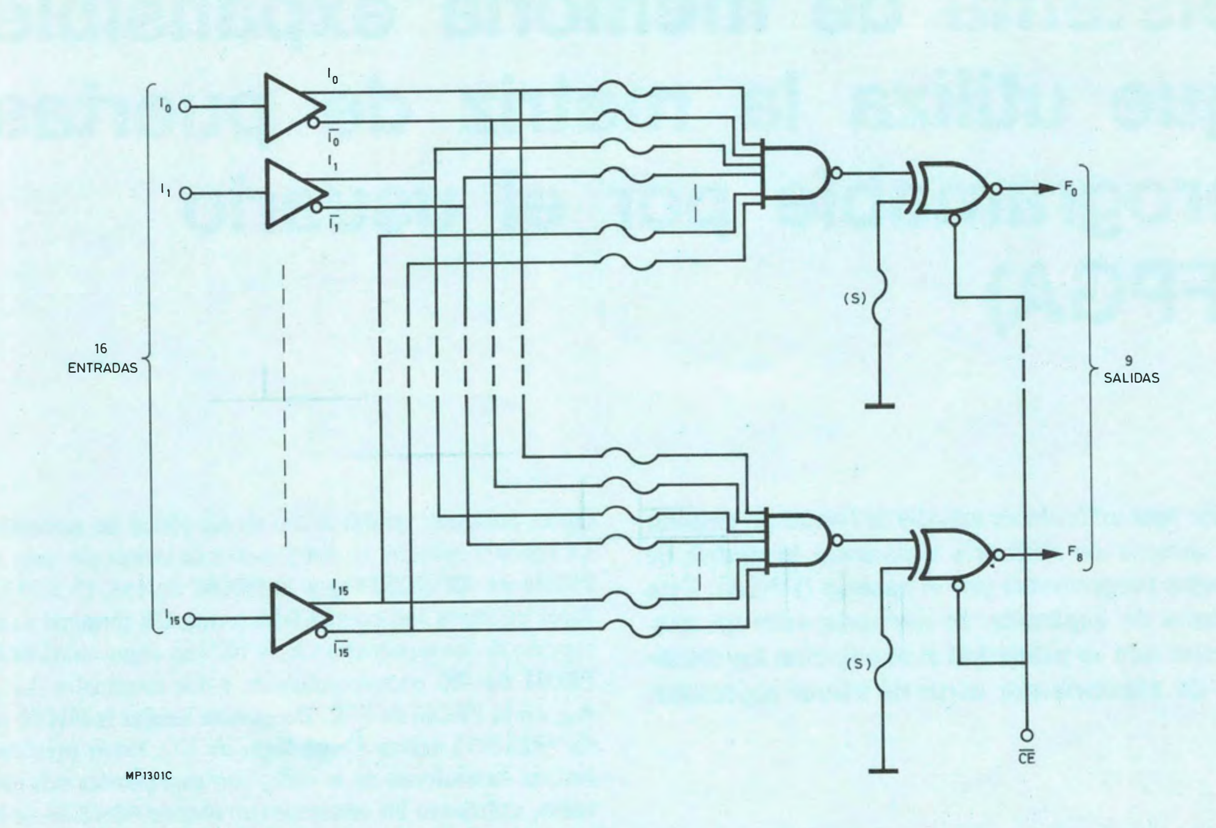


Figura 1. Diagrama lógico de la FPGA. Cada puerta NAND está conectada inicialmente a las formas directa e inversa de las 16 señales de entrada. La puerta OR-exclusiva permite programar el nivel activo de las salidas como nivel alto o bajo.

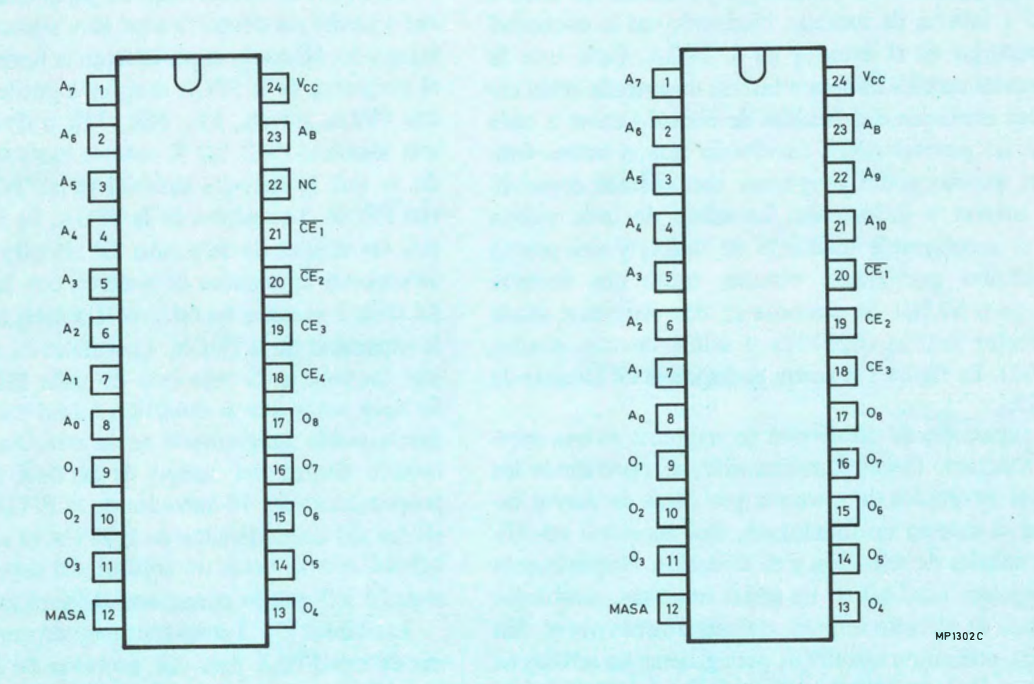


Figura 2. Distribución de terminales para: a) PROM de 4K, 82S141 y b) PROM de 16K, 82S191.

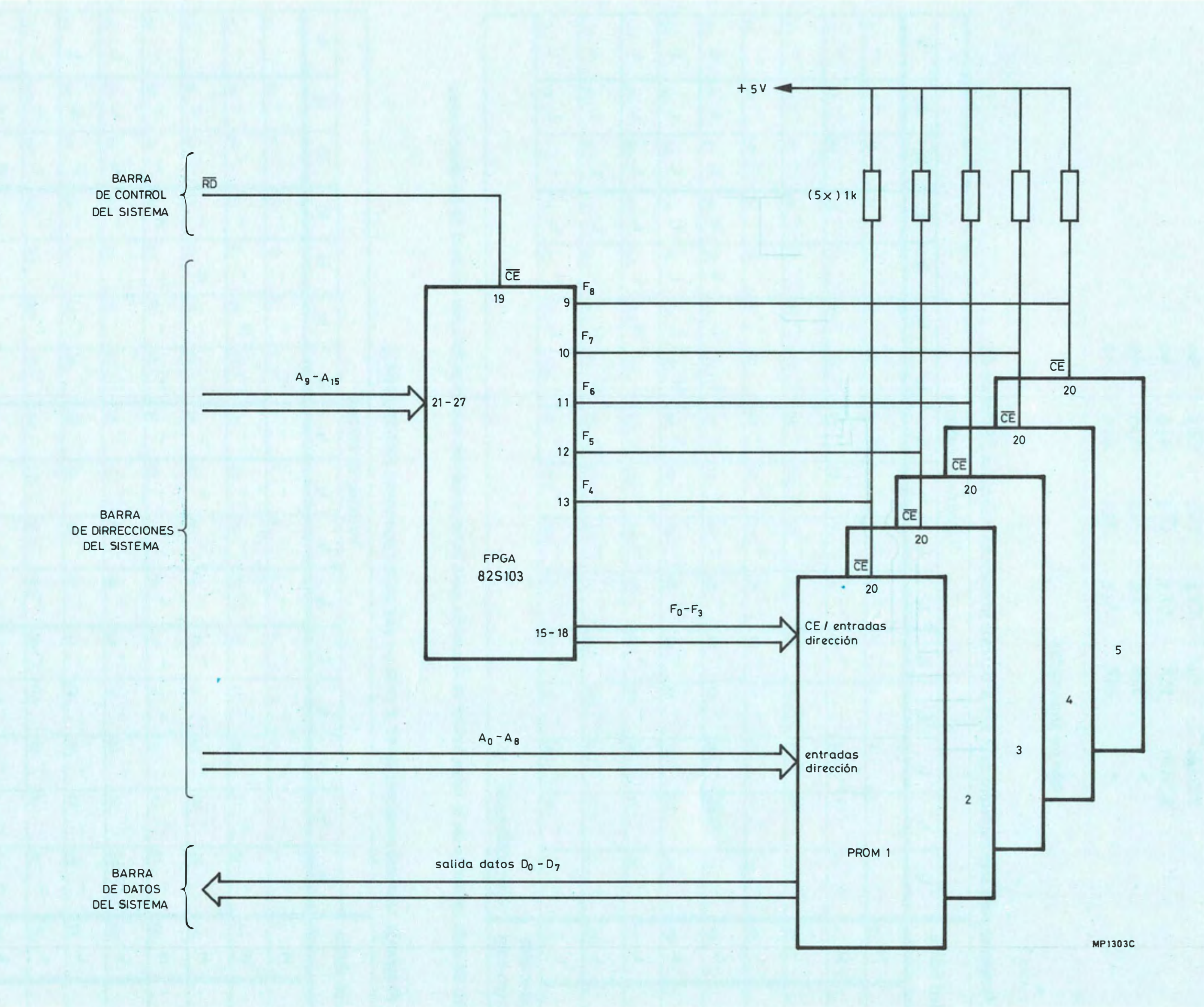


Figura 3. Sistema de memoria expansible que utiliza una FPGA.

Tabla 1. *Señales de dirección y selección del circuito integrado para cada capacidad de PROM.*

PROM	size	F_3	F_2	F_1	F_0
82S141	4K	CE_4	CE_3	$\overline{CE_1}$	NC
82S181	8K	CE_4	CE_3	$\overline{CE_1}$	A_9
82S191	16K	CE_3	$\overline{CE_2}$	A_{10}	A_9
*	32K	$\overline{CE_2}$	A_{11}	A_{10}	A_9
*	64K	A_{12}	A_{11}	A_{10}	A_9

***Aún no anunciadas.**

Tabla 2. *Programa para una memoria de 2 1/2 K octetos utilizando memorias PROM de 4K.*

Polaridad salida		Variable de entrada															
		I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	I_8	I_9	I_A	I_B	I_C	I_D	I_E	I_F
F_0	H 0	; 0	— 1	— 2	— 3	— 4	— 5	— 6	— 7	— 8	— 9	— 10	— 11	— 12	— 13	— 14	— 15
F_1	H 16	— 16	— 17	— 18	— 19	— 20	— 21	— 22	— 23	— 24	— 25	— 26	— 27	— 28	— 29	— 30	— 31
F_2	L 32	— 32	— 33	— 34	— 35	— 36	— 37	— 38	— 39	— 40	— 41	— 42	— 43	— 44	— 45	— 46	— 47
F_3	L 48	— 48	— 49	— 50	— 51	— 52	— 53	— 54	— 55	— 56	— 57	— 58	— 59	— 60	— 61	— 62	— 63
F_4	L 64	— 64	— 65	— 66	— 67	— 68	— 69	— 70	— 71	— 72	L 73	L 74	L 75	L 76	L 77	L 78	L 79
F_5	L 80	— 80	— 81	— 82	— 83	— 84	— 85	— 86	— 87	— 88	H 89	L 90	L 91	L 92	L 93	L 94	L 95
F_6	L 96	— 96	— 97	— 98	— 99	— 100	— 101	— 102	— 103	— 104	L 105	H 106	L 107	L 108	L 109	L 110	L 111
F_7	L 112	— 112	— 113	— 114	— 115	— 116	— 117	— 118	— 119	— 120	H 121	H 122	L 123	L 124	L 125	L 126	L 127
F_8	L 128	— 128	— 129	— 130	— 131	— 132	— 133	— 134	— 135	— 136	L 137	L 138	H 139	L 140	L 141	L 142	L 143
H = activo-alto L = activo-bajo		— = indiferente															

El número de cada recuadro de la tabla indica su dirección para programadores con visualización decimal de las direcciones.

Tabla 3. *Programa para una memoria de 40 K octetos que utiliza memorias PROM de 64 K.*

Polaridad salida		Variable de entrada															
		I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	I_8	I_9	I_A	I_B	I_C	I_D	I_E	I_F
F_0	H 0	— 0	— 1	— 2	— 3	— 4	— 5	— 6	— 7	— 8	H 9	— 10	— 11	— 12	— 13	— 14	— 15
F_1	H 16	— 16	— 17	— 18	— 19	— 20	— 21	— 22	— 23	— 24	— 25	H 26	— 27	— 28	— 29	— 30	— 31
F_2	H 32	— 32	— 33	— 34	— 35	— 36	— 37	— 38	— 39	— 40	— 41	— 42	H 43	— 44	— 45	— 46	— 47
F_3	H 48	— 48	— 49	— 50	— 51	— 52	— 53	— 54	— 55	— 56	— 57	— 58	— 59	H 60	— 61	— 62	— 63
F_4	L 64	— 64	— 65	— 66	— 67	— 68	— 69	— 70	— 71	— 72	— 73	— 74	— 75	— 76	L 77	L 78	L 79
F_5	L 80	— 80	— 81	— 82	— 83	— 84	— 85	— 86	— 87	— 88	— 89	— 90	— 91	— 92	H 93	L 94	L 95
F_6	L 96	— 96	— 97	— 98	— 99	— 100	— 101	— 102	— 103	— 104	— 105	— 106	— 107	— 108	L 109	H 110	L 111
F_7	L 112	— 112	— 113	— 114	— 115	— 116	— 117	— 118	— 119	— 120	— 121	— 122	— 123	— 124	H 125	H 126	L 127
F_8	L 128	— 128	— 129	— 130	— 131	— 132	— 133	— 134	— 135	— 136	— 137	— 138	— 139	— 140	L 141	L 142	H 143
H = activo-alto L = activo-bajo		— = indiferente															

El número de cada recuadro de la tabla indica su dirección para programadores con visualización decimal de las direcciones. ■

BASES DEL PREMIO MICROPROCESADORES "COPRESA"

1. Podrán concurrir a este concurso todos los autores que realicen un trabajo inédito con los microprocesadores que se mencionan en estas bases, quedando exentas todas las personas de nuestra firma. Es condición necesaria que dicho trabajo no haya sido presentado anteriormente en ningún congreso, simposio, etc., ni publicado en alguna revista, semanario, etc. técnica nacional o extranjera.

2. Los premios se dividen en dos grupos:

   1.° El primero destinado a la realización de un trabajo de aplicación del 2650/8048 Signetics, teniendo como objetivo la resolución de un caso práctico. Debe ser un trabajo original enfocado a resolver un problema práctico que se dé o pueda darse en el mercado nacional. Debe estar documentado con:
   – una descripción detallada del caso planteado,
   – esquemario del hardware,
   – ordinograma y programa escrito en lenguaje ensamblador.

   2.° El segundo destinado a un trabajo de programación con el 2650/8048 Signetics, cuyo objetivo sea el solucionar problemas concretos. Deberá presentarse en forma de subrutina, escrita en lenguaje ensamblador, conjuntamente con las dependencias de un programa principal.

3. Los autores que participen en el **PREMIO MICROPROCESADORES COPRESA** deberán presentar sus originales escritos en castellano, en hojas de tamaño folio, holandés o DIN A4, mecanografiadas a una cara y a dos espacios. La extensión del trabajo para el premio del primer grupo deberá ser de un mínimo de 50 páginas y para el premio del segundo grupo extensión libre.

4. El original se presentará con un título al cual seguirá un seudónimo. En un sobre cerrado aparte se incluirá el nombre y domicilio del autor. En el exterior del sobre se escribirá el título de la obra presentada seguido del seudónimo.

5. Deberá entregarse un resumen del trabajo que se va a realizar (de unas 100 palabras) antes del día 10 de Marzo de 1980, y el plazo para la entrega del original terminará el día 10 de Septiembre de 1980.

6. Deben enviar sus originales y el sobre cerrado a: COPRESA, Depto. Técnico Profesional, Para el "Premio microprocesadores COPRESA", Balmes 22, BARCELONA-7.

7. Los premios estarán dotados por:

Grupo primero:	1.er Premio	100.000 Ptas.
	2.° Premio	30.000 Ptas.
Grupo segundo:	1.er Premio	30.000 Ptas. y un Instructor 50
	2.° Premio	un Instructor 50.

8. Los premios podrán ser declarados desiertos.

9. Durante la feria de Sonimag 1980 se realizará un acto de presentación pública de los trabajos de los concursantes finalistas. En dicha presentación se entregarán los premios, con asistencia de la prensa técnica.

10. El jurado estará formado por miembros de la Compañía de Productos Electrónicos COPRESA, S.A. Su decisión será inapelable.

11. Los originales premiados serán publicados por COPRESA y el resto serán devueltos a sus autores en los días siguientes a la concesión de los premios.

12. Los autores se responsabilizan de la originalidad de sus trabajos y se comprometen a asumir la defensa de cualquier demanda interpuesta por dicha causa.

13. La concurrencia a estos premios supone la aceptación de estas bases.

Compañía de Productos Electrónicos COPRESA, S.A.
octubre 1979


COPRESA
comercializa
en España
el microprocesador 2650
de
signetics



Revista Miniwatt

Vol. 19 - Núm. 4

75 Ptas.

Transistores TO-92

Revista Miniwatt



VOLUMEN 19 - Número 4

ABRIL 1980

INDICE

PUBLICADA POR COMPAÑIA DE PRODUCTOS ELECTRONICOS "COPRESA", S. A.

Revista MINIWATT
Balmes, 22 - Barcelona-7

SUSCRIPCION ANUAL (11 números). . . . 600 Ptas.
PRECIO EJEMPLAR . . . . 75 Ptas.
GASTOS ENVIO CONTRA-REEMBOLSO . 100 Ptas.

Depósito Legal: B.18.387-61

ISSN 0210-2641

GRAFESA - Nápoles, 249 - Barcelona

Multitexto:

parte 2

Dentro del tema multitexto: sistemas de visualización de textos en televisión, en esta segunda parte se hace un breve estudio del sistema teletexto, describiendo con detalle los circuitos integrados que componen el decodificador de teletexto, así como las aplicaciones de estos circuitos en unidades de visualización (VDU).

La primera parte se publicó en Revista Miniwatt, Vol. 19, N.º 2.

DECODIFICADOR DE TELETEXTO

Las principales características del decodificador de teletexto LSI son las siguientes:

- Visualización actualizada de datos.
- Temporización de la visualización controlada por cristal.
- Características de visualización muy útiles, tales como estado, visualización de la hora e indicación del programa seleccionado (SAA5040).
- Posibilidad de caracteres de doble altura operados por el usuario.
- Posibilidad de adaptar un separador de datos.
- Detección y corrección de errores.
- Detector de calidad de la señal.
- Redondeo de caracteres.
- Posibilidad de visualización retardada.
- Salidas de datos monocromáticos y policromáticos (RGB).
- Control simple por parte del usuario.
- Secuencia mejorada de órdenes.
- Disponibilidad de una amplia gama de versiones de los circuitos integrados.

El decodificador de teletexto contiene cuatro circuitos integrados LSI específicos y dos memorias RAM estáticas estándar de 1K X 4 (tipo 2614). En la figura 12 se muestra el diagrama de bloques completo del decodificador.

Las principales funciones de los circuitos integrados específicos son:

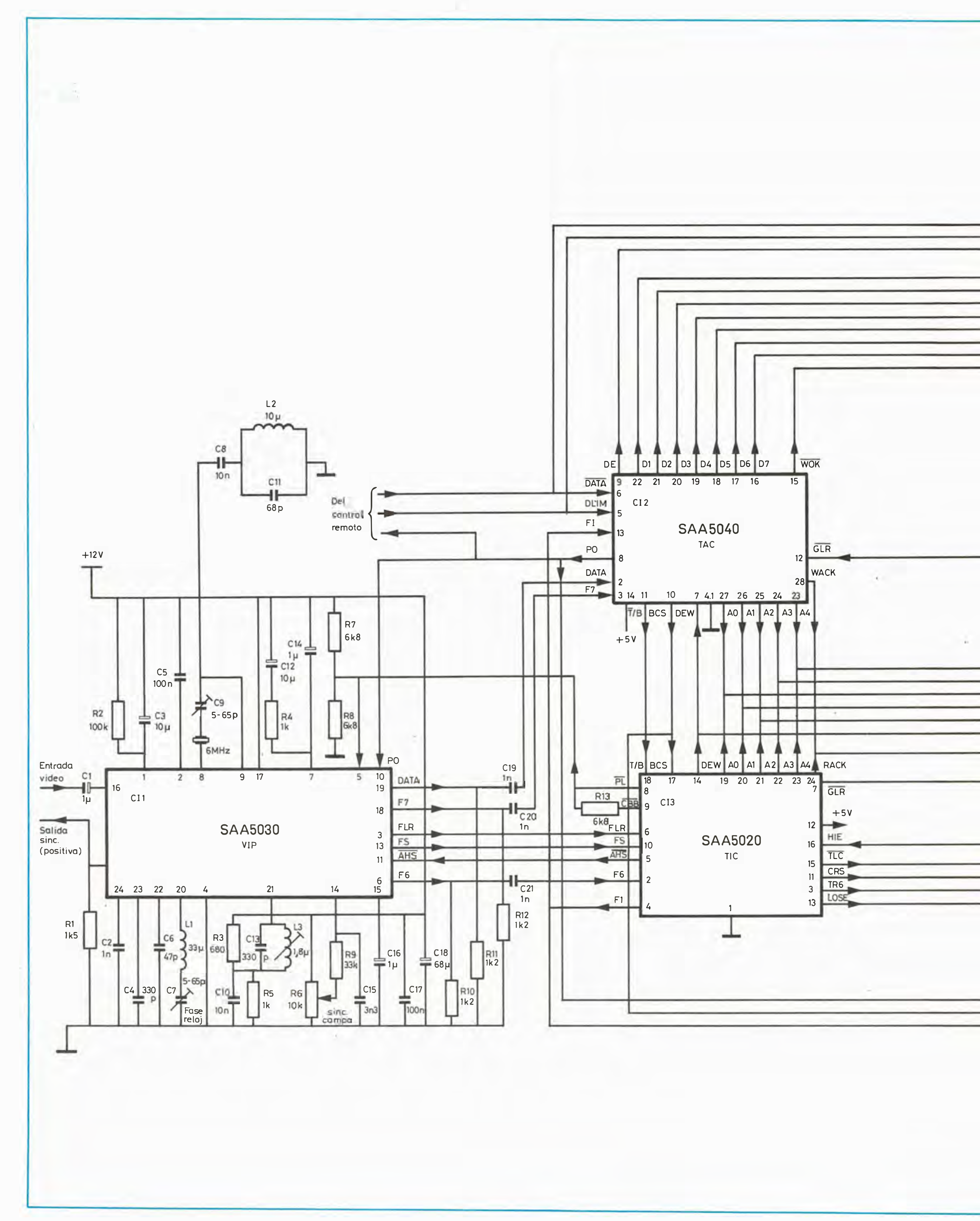
- SAA5020 TIC generador de sincronismo (Timing Chain),
- SAA5030 VIP procesador de entrada de vídeo (Video Input Processor),
- SAA5040 TAC proceso y control de datos de teletexto (Teletext data Acquisition and Control),
- SAA5050 TROM memoria de sólo lectura para teletexto, generador de caracteres (Teletext Read-Only Memory).

Para adaptarse a las necesidades de los diferentes mercados, se dispone en la actualidad de los siguientes circuitos:

- SAA5041 TAC para el mercado continental,
- SAA5043 TAC para el mercado australiano,
- SAA5052 TROM para el mercado sueco.

Los tres circuitos integrados digitales (TAC, TIC y TROM) están construidos en tecnología NMOS, mientras que el VIP es un circuito integrado bipolar. El decodificador también incluye cuatro circuitos integrados TTL Schottky de baja potencia, cuya misión consiste en acoplar la memoria de página.

La integración de gran escala (LSI) ha sido desarrollada en aquellas áreas en las que se pueden obtener grandes ahorros en comparación con los diseños con dispositivos TTL discretos. Este diseño, no sólo cumple con las necesidades inmediatas sino que también es compatible con


SAA5030
VIP
CI1
SAA5040
TAC
CI2
SAA5020
TIC
CI3
Entrada vídeo
Salida sinc. (positiva)
Del control remoto
+12V
+5V
Fase reloj
sinc. campo
6MHz
L2 10μ
C8 10n
C11 68p
R2 100k
C3 10μ
C5 100n
C9 5-65p
R4 1k
C12 10μ
C14 1μ
R7 6k8
R8 6k8
R1 1k5
C2 1n
C4 330 p
C6 47p
L1 33μ
C7 5-65p
R3 680
C13 330 p
L3 1,8μ
C10 10n
R5 1k
R6 10k
R9 33k
C15 3n3
C16 1μ
C17 100n
C18 68μ
R10 1k2
R11 1k2
R12 1k2
C19 1n
C20 1n
C21 1n
R13 6k8
C1 1μ
DATA
F7
FLR
FS
AHS
F6
PO
DE
D1
D2
D3
D4
D5
D6
D7
WOK
DLIM
F1
GLR
WACK
T/B
BCS
DEW
A0
A1
A2
A3
A4
RACK
PL
CBB
HIE
TLC
CRS
TR6
LOSE

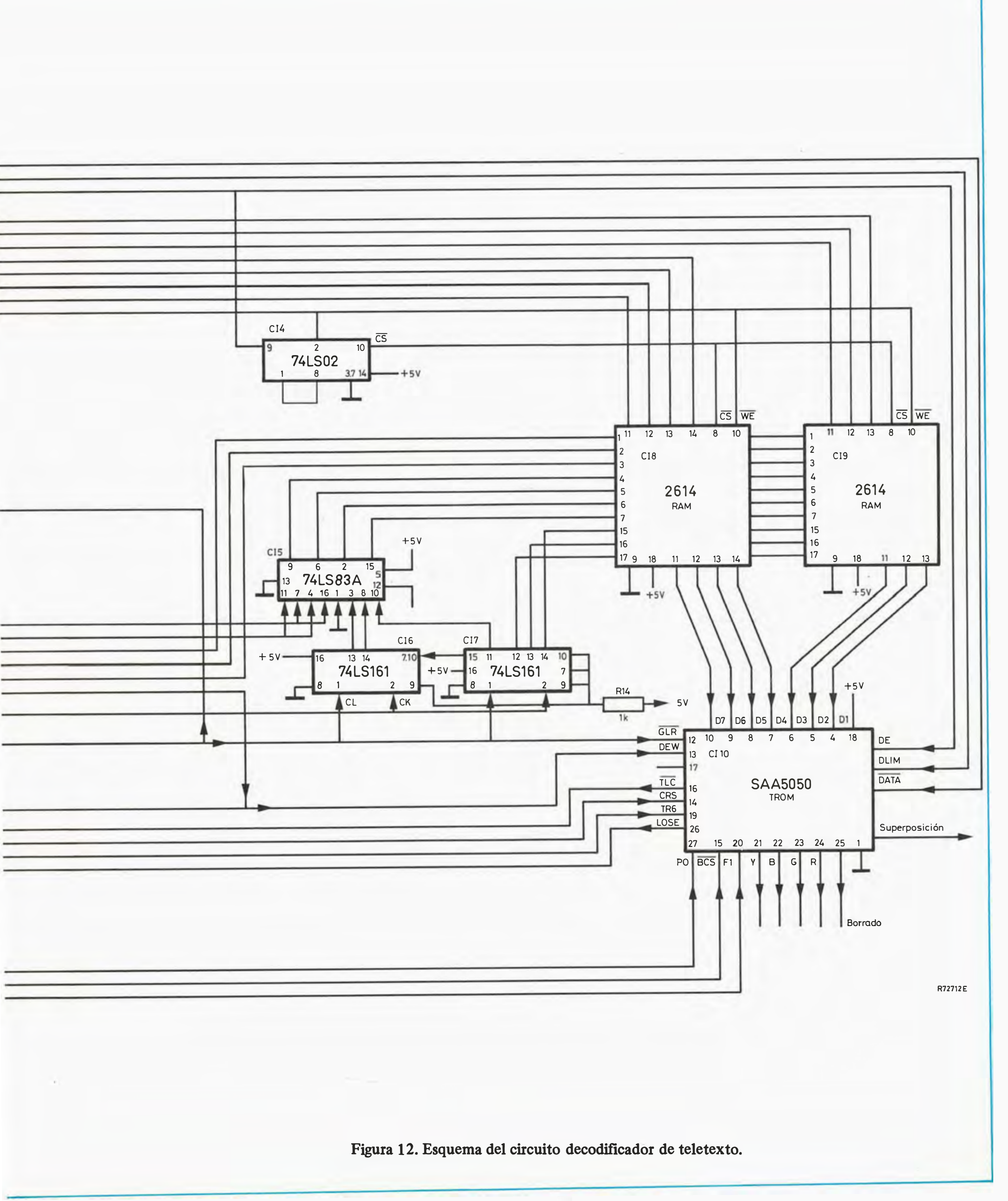


Figura 12. Esquema del circuito decodificador de teletexto.

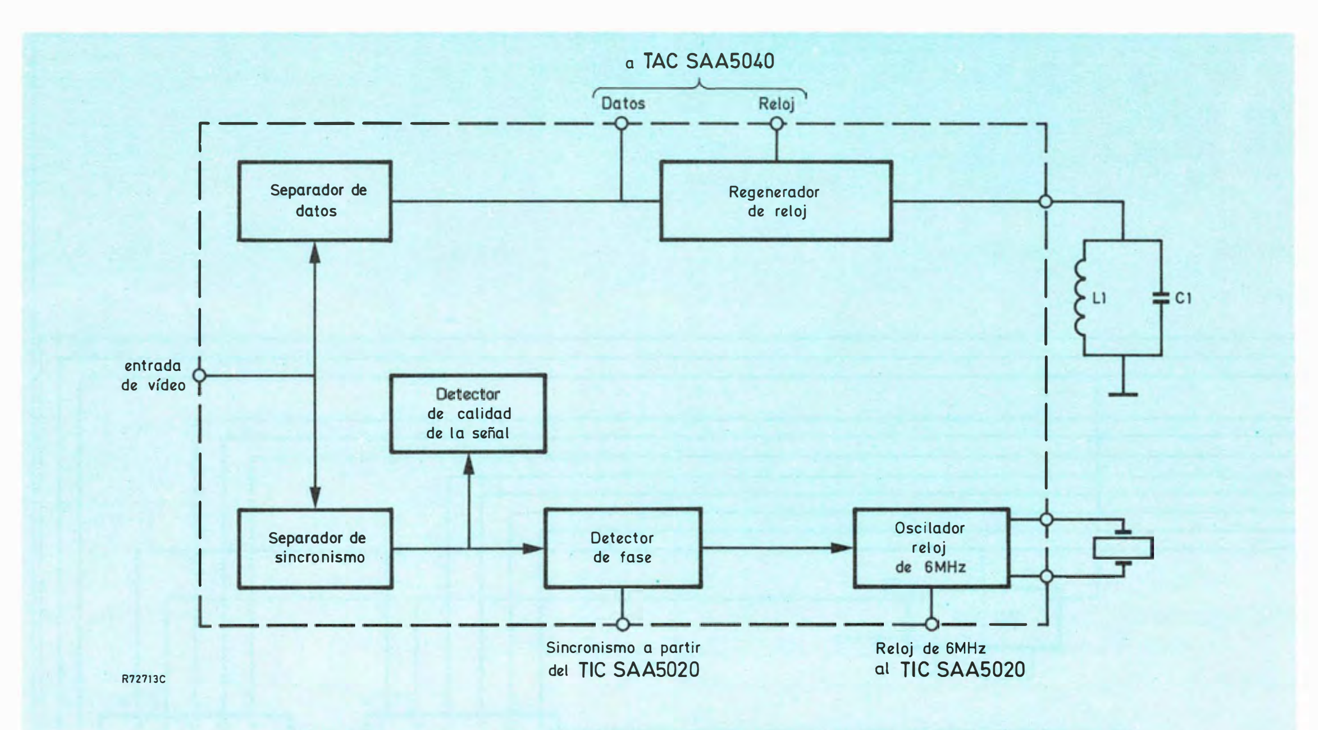


Figura 13. Circuito integrado procesador de la entrada de vídeo (VIP, SAA5030).

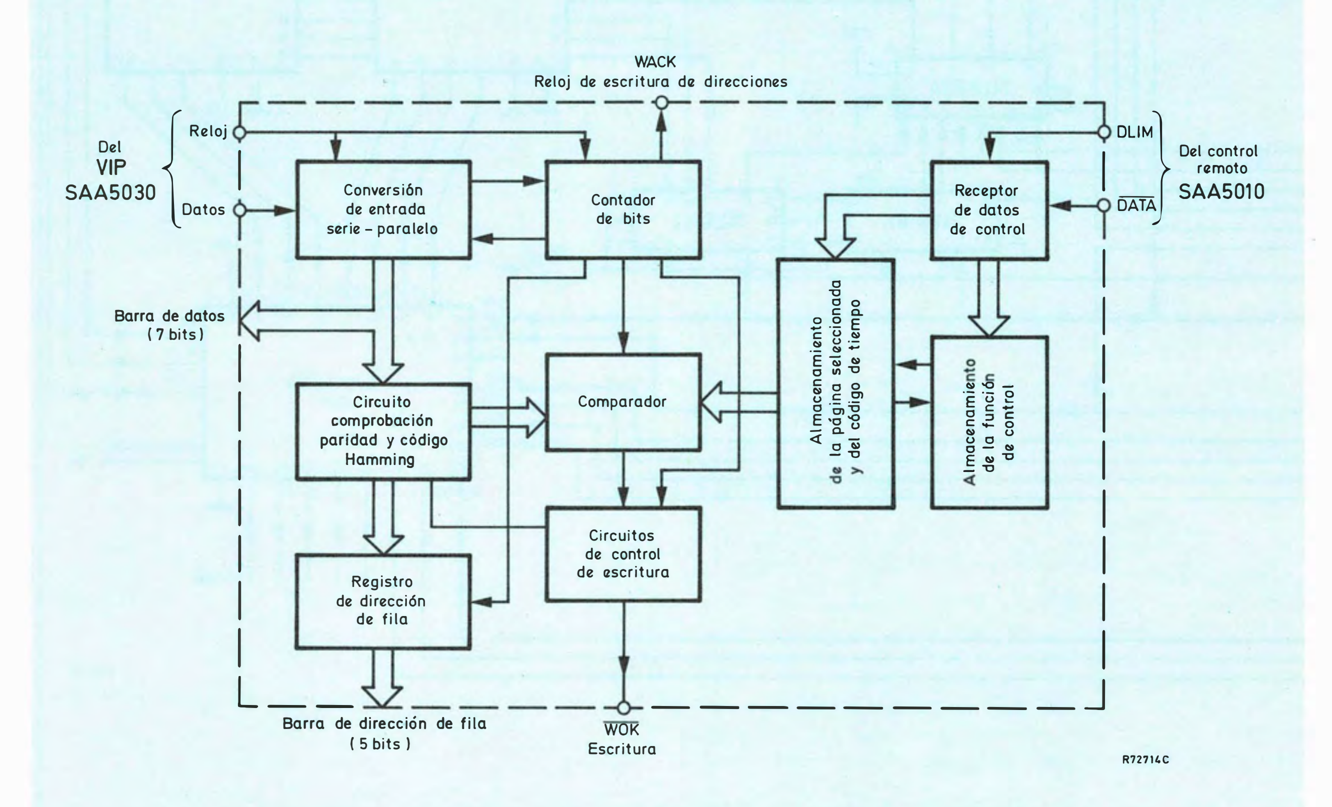


Figura 14. Circuito integrado de proceso de datos de teletexto y control TAC (SAA5040).

futuros desarrollos, debido a la flexibilidad de la forma de transmisión de datos y a la partición del sistema.

Procesador de entrada de vídeo VIP (Video Input Processor) SAA5030

El VIP (CI_1 en la figura 12) está formado por dos secciones separadas: primera la de proceso de datos y segunda la del generador de impulsos de reloj del visualizador. Al circuito integrado se le aplica la señal de vídeo procedente del receptor de televisión. La figura 13 muestra un diagrama de bloques simplificado de los circuitos SAA5030.

La sección de proceso de datos del CI_1 separa la señal de datos recibida mediante un circuito recortador de datos. Este circuito establece el nivel umbral para el recorte en la mitad de la amplitud de los datos independientemente de la amplitud de la señal recibida, y proporciona una determinada compensación de la distorsión (por ejemplo, interferencia entre canales); de esta forma, se mejora el funcionamiento del sistema bajo condiciones de ruido. A partir de los datos separados se genera una señal de reloj utilizando un circuito externo, L_1 y C_1, sintonizado a 6,9375 MHz y esta señal se emplea para la temporización de los datos en el circuito integrado TAC (CI_2).

En el circuito CI_1 también se incluye un reloj del visualizador de 6 MHz, la salida del cual es dividida en CI_3 para producir un impulso de reloj cada 64 μs. Esta señal vuelve a CI_1 donde es comparada con las señales de sincronización de línea que entran. De esta forma, el sistema de temporización para la visualización de teletexto se sincroniza en fase con la señal de imagen de televisión que llega al receptor.

En CI_1 también se incluye un circuito detector de "la calidad de la señal". Cuando se recibe una señal con elevado contenido de ruido, o en ausencia de recepción de la señal, el detector de calidad de la señal corta el acceso de datos de teletexto al circuito CI_2, y permite que el sistema visualizador funcione libre. De este modo, el detector evita que los datos ya almacenados en la memoria se vean afectados por el ruido. Esta característica, combinada con la acción del reloj de visualización local, permite obtener una visualización estable incluso en ausencia de recepción de señal de televisión. Ambas son esenciales para la visualización retardada.

El circuito integrado CI_1 contiene un separador de sincronismo que extrae las señales de sincronismo de la señal de vídeo que se está recibiendo. El circuito CI_1 también proporciona una señal de salida de sincronismo para la base de tiempos del receptor de televisión. Cuando se visualiza una página completa de texto, la señal de sincronismo de salida se obtiene a partir del circuito CI_3 (véase circuito TIC SAA5020).

Control y proceso de datos de teletexto TAC (Teletext Adquisition and Control) SAA5040

La principal función de la sección de proceso de datos del circuito integrado TAC (CI_2 en la figura 12) consiste en procesar los datos de teletexto de forma que puedan ser escritos en la memoria. La figura 14 muestra un diagrama de bloques simplificado de los circuitos SAA5040. La sección de control procesa la información del sistema de control remoto y emplea esta información para manejar las diferentes funciones del visualizador del sistema decodificador de teletexto, tales como la selección de los modos de televisión, teletexto, o viewdata; elección de página, mantenimiento de página, visualización de la hora, o selección de la página temporizada.

La sección de proceso de datos del circuito CI_2 divide los datos procedentes del CI_1 en sus partes componentes. Se comprueban las palabras de dirección codificada de Hamming y se corrigen las que poseen un solo bit erróneo. Las palabras de dirección que tienen dos bits erróneos son rechazadas. La dirección de fila de la línea de datos recibidos (una de veinticuatro) se aplica mediante esta sección a la barra de dirección de fila de 5 bits, y los datos de caracter se aplican a través de la barra de datos a la memoria como una secuencia de cuarenta palabras de 7 bits en paralelo.

Una señal designada por $\overline{\text{WOK}}$ (Write O.K.) indica a la memoria cuándo puede ser escrito un dato válido y una señal WACK (Write Address Clock: reloj de dirección de escritura) hace que los contadores de dirección (CI_6 y CI_7) avancen un paso después de cada carácter.

El circuito integrado CI_2 contiene también los circuitos para la implementación de los bits de control de la cabecera de página.

Existen dos posibles variantes del circuito integrado TAC. El SAA5041 posee visualización de estado en alemán, indicación no numérica de estación y una tabla de órdenes compatible con el circuito integrado REAM. Un reciente desarrollo es el SAA5043 que es eléctricamente equivalente al SAA5040, pero con indicaciones de estación adecuadas para Australia. Otras versiones del SAA5040 (con varias representaciones de estado) se hallan en la actualidad bajo estudio.

Generador de sincronismo TIC (Timing Chain) SAA5020

Las etapas divisoras en el circuito integrado TIC (CI_3 en la figura 12) subdividen la señal de reloj de 6 MHz procedente del CI_1 hasta 25 Hz, frecuencia de campo de televisión, y generan todas las señales de sincronismo para la visualización de teletexto. En la figura 15 se muestra el diagrama de bloques simplificado de los circuitos SAA5020. Durante el período de

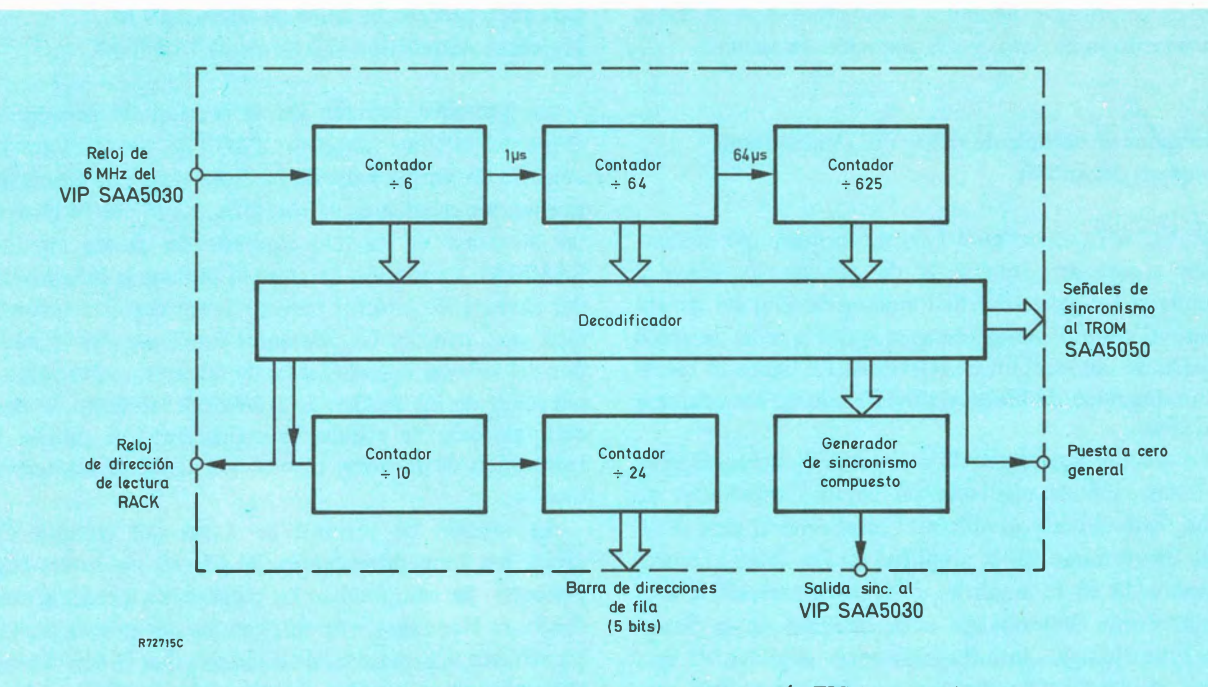


Figura 15. Circuito integrado de cadena de temporización TIC (SAA5020).

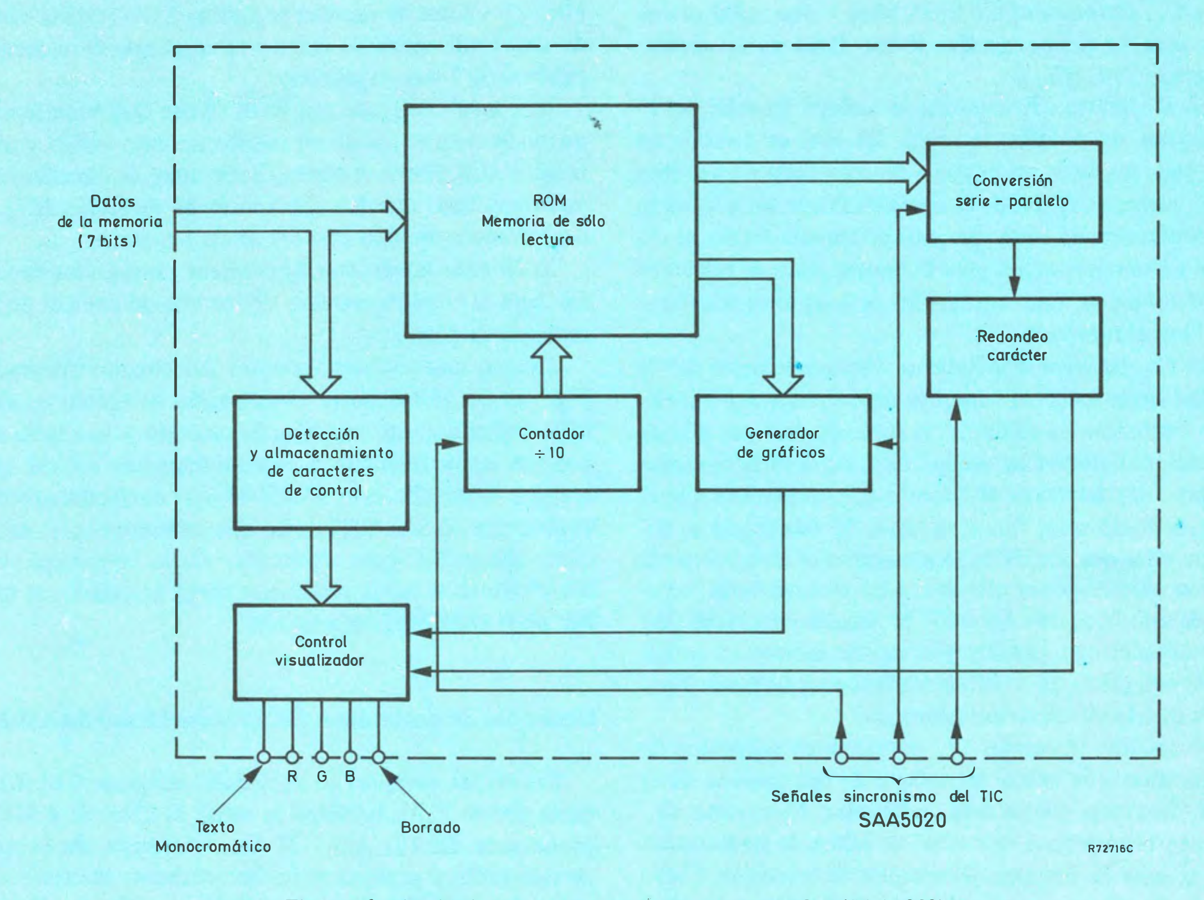


Figura 16. Circuito integrado generador de caracter TROM (SAA5050).

visualización, se deriva una señal de reloj RACK (Read Address Clock: reloj de dirección de lectura) de 1 MHz de la señal WACK para avanzar un paso en las direcciones de los caracteres. Los contadores de dirección CI_6 y CI_7 son borrados al final de cada línea, y vuelven a la primera posición. Después de cada diez líneas durante la visualización, el circuito CI_3 avanza un paso en la dirección de la fila para acceder a la siguiente fila de caracteres en la memoria.

Además, para proporcionar todas las señales de sincronismo para el visualizador, el circuito CI_3 genera también una señal completa de sincronismo. Esta señal puede ser empleada para excitar la base de tiempo del receptor de televisión sin necesidad de que la señal de sincronismo sea transmitida. (A esta forma de funcionamiento también se le denomina "retardada".)

Bloque de memoria

El bloque de memoria consta de dos memorias RAM estáticas de 1K × 4 (CI_8 y CI_9 en la figura 12). Estas memorias RAM están dispuestas como 4 matrices de 32 por 32, y cada posición de almacenamiento se elige mediante un código binario de diez líneas de dirección. Sin embargo, la visualización de teletexto está organizada en forma de matriz de 40 por 24 (24 filas con 40 caracteres por fila) con direcciones de fila de 5 bits y direcciones de columna de 6 bits. Así, el sumador 74LS83A (CI_{15} en la figura 12) convierte los 11 bits de la dirección de visualización en un código de direcciones de 10 bits para la selección de una de las 960 posiciones en las memorias RAM. Estas memorias tienen el doble de patillas de entrada/salida (patillas 11 a 14) y la inclusión de la puerta NOR 74LS02 (CI_4 en la figura 12) evita problemas en la barra de datos cuando la memoria es activada.

Memoria de teletexto de solo lectura TROM (Teletext Read-Only Memorie) SAA5050

La memoria de solo lectura de la TROM (CI_{10} en la figura 12) convierte los datos de caracter de 7 bits de la memoria en un modelo de matriz de puntos. Esta matriz está compuesta por 7 × 5 puntos para cada carácter. El circuito CI_{10} posee también la facultad del "redondeo de caracteres" que incrementa de forma efectiva esta matriz a 14 por 10 puntos, dando una mejor definición a los caracteres visualizados. La figura 16 muestra un diagrama de bloques simplificado del circuito SAA5050.

Circuitos adicionales en el CI_{10} permiten realizar varias funciones de control. Estas funciones están determinadas por los caracteres de control recibidos de la memoria. Algunos ejemplos de estas funciones de control son la selección de caracteres gráficos y alfanuméricos, palabras iluminadas intermitentemente, instantáneas de noticias y subtítulos visualizados en recuadros insertados en las imágenes de televisión.

El circuito CI_{10} proporciona también una función de "visualización oculta" que puede ser operada por el usuario. Por ejemplo, si se transmite una página de preguntas y respuestas que contiene tanto la pregunta como la respuesta, la respuesta puede estar inicialmente oculta hasta que el usuario decida conocerla. Para esta función y otras similares, se conecta la barra I del sistema de control remoto a la TROM.

Las señales de sincronismo se aplican al circuito CI_{10} a partir de CI_{13}. Las señales de salida de vídeo de los caracteres son proporcionadas por CI_{10} y éstas comprenden una señal monocromática y señales policromáticas (RGB) para un receptor de color. La señal de salida de borrado permite borrar la señal de vídeo de televisión cuando se vaya a visualizar una imagen instantánea de noticias o un subtítulo ("1" da lugar a "borrado de imagen" y "0" proporciona "imagen"). El borrado toma la forma de recuadro de color negro alrededor de los caracteres del teletexto.

La señal monocromática de texto (Y) es proporcionada para visualizadores monocromáticos; es decir, no incluye información de fondo. Por tanto, es también necesaria si, en una visualización normal en color, se necesita intercalar caracteres en la imagen de televisión; ésta es utilizada entonces como una señal de borrado intercalada. Cuando se mezcla texto e imagen, la legibilidad de la visualización se mejora extraordinariamente si se intercala el texto en lugar de ser simplemente añadido a la imagen de televisión. La legibilidad se mejora aún más si se reduce automáticamente el contraste de la imagen al mezclarse texto e imagen. Esto puede efectuarse utilizando la salida de superposición del decodificador de teletexto.

También está disponible el circuito integrado SAA5052 que genera el conjunto de caracteres en sueco.

ORDENES DEL TECLADO Y VISUALIZADOR

El receptor integrado de televisión/teletexto/viewdata con el sistema de control remoto SAA5000/SAA5010 es muy flexible, y proporciona al usuario un amplio margen de órdenes. A pesar de que sólo existen 32 pulsadores en el teclado, se dispone de muchas más órdenes mediante la selección de modos (véase la tabla 1, parte I: Revista Miniwatt, volumen 19, número 2). Algunos pulsadores tienen diferentes funciones de acuerdo con el modo seleccionado; sin embargo, para evitar confusiones, las órdenes más utilizadas tienen la misma tecla en todos los modos.

En la figura 17 se muestra un teclado típico. Sin em-



Figura 17. Teclado típico de control remoto de televisión/teletexto.

bargo, no es necesario hacer uso de todas las órdenes disponibles y se puede diseñar fácilmente un teclado más sencillo haciendo una selección entre todo el conjunto de posibilidades. No obstante, pocas personas encontrarán dificultades al emplear un teclado totalmente equipado puesto que el visualizador está diseñado para dar al televidente la máxima información de un determinado estado del sistema ya que existe una respuesta al apretar cualquier tecla.

Obsérvese que los ejemplos de visualizadores de teletexto dados más adelante (figuras 18 a 28) están generados empleando la versión británica del circuito integrado TAC (SAA5040), en lugar de emplear la versión continental (SAA5041).

El decodificador de teletexto es capaz de visualizar todas las características introducidas por las autoridades competentes en materia de comunicaciones, entre las que cabe destacar:

— páginas temporizadas (figura 27);
— subtítulos e instantáneas de noticias (figura 20e);
— caracteres iluminados intermitentemente;
— cancelación de la visualización (figura 26);
— caracteres de doble altura (figura 23);
— mantenimiento de gráficos;
— gráficos con líneas a trazos y continuas;
— color de fondo.

A continuación se da una descripción del funcionamiento del sistema decodificador/control remoto, que ilustra el amplio margen de posibilidades disponibles.

Modo de televisión

El modo de televisión se obtiene siempre al conectar el receptor. Si el receptor está en posición de espera, puede ponerse en funcionamiento a partir del teclado de control remoto apretando TV, RESET, o cualquier botón de selección de canal. Además, el receptor debe estar conectado mediante el interruptor principal de conexión/desconexión. En el modo de televisión, el receptor funciona como un receptor de televisión normal con algunas posibilidades adicionales; las órdenes de control se hallan en la columna izquierda de la tabla 1 (parte I: Revista Miniwatt, volumen 19, número 2).

Selección del canal

La conexión del receptor apretando las teclas TV o RESET selecciona automáticamente el canal BBC1 (con el circuito integrado TAC SAA5040), mientras que si se conecta el receptor apretando un botón de selección de canal, selecciona el canal apropiado. Después de elegir un

canal, aparece un recuadro en la parte superior izquierda de la pantalla que contiene una indicación del canal elegido (por ejemplo, ITV, véase la figura 18); este recuadro desaparece después de cinco segundos. Para cambiar de canal se aprieta simplemente la tecla apropiada.

En el receptor existe un indicador de recepción de mensaje. Sin embargo, la respuesta del sistema es suficientemente rápida como para reaccionar ante un manejo rápido del teclado y se puede incluir un sonido audible intermitente para indicar que el mensaje ha sido recibido (véase la figura 5). Por lo tanto, no es necesario estar constantemente mirando la pantalla mientras se están dando las instrucciones al receptor.

Funciones analógicas

Siempre que se representa la señal de vídeo de televisión (incluso en los modos teletexto y viewdata), se pueden variar por control remoto las cuatro funciones analógicas (volumen, brillo, contraste y saturación del color). Para cada una de las cuatro funciones existen controles de aumento y de disminución que hay que mantener apretados hasta alcanzar el nivel deseado.

Silenciador

Apretando la tecla MUTE se corta completamente el sonido. El efecto es inmediato y el sonido se recupera apretando de nuevo la tecla MUTE.

Puesta a cero y estado del sistema

En el modo de televisión, la orden RESET hace que las cuatro funciones analógicas vuelvan a los niveles preestablecidos en el receptor, y recupera el sonido si se había activado la orden MUTE. Esta orden actúa también automáticamente cuando se conecta el receptor.

Si se aprieta la orden STATUS en el modo de televisión, se obtiene visualizado de nuevo en un recuadro el número de canal durante 5 segundos, como se muestra en la figura 18.

Reloj digital

Si se quiere saber la hora mientras se mira un determinado programa, habrá que apretar la tecla TIME. Si el canal que se mira también está transmitiendo teletexto, la hora aparecerá en un recuadro en la parte superior derecha de la pantalla (durante un espacio de cinco segundos). Este reloj es extremadamente exacto puesto que



Figura 18. Imagen con indicación de programa.

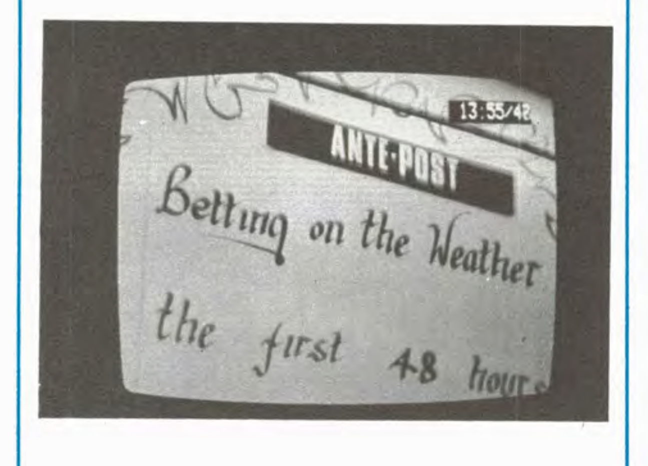


Figura 19. Imagen con reloj digital.



a

P1 CEEFAX 100 Mon 17 Jul 12:59/58
CEEFAX
NEW-LOOK BBC 1 MAGAZINE: Many regular pages now have new numbers. This is the basic pattern of the magazine:-
101 NEWS HEADLINES
101-119 News in detail
120 FINANCE HEADLINES
130 FT INDEX
140 SPORT HEADLINES
161 FOOD GUIDE
180 WEATHER & TRAVEL INDEX
181 WEATHER FORECAST
171-173 TV GUIDES
NEW FULL INDEX
A-F 193
G-O 194
P-Z 195
NEWSFLASH 150 LATEST PAGES 190

b

P15 CEEFAX 100 Mon 17 Jul 13:01/08
CEEFAX
NEW-LOOK BBC 1 MAGAZINE: Many regular pages now have new numbers. This is the basic pattern of the magazine:-
101 NEWS HEADLINES
101-119 News in detail
120 FINANCE HEADLINES
130 FT INDEX
140 SPORT HEADLINES
161 FOOD GUIDE
180 WEATHER & TRAVEL INDEX
181 WEATHER FORECAST
171-173 TV GUIDES
NEW FULL INDEX
A-F 193
G-O 194
P-Z 195
NEWSFLASH 150 LATEST PAGES 190

c



d



e

Figura 20. Selección de página: (a) página índice; (b) primer dígito del nuevo número de página pulsado en el teclado; (c) segundo dígito del nuevo número de página; (d) nuevo número de página pulsado, el encabezamiento de página se vuelve verde y los números giran; (e) nueva página recibida (página de instantáneas de noticias).

está sincronizado con un reloj normalizado por las autoridades competentes en materia de transmisiones.

Modo teletexto

Las órdenes TEXT (teletexto) y MIX (superposición) conectan el sistema en el modo teletexto, de forma que se pueden obtener en la pantalla las páginas de texto. Se dispone de las órdenes de control en la columna central de la tabla 1 (parte 1, Revista Miniwatt, volumen 19, número 2).

Selección de página

Cuando se selecciona primero el modo teletexto, se obtiene automáticamente la página de índice (p. 100), véase la figura 20a. Se obtiene otra página simplemente apretando tres teclas de número consecutivas, el número de página pedido es visualizado en la parte superior izquierda de la pantalla, véanse las figuras 20b, 20c y 20d. Cuando ha entrado el tercer dígito, la cabecera de página se vuelve de color verde, y se presenta una rotación en los números de página hasta recibir el correspondiente a la página que se desea, véase la figura 20e. El encabezamiento de página de color verde es una advertencia que indica que la página visualizada no es todavía la deseada.

Recepción de página

Después de que se ha pedido una nueva página, se visualiza la página anterior hasta que se ha recibido la nueva (figura 20d). Al recibir la nueva página, la cabecera vuelve a ser blanca y se para la rotación de los números de página mostrando el número de la página deseada. Se pueden tener las siguientes posibilidades:

1) Si la nueva página es una página de subtítulo o de instantáneas de noticias, se conecta automáticamente el vídeo de televisión, y se visualiza la información en un recuadro dentro de la imagen; véase la figura 20e.
2) Al contrario, si la página previa era una de subtítulo o de instantánea de noticias, y la nueva página no, entonces se desconecta la imagen.
3) Si se está visualizando una imagen de televisión mientras el sistema se halla en el modo teletexto, y se pide una nueva página, entonces se generará un recuadro alrededor del encabezamiento de página durante cinco segundos, de forma que se pueda ver el número de la página que es introducida (figura 21).
4) Algunas páginas contienen más información de la que puede ser visualizada simultáneamente en la pantalla



Figura 21. Nueva página requerida, la página anterior es una página de instantáneas de noticias.



a



b

Figura 22. (a) Rotación de subpáginas; (b) rotación sub-página detenida.

y por ello se subdivide en series de dos o más sub-páginas. La primera sub-página de una serie de cuatro, por ejemplo, tiene la indicación 1/4, visualizada en la parte superior derecha de la pantalla (debajo de la hora); véase la figura 22a. Estas sub-páginas son rotatorias; es decir, cada una de ellas es visualizada durante un cierto intervalo de tiempo (determinado por las autoridades competentes en materia de transmisión) antes de ser sustituida por la siguiente sub-página. Si se desea parar esta rotación y retener una determinada sub-página, se deberá apretar el botón HOLD. La palabra HOLD aparece en verde en la parte derecha de la cabecera de página, en sustitución de los dígitos de hora (véase la figura 22b). Esta orden interrumpe la recepción de datos de teletexto y puede ser empleada para evitar la actualización de las páginas, siempre que se requiera. El funcionamiento normal se recupera apretando la tecla TEXT o entrando un nuevo número de página.

5) Si se aprietan menos de tres teclas, se mantienen los dígitos originales. Por ejemplo, si se tiene en pantalla la página 143 y se aprietan las teclas 2 y TEXT, se obtendrá la página 243.

Caracteres grandes

En el modo teletexto normalmente se emplean caracteres pequeños, pero en algún caso puede ser útil tener la posibilidad de visualizarlos con "doble altura"; por ejemplo, cuando el televidente se halla a una cierta distancia de la pantalla del receptor. Puede aumentarse tanto la mitad superior como la inferior del visualizador, apretando las teclas TOP o BOTTOM; la figura 23 es un ejemplo en el que en la mitad superior de la página se visualizan caracteres de doble altura. Para volver a los caracteres de tamaño normal hay que apretar la tecla FULL PAGE.

Cuando se selecciona una nueva página mientras se tiene el modo de caracteres de doble altura, se visualizará automáticamente la mitad superior de la página, de forma que puede verse el encabezamiento. Si se selecciona el modo de televisión mientras se tienen visualizados caracteres grandes, aparecerán los de tamaño normal cuando el sistema vuelva a pasar al modo teletexto.

Mezcla

En el modo teletexto normal, la imagen y los datos de los caracteres no se visualizan simultáneamente. La orden MIX (superposición) restaura la imagen de forma que el texto queda directamente insertado en la imagen de televisión, véase la figura 24.

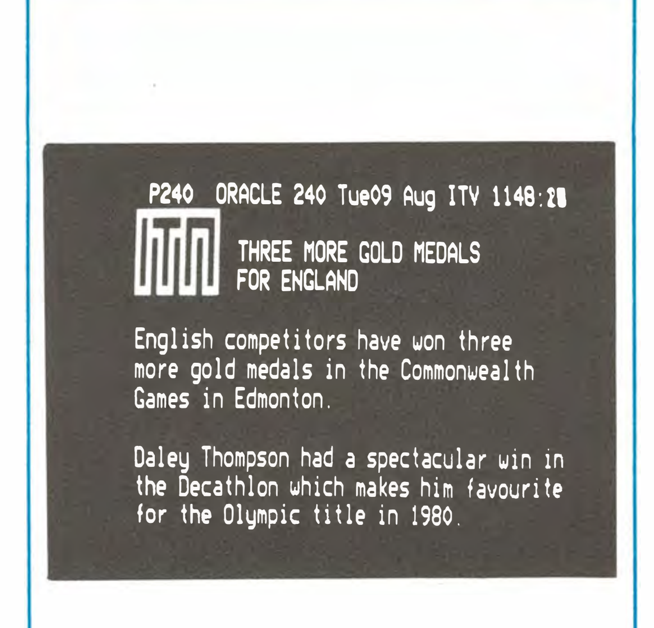


Figura 23. Caracteres grandes (mitad superior de la página).



Figura 24. Modo mezcla (superposición).

Cancelación de texto

La orden TEXT CANCEL suprime la visualización del texto y reestablece la imagen de televisión mientras el sistema permanece en el modo teletexto. Las órdenes TEXT y MIX restauran la visualización del texto.

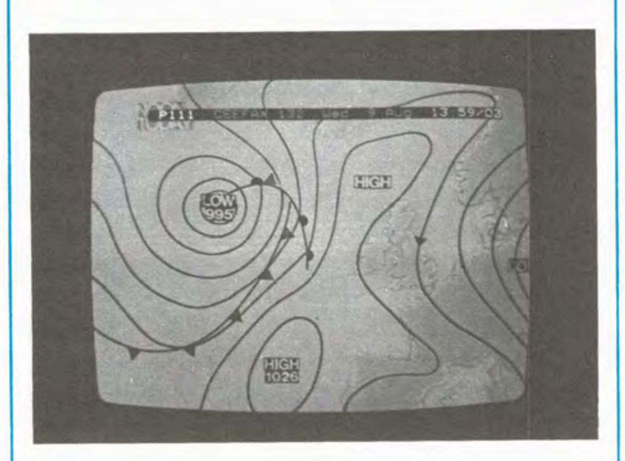
Esta posibilidad permite al televidente pedir las páginas de teletexto y alterar los controles de éste sin interrumpir el programa de televisión. Si se pide una nueva página mientras se cancela el texto, se visualizará el encabezamiento de página en la pantalla en un recuadro durante un intervalo de tiempo de cinco segundos; véase la figura 25a. Cuando se ha recibido la nueva página, el número de ésta aparece en la pantalla en un recuadro (figura 25b).

Revelado

Algunas páginas tienen cancelada parte de la visualización; por ejemplo, una página de preguntas y respuestas con las respuestas ocultas (no reveladas) (véase la figura 26a). La orden REVEAL visualiza el texto cancelado durante todo el tiempo que la tecla REVEAL está apretada (véase la figura 26b).

Páginas codificadas en el tiempo

Las páginas pueden seleccionarse para ser recibidas en la memoria de página en un instante pre-determinado. La página requerida se selecciona en la forma usual y a continuación se pulsa la orden TIMED PAGE ON (conexión página temporizada). Entonces, desaparece la indicación de hora visualizada normalmente en la parte superior derecha de la pantalla. A continuación, se introduce en la pantalla el instante en que debe recibirse la página requerida, utilizando las teclas de números (dos dígitos para las horas y dos para los minutos). El caracter T que precede a los dígitos de tiempo indica que se está visualizando un código de tiempo y no un tiempo real; además, los cuatro dígitos de indicación de hora parpadean. El encabezamiento de página se vuelve de color verde, los números de páginas empiezan a girar y el decodificador busca la página cuya cabecera corresponde a la página deseada en el instante de tiempo requerido; véase la figura 27a. Una vez que se ha recibido la página requerida, el encabezamiento pasa de nuevo a ser blanco y la página deseada se almacena en la memoria, véase la figura 27b. Esta página no se actualiza mientras el decodificador permanece en el modo de página temporizada. La orden TIMED PAGE OFF (desconexión página temporizada) elimina este modo de funcionamiento del decodificador.



a

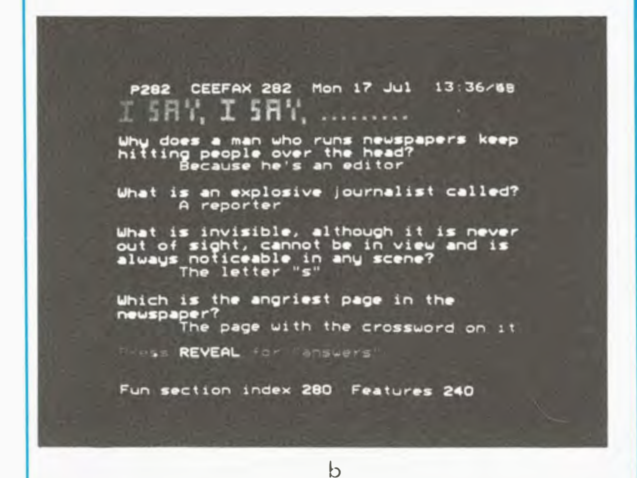


b

Figura 25. Visualización cancelada: (a) nueva página requerida; (b) nueva página recibida.

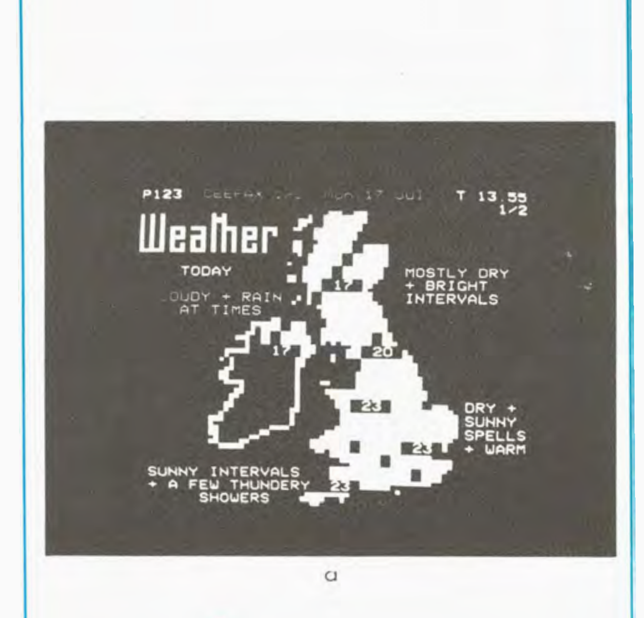
P282 CEEFAX 282 Mon 17 Jul 13:35/48
I SAY, I SAY, ...
Why does a man who runs newspapers keep hitting people over the head?
What is an explosive journalist called?
What is invisible, although it is never out of sight, cannot be in view and is always noticeable in any scene?
Which is the angriest page in the newspaper?
Press REVEAL for "answers"
Fun section index 280 Features 240

a



b

Figura 26. Página de preguntas y respuestas: (a) texto oculto; (b) texto revelado.



a



b

Figura 27. Página codificada en el tiempo: (a) buscando; (b) recibida.

La orden RESET (puesta a cero) pasa el sistema al modo de televisión, pero también se ponen a cero varias funciones de teletexto: se borra la memoria de páginas, se cancela la orden TIMED PAGE ON y se prepara al decodificador para visualizar la página de índice cuando se tenga de nuevo el modo teletexto.

Al apretar la tecla STATUS en el modo teletexto mientras se tienen en pantalla imágenes de televisión, aparece un recuadro alrededor del encabezamiento durante cinco segundos y la identificación del canal de TV se muestra en la parte superior izquierda de la pantalla (véase la figura 28). En la parte superior derecha de la pantalla se indica si están activadas las órdenes HOLD o TIMED PAGE ON.

Si solo se visualiza una página completa de teletexto, el efecto de la orden STATUS es únicamente sustituir durante cinco segundos el número de la página escogida por la indicación de la estación que se tiene sintonizada; véase la figura 28b.

La orden STATUS no afecta al sistema; solo da información al televidente sobre el estado del sistema.

APLICACIONES DE LOS CIRCUITOS INTEGRADOS DE TELETEXTO EN UNIDADES DE VISUALIZACION

El incremento de las aplicaciones de las unidades de visualización (VDU, Visual Display Units) ha dado lugar a un gran mercado potencial para los dispositivos de visualización más baratos. Se puede obtener una considerable reducción en el coste de producción de unidades de visualización mediante el empleo de componentes cuyo coste ya ha sido reducido al mínimo gracias a su empleo masivo en aplicaciones específicas. El empleo de receptores normales de televisión para la sección de visualización de las VDU en aplicaciones poco específicas, es un ejemplo. Otro ejemplo es el empleo de circuitos integrados LSI de teletexto para los circuitos lógicos de las VDU con 40 caracteres por fila.

Al empezar el desarrollo del sistema de teletexto, el estudio detallado de las funciones propias de los cuatro circuitos integrados LSI de teletexto demostró que dos de ellos, el TIC (SAA5020) y el TROM (SAA5050), pueden formar la base del diseño lógico de la VDU. Básicamente, este sistema de teletexto consiste en una visualización autocontenida de página a la que se añaden los circuitos TAC (SAA5040) y VIP (SAA5030) como entradas de teletexto.

El diseño lógico tiene la ventaja de emplear componentes ya desarrollados y que se hallan en producción masiva; esto proporciona una visualización en color y muchas posibilidades de teletexto.



a

b

Figura 28. Estado: (a) modo teletexto con visualización cancelada; (b) modo teletexto.

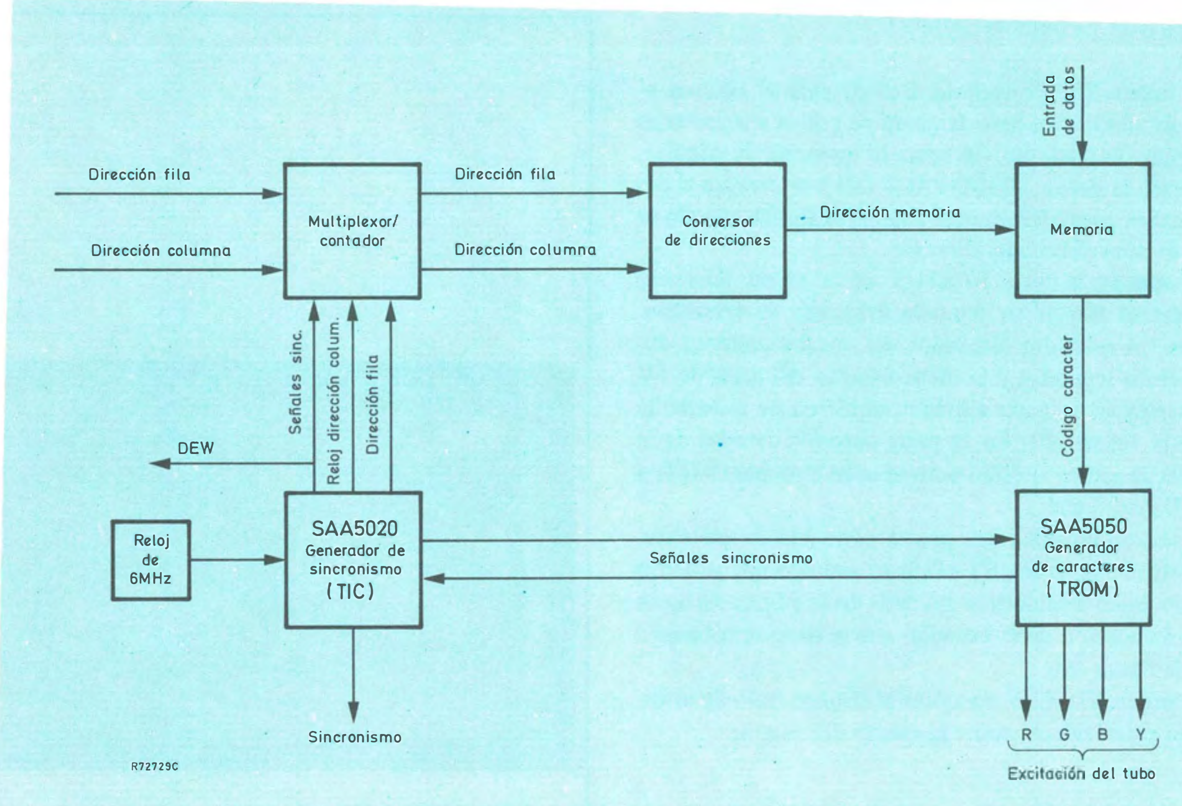


Figura 29. Diagrama de bloques de un circuito lógico de visualización VDU pasivo.

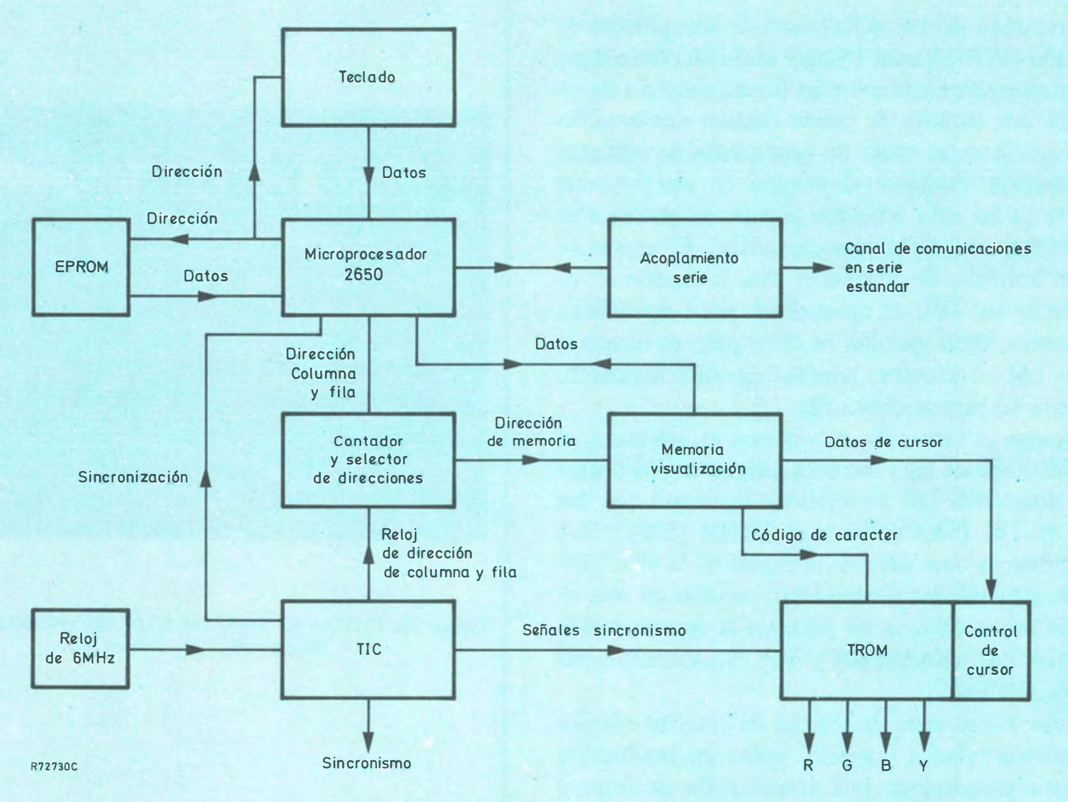


Figura 30. Diagrama de bloques de un circuito de visualización y control VDU inteligente.

Lógica de visualización de una VDU pasiva

A continuación se describen las principales características del empleo de dos circuitos integrados de teletexto para proporcionar la lógica de visualización de una VDU pasiva con la ayuda de la figura 29, que es un sencillo diagrama de bloques del circuito lógico.

El generador de sincronismo TIC controla las funciones importantes del sistema a partir de una entrada de reloj de 6 MHz. Durante el período de visualización proporciona señales de lectura de memoria para las direcciones de columna y para las direcciones de fila de 5 bits. El circuito integrado TIC también genera una ventana de entrada de datos DEW (Data Entry Window) para el equipo de control externo que define el tiempo durante el cual se entran datos en la memoria de página.

Las direcciones de lectura de memoria y las instrucciones de direccionamiento (generadas externamente) pasan al convertidor de dirección a través del multiplexor/contador. El convertidor de dirección convierte los 5 bits de la dirección de fila y los 6 bits de la dirección de columna en una dirección de memoria de 10 bits.

La memoria almacena los códigos de teletexto de 7 bits para el visualizador y los caracteres de control, y proporciona un código de carácter de 7 bits al generador de caracteres TROM. El circuito TROM da lugar a las señales de excitación de vídeo necesarias para la visualización, en respuesta a las señales de temporización procedentes del circuito TIC y a los datos de caracter procedentes de la memoria. También se dispone de una señal de sincronización generada internamente procedente del circuito integrado TIC.

VDU inteligente basada en microprocesador

Recientemente también se ha diseñado un sistema lógico de visualización y de control para unidades VDU inteligentes basadas en el empleo de microprocesadores. La figura 30 muestra un esquema de bloques de este sistema.

Este sistema consta de una VDU inteligente con teclado alfanumérico completo, un acoplador normalizado ASCII entre el ordenador y el teletipo y controles de visualización de gran alcance; este sistema ofrece un amplio margen de posibilidades de visualización.

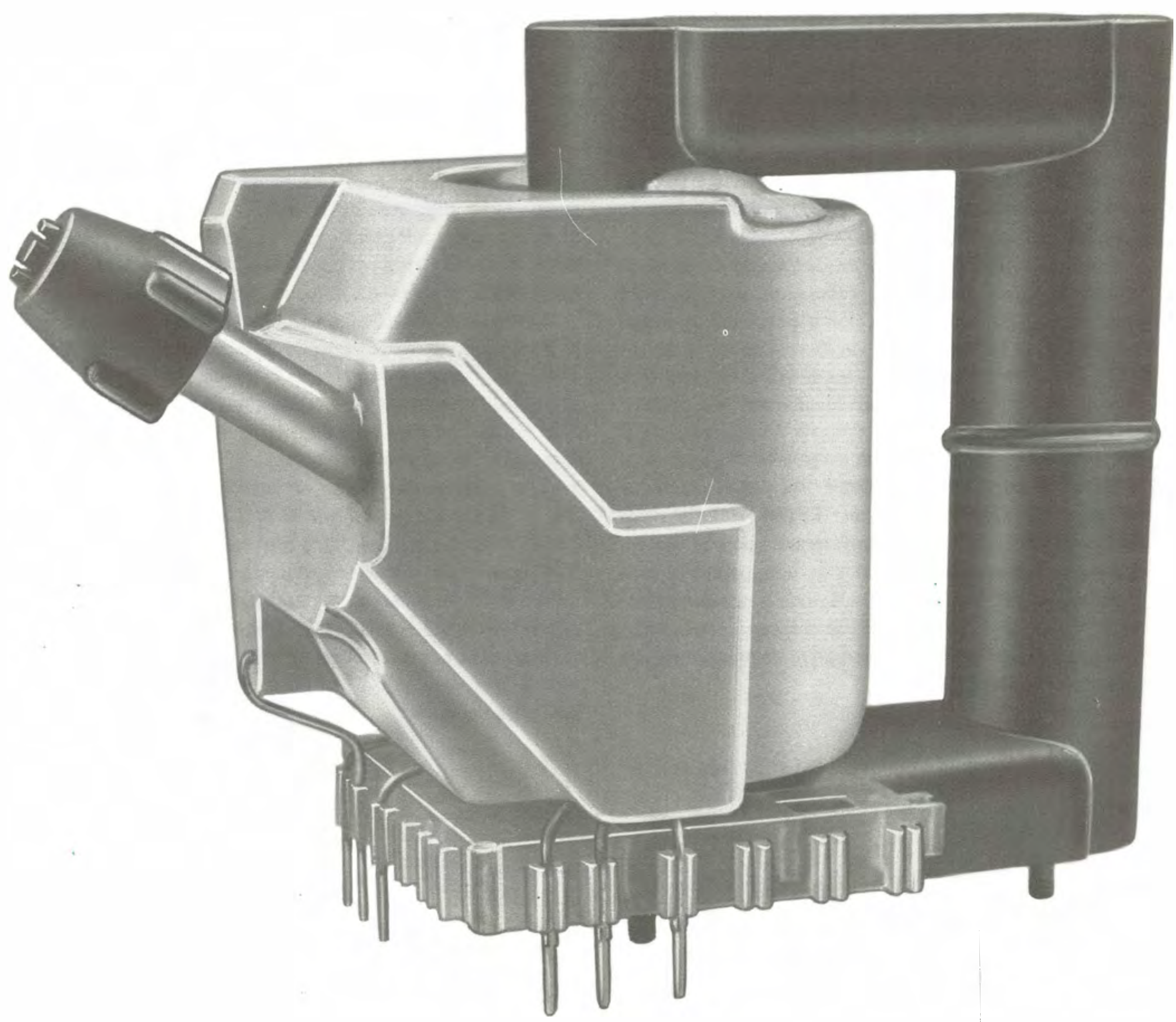
Esta VDU está basada en un microprocesador 2650A, un acoplador programable de comunicaciones 2651, una memoria de programa EPROM 2708, y dos circuitos integrados de teletexto (TIC SAA5020 y TROM SAA5050). El hardware puede dividirse en dos secciones principales: proceso de datos y lógica de visualización.

La lógica de visualización de esta VDU es muy similar a la lógica de la VDU pasiva anteriormente descrita. Sin embargo, existe una apreciable diferencia debida a la inclusión de una entrada de validación de alta impedancia HIE (High Impedance Enable) en la versión del circuito integrado TIC en producción.

Los datos se introducen en la memoria del visualizador VDU inteligente durante el período de retroceso de línea, mientras que los datos normalmente entran en la VDU pasiva durante el período de retroceso de campo (empleando la señal de ventana de entrada de datos) (DEW). La entrada HIE permite el acceso a las líneas de dirección sin necesitar el empleo de un registro intermedio de tres estados o de multiplexores entre el circuito TIC y las memorias. ■

TRANSFORMADOR DE M.A.T.

TIPO «DIODE-SPLIT» (DIODO DIVIDIDO)



El nuevo transformador de M.A.T. tipo "diode-split" (diodo dividido) ofrece la más económica y más fiable generación de M.A.T. para receptores de TV. Los diodos rectificadores están incorporados al transformador y la capacidad necesaria para el multiplicador de tensión se obtiene por medio de una técnica de bobinado especial que produce la capacidad distribuida necesaria, evitando el empleo de condensadores exteriores. Proporciona la amplitud de exploración que requieren los tubos de imagen de color hasta 66 cm (26 pulgadas) con un diámetro de cuello de 36,5 mm. La máxima tensión de M.A.T. es de 25 kV y la corriente de 1,5 mA; la tensión de alimentación es de 150 V (para sistemas transistorizados) con un consumo de 780 mA para máxima corriente de salida. Dispone de numerosos devanados auxiliares.

Tipos comercializados:

AT 2076/30: transformador de salida de línea.
AT 2076/70: transformador para fuente alimentación SPP.

TDA1011: un amplificador de audio versátil

Existe un amplio mercado para amplificadores de audio con salida de potencia entre 2 W y 6 W para ser utilizados en equipos domésticos alimentados por baterías o a partir de la red. Para esta clase de equipos, las consideraciones de espacio y economía dictan el uso de circuitos de audio integrados, en los que es fácil disipar el calor y que requieren pocos componentes periféricos.

En este artículo se describe un amplificador de estas características, el TDA1011, y algunas de sus múltiples aplicaciones.



Figura 1. Amplificador de audio alimentado por la red que utiliza el circuito integrado TDA1011.

El TDA1011 es un preamplificador de audio y un amplificador de potencia quasicomplementario en clase B. Este circuito está diseñado para ser utilizado en radios portátiles y en grabadoras a cassette, con potencias de salida de hasta 6 W. El amplio margen de tensiones de alimentación de 3,6 V a 24 V permite que el TDA1011 sea adecuado para utilizarlo tanto en un equipo alimentado por baterías como por la red. Por ejemplo, si se utiliza un altavoz de 4 Ω con una alimentación de 6 V se obtiene 1 W, con una alimentación de 9 V se obtienen 2 W y con una alimentación de 16 V se obtienen 6 W. Solamente se necesita un radiador cuando el circuito funciona a temperaturas ambiente superiores a 45°C y si las potencias de salida son superiores a 2,78 W (V_S mayor que 10,5 V). Otras características sobresalientes del TDA1011 son:

- La salida del preamplificador y la entrada al amplificador de potencia se conectan a diferentes patillas. Por consiguiente, la compensación de frecuencia y el

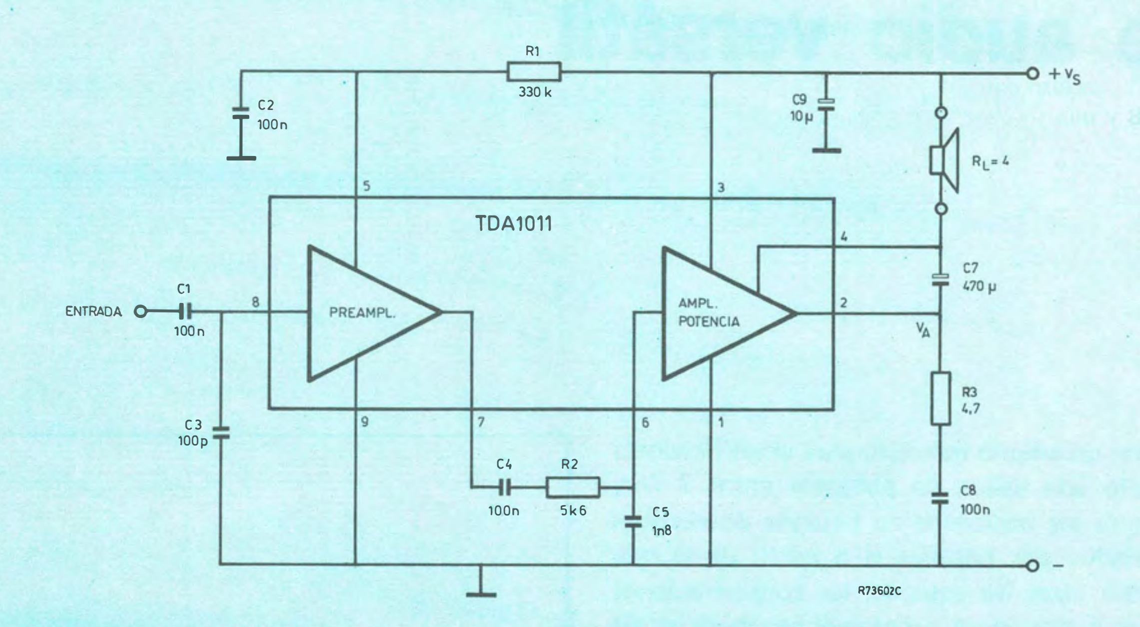


Figura 2. Circuito básico para aplicaciones del TDA1011 en equipos alimentados por baterías.

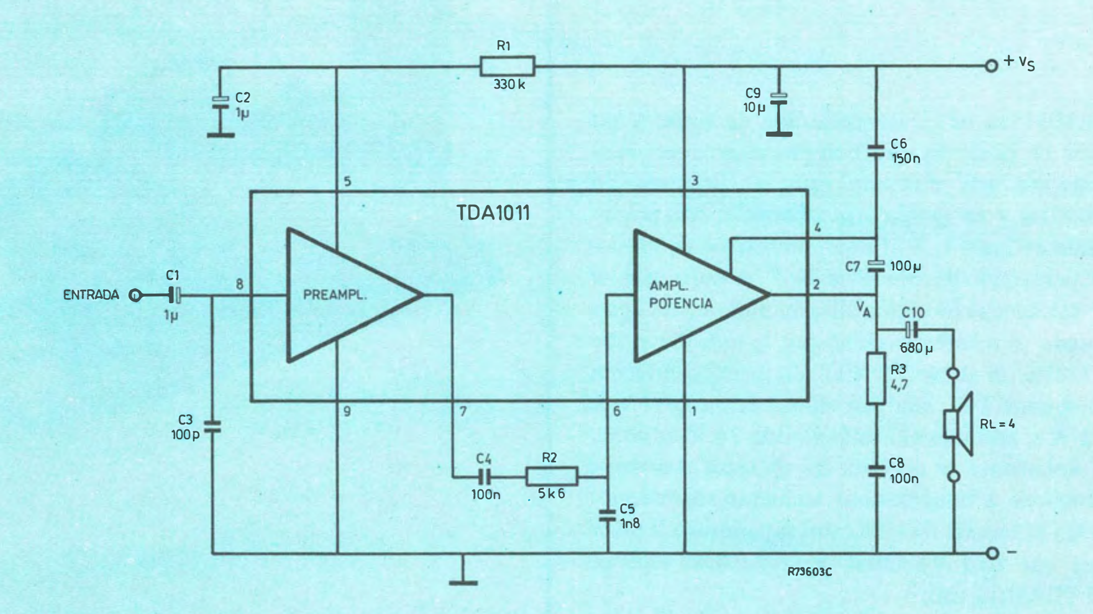


Figura 3. Circuito básico para aplicaciones del TDA1011 en equipos alimentados por la red.

ajuste de la ganancia pueden efectuarse entre los dos circuitos, de forma que no tengan influencia en la estabilidad del circuito.

- Un sistema interno en el preamplificador hace que el circuito sea inmune a los cortocircuitos de salida de c.a., incluso con sobre-excitaciones de entrada de 10 dB y una tensión de alimentación de hasta 14 V.
- Corriente de reposo de sólo 12 mA con una tensión de alimentación de 9 V.
- Elevada impedancia de entrada (típicamente 200 kΩ).
- Elevada ganancia de tensión (típicamente 52 dB en total).
- Baja radiación de R.F. (7 μV a 500 kHz, $R_S = 0\ \Omega$) que suaviza las restricciones de colocación de la antena de ferrita en las radios.

Encapsulado

Al igual que todos los circuitos integrados de potencia, el TDA1011 requiere un disipador de calor cuando funciona con elevados niveles de salida o con una temperatura ambiente elevada. Por tanto, se ha encapsulado este circuito integrado en una cápsula de poco coste que es fácil de introducir en placas de circuito impreso y que pueden montarse fácilmente sobre un disipador de calor.

Desgraciadamente, el encapsulado convencional DIL de circuitos integrados de potencia es costoso y difícil de montar. Asimismo, ocupa una superficie relativamente grande de la placa de circuito impreso, es difícil de conectar a un disipador de calor y, en algunos casos, conduce el calor sobre la placa de circuito impreso.

Por estas razones, se ha encapsulado este amplificador de 2 W a 6 W, tipo TDA1011, en un encapsulado de plástico (SIL) con una sola línea de patillas. Las principales ventajas de este tipo de construcción son:

- La única fila de patillas de conexión simplifica la inserción, permite colocar el circuito en cualquier sitio de la placa de circuito impreso, incluso cerca del borde, y facilita el recorrido directo de las pistas de cobre.
- Resulta fácil y barato fijarlo a un radiador de calor.
- Cuando se utiliza el circuito sin radiador de calor, la resistencia térmica entre el cristal y el ambiente es de 60°C/W. Este valor puede reducirse para aplicaciones de mayor potencia extendiendo la superficie de la aleta refrigerante con un disipador de calor (R_{th} entre cristal y aleta refrigeradora = 12°C/W). La aleta refrigeradora se conecta internamente al substrato del circuito de forma que generalmente no se necesita aislamiento entre la aleta refrigeradora y el radiador.

Aplicaciones

El TDA1011 en equipos alimentados por baterías

En la figura 2 se da el circuito básico del TDA1011 conectado como amplificador de audio para funcionar con baterías de 6 V ó 9 V. Las características de funcionamiento del circuito se dan en la tabla 1. Las cifras se aplican para una frecuencia de entrada de 1 kHz y se dan tanto para las tensiones nominales de la batería como para las tensiones de dicha batería al agotarse. (Se considera que una pila de 1,5 V está agotada cuando su tensión baja a 0,75 V durante el funcionamiento. En estas condiciones, la tensión media de la pila cargada y descargada es de 0,9 V.) En la figura 6 se muestra la placa de circuito impreso asociada. Para este circuito no se necesitan disipadores de calor.

El TDA1011 en equipos alimentados por la red

La figura 3 es el circuito básico del TDA1011 conectado como amplificador de audio alimentado por la red. Las características de funcionamiento del circuito se dan en la tabla 2. Las cifras se aplican para una frecuencia de entrada de 1 kHz. La placa de circuito impreso asociada se muestra en la figura 7.

El TDA1011 con el TDA5700 en una radio AM/FM portátil

La figura 4 es el circuito de una radio portátil de onda larga/media/FM que utiliza el TDA1011 junto con el circuito de radio integrado tipo TDA5700. El circuito del TDA1011 es semejante al que se muestra en la figura 5. El valor de los componentes R_{21}, C_{32} y C_{33} ha sido ajustado de forma que se consiga la sensibilidad de 3,6 mV y que la radiación a la antena de ferrita sea mínima, restringiendo la respuesta de frecuencia. Las características de funcionamiento de AM, FM y audio para esta radio se dan en las tablas 3, 4 y 5.

Reproducción estéreo con dos TDA1011 en equipos portátiles

En un equipo estéreo portátil con altavoces externos o altavoces internos apropiadamente separados, es totalmente posible reproducir una buena imagen estéreo.

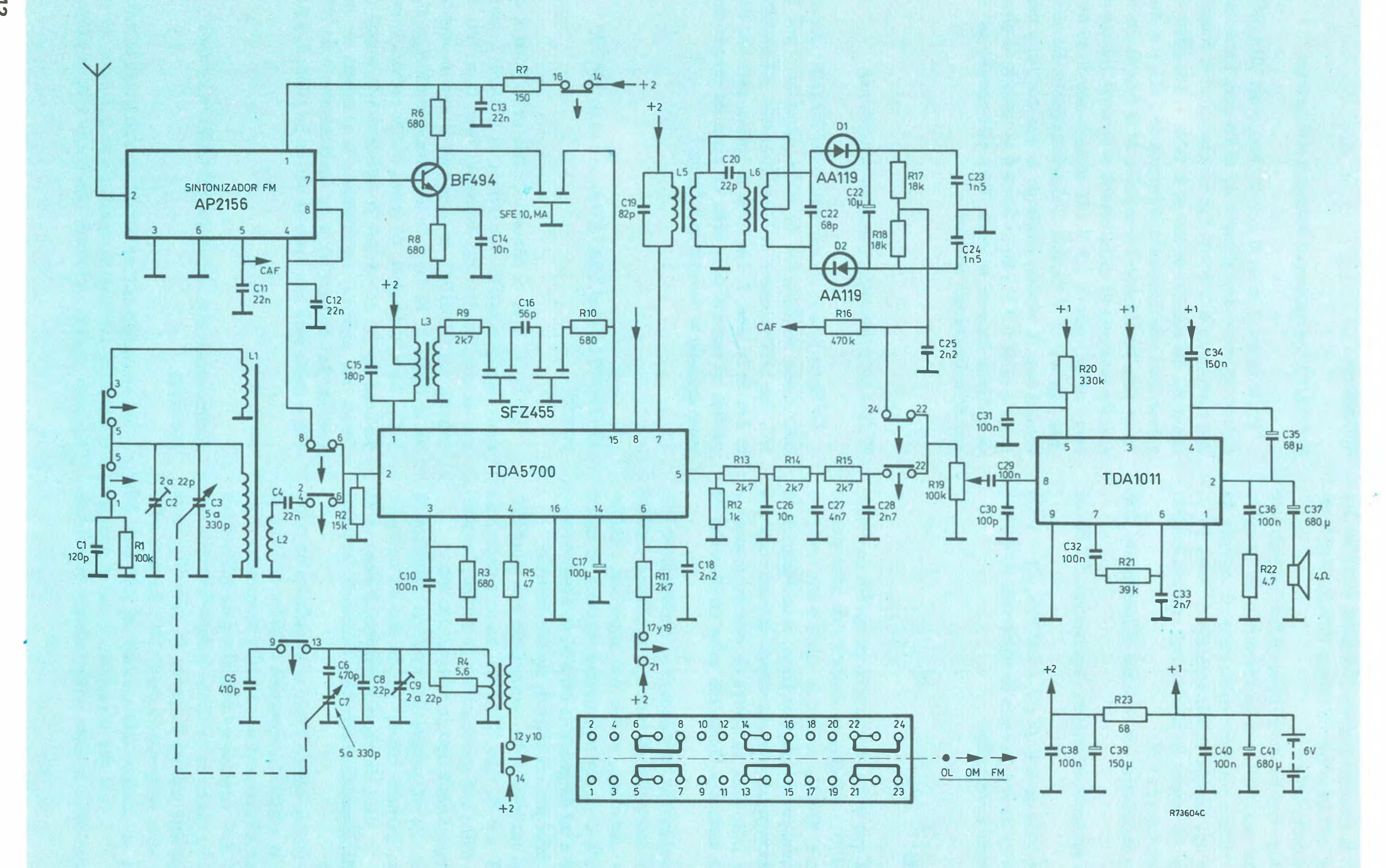


Figura 4. Circuito de una radio AM/FM portátil que utiliza el TDA5700 y el TDA1011.

Sin embargo, en algunas radios y radio grabadoras, los altavoces incorporados están demasiado juntos para producir el efecto estéreo. En estos casos, para mejorar la imagen estéreo, es necesario aplicar la diafonía en antifase entre los canales estéreo. La figura 5 muestra la forma de conseguir esto utilizando dos circuitos TDA1011 junto con dos transistores discretos tipo BC549 como inversores de fase. Aunque se aplica una cantidad fija de diafonía en antifase a través de R_2, el ancho aparente de la imagen estéreo puede ajustarse variando R_1 para alterar la cantidad de diafonía en fase.

Notas para el diseño de la placa de circuito impreso

Cuando se diseña una placa de circuito impreso para el TDA1011, se aplican las siguientes reglas generales de diseño.

- Colocar el condensador de 10 μF de desacoplo de la alimentación lo más cerca posible de las patillas 1 y 3.
- Evitar bucles a tierra que podrían ser la causa de la circulación de la corriente de salida a través de la patilla 1, lo que induciría corriente en el conductor conectado a la patilla 9.
- Colocar el resistor y el condensador del filtro Boucherot lo más cerca posible de las patillas 1 y 2.
- Hacer un punto común de conexión para la patilla 1 del TDA1011, la conexión negativa de alimentación, el terminal negativo del altavoz y el condensador del filtro Boucherot. Situar este punto de conexión lo más cerca posible de la patilla 1 del TDA1011.

Cuando el TDA1011 se incorpora a una radio, se aplican las siguientes reglas adicionales de diseño:

- Colocar los hilos y pistas de cobre del altavoz y de la alimentación lo más separados que sea posible de la antena de ferrita (especialmente de la bobina de onda larga de la antena).
- Trenzar juntos los terminales del altavoz.

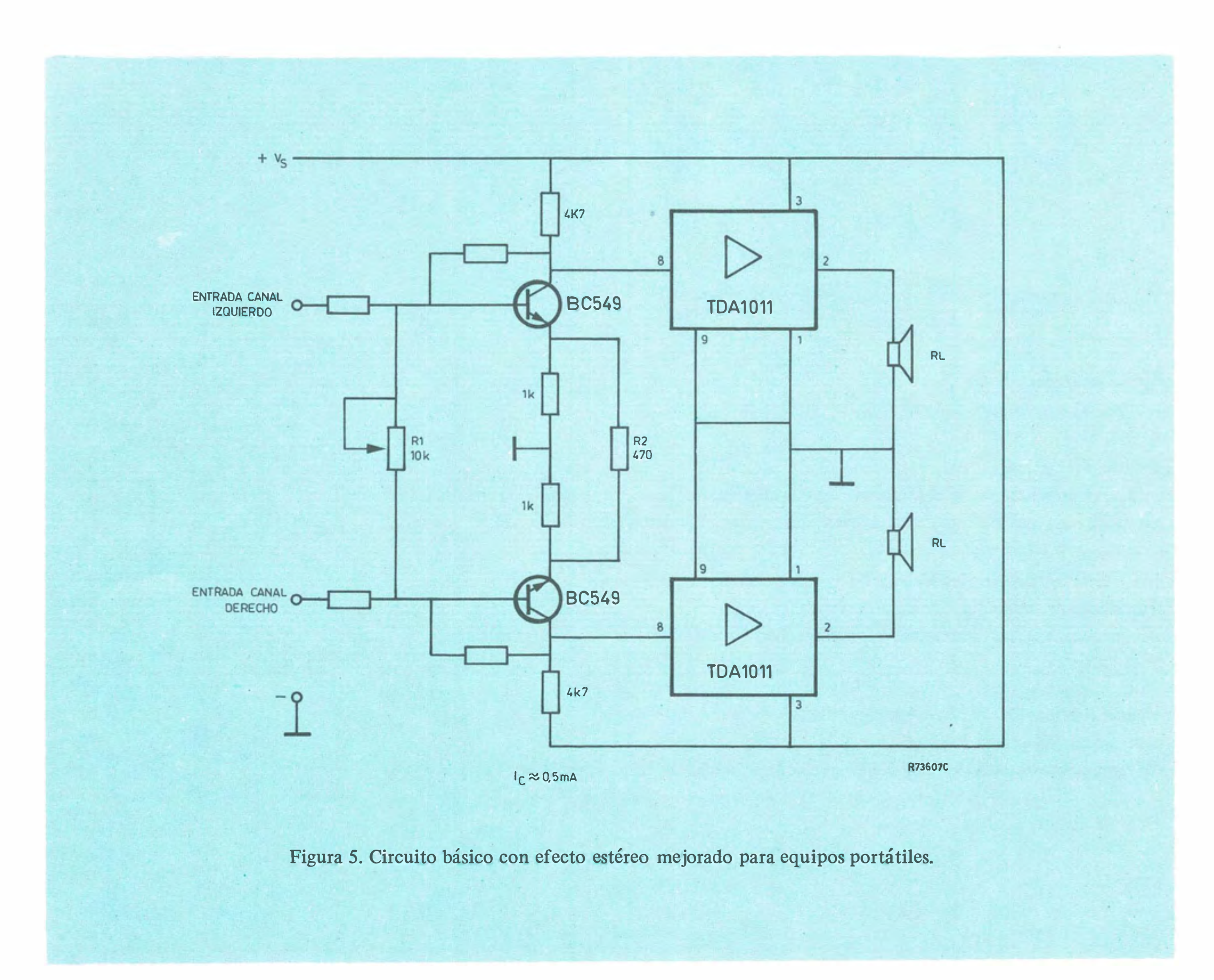


Figura 5. Circuito básico con efecto estéreo mejorado para equipos portátiles.

Tabla 1. *Características de los circuitos alimentados por batería*

					unidad
tensión de batería:	6	3,6*	9	5,4*	V
potencia máxima desarrollada en $R_L = 4\ \Omega$ ($d = 10\%$):	0,9	0,22	2,2	0,75	W
distorsión a $P_0 = 0{,}5\ P_{0\ máx}$:	0,32	0,45	0,35	0,5	%
corriente de reposo:	10	7,5	12	9,5	mA
sensibilidad de entrada para $P_0 = 50$ mW:			1,5		mV
sensibilidad de entrada para $P_{0\ máx}$:	7,4	3,6	11,3	6,5	mV
impedancia de entrada			200		kΩ
relación señal/ruido ponderada de la escala A $P_0 = 50$ mW, $R_S = 0\ \Omega$:			68		dB
respuesta a la frecuencia de −3 dB (ref. 0,5 $P_{0\ máx}$ a 1 kHz):			100-16000		Hz

*Se considera que una pila de 1,5 V está agotada cuando su tensión baja a 0,85 V durante el funcionamiento. En estas condiciones, la tensión media de la pila cargada y descargada es 0,9 V.

Tabla 2. *Características de los circuitos alimentados por la red*

				unidad
tensión de alimentación	12		16	V
potencia máxima desarrollada en R_L ($d = 10\%$):	3,8		6,2	W
distorsión a $P_0 = 1$ W:	0,4		0,35	%
corriente de reposo:	13,5		16	mA
tensión de alimentación en el punto medio en la patilla 2:	6		8,1	V
disipación máxima en el caso peor con excitación por onda senoidal:	2,3		4	W
ganancia total de tensión		50		dB
sensibilidad de entrada para $P_0 = 1$ W:		6,5		mV
impedancia de entrada:		200		kΩ
relación señal/ruido ponderada en la escala A para $P_0 = 50$ mW;				
$R_S = 0\ \Omega$:		68		dB
$R_S = 8{,}2\ \text{k}\Omega$:		60		dB
rechazo de la ondulación de la tensión de alimentación a 100 Hz:		37		dB
respuesta de frecuencia de −3 dB (ref. 1 W a 1 kHz):		90-16000		Hz
área mínima de un radiador de calor de chapa de aluminio brillante de 1,5 mm ($T_{amb} = 45°C$)	10		36	cm²

Tabla 3. *Características de la sección de A.M.*

medidas tomadas con $V_8 = 5{,}4$ V y $T_{amb} = 25°C$				
tensión de entrada de R.F., m = 0,3 en la patilla 2				
para relación señal-ruido V_0 de 26 dB	V_i	tip.	18	μV
para $V_0 = 10$ mV	V_i	tip.	3,5	μV
manejo señal R.F., $m = 0{,}8$ para $d_{tot} = 10\%$			300	mV

Tabla 4. *Características de la sección de FM.*

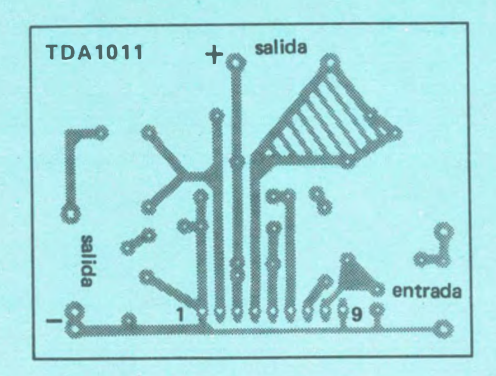
medidas tomadas con $V_8 = 5{,}4$ V, $T_{amb} = 25°C$				
sensibilidad para una señal de FM de 3 dB antes de limitar una entrada de antena de 75 Ω: (notas 1, 3)	V_i	tip.	4	μV
sensibilidad para la relación de señal a ruido de 26 dB en una entrada de antena de 75 Ω: (notas 1, 3)	V_i	tip.	3	μV
tensión de salida de audiofrecuencia a través de un control de volumen de 100 kΩ para una señal de F.I. más allá del límite	V_o	tip	140	mV
relación de señal a ruido por encima de la mayor parte de la banda de señales		tip.	65	dB
supresión de AM por encima de la mayor parte de la banda (nota 2).		tip	60	dB

Notas:

1. Señal en antena (V_i) con $f_0 = 98$ MHz, $R_S = 75$ $\Delta f = \pm\, 22{,}5$ kHz, $f_{mod} = 1$ kHz.
2. Para una señal de AM, $m = 0{,}3$, $f_{mod} = 1$ kHz; señal de FM, $f_0 = 10{,}7$ MHz, $\Delta f = \pm\, 75$ kHz, $f_{mod} = 70$ Hz. Portadora simultáneamente modulada en AM y FM.
3. Especificaciones del sintonizador de FM: ganancia total 20 dB; ancho total de banda 225 kHz; factor de ruido 5,5 dB; F.I. 10,7 MHz.

Tabla 5. *Características de la sección de audio*

medidas tomadas con $V_5 = 6$ V y $T_{amb} = 25°C$				
sensibilidad para $P_0 = 50$ mW	V_i	tip.	3,6	mV
potencia máxima de salida a $d_{tot} = 10\%$	P_0	máx	0,9	W
distorsión sobre la mayor parte de la zona de c.a.g.	d_{tot}		< 0,5	%
respuesta de frecuencia de –3 dB				
(ref. 0,5 P_0 máx para 1 kHz)	70-5000			Hz



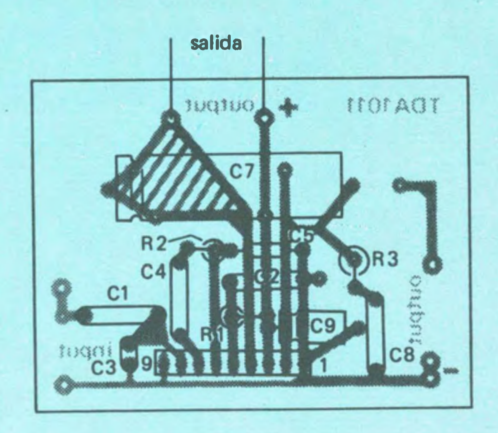
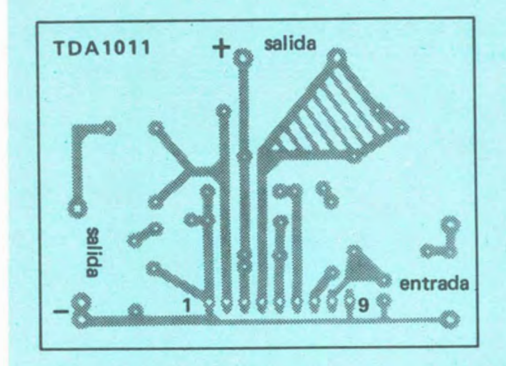


Figura 6. Placa de circuito impreso del circuito de la figura 2. (a) Lado del cobre; (b) lado de los componentes.



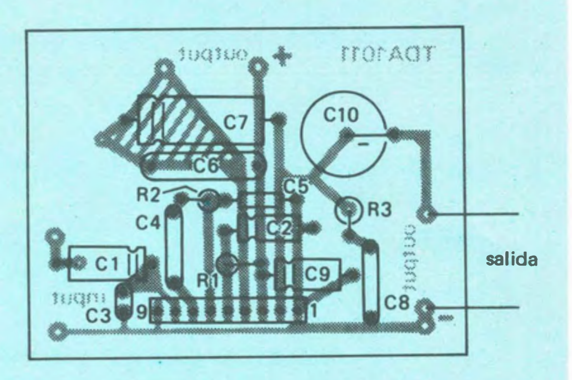


Figura 7. Placa de circuito impreso para el circuito de la figura 3. (a) Lado del cobre; (b) lado de los componentes.

Sensores capacitivos de humedad para aplicaciones de consumo

Los sensores de humedad que se utilizan por ejemplo en higrómetros y en sistemas automáticos de control de la humedad, cumplen dos requisitos principales: tienen un comportamiento predecible y una buena estabilidad a largo plazo. Además, estos sensores deben ser de construcción robusta para que su funcionamiento sea fiable bajo condiciones adversas, así como para que su funcionamiento y mantenimiento sean fáciles.

En este artículo se describe un sensor capacitivo de humedad que cumple estos requisitos y los combina con un precio muy bajo.

Este nuevo sensor capacitivo de humedad ha sido diseñado para medir la humedad relativa H_{rel} y consiste en una cápsula de plástico perforada (figura 1) que contiene una membrana tensada de material no conductor recubierta de oro por ambas caras; la membrana y su recubrimiento forman respectivamente el dieléctrico y los electrodos de un condensador plano.

Las variaciones de la humedad relativa producen variaciones en la capacidad del sensor C_S. Estas son a su vez convertidas, por medio de circuitos adecuados, en una tensión continua que puede ser utilizada para dar una indicación directa de la humedad relativa, o puede servir como señal de mando de un sistema automático de control de la humedad. Así, el sensor evita los problemas de lectura asociados con dispositivos mecánicos ya que se basa únicamente en la variación de un parámetro eléctrico (p.e. la capacidad) y puede ser por lo tanto incorporado directamente a un circuito electrónico de medida.

Ha sido diseñado para un margen de H_{rel} entre el 10% y el 90%, y tiene la ventaja de que sus característi-

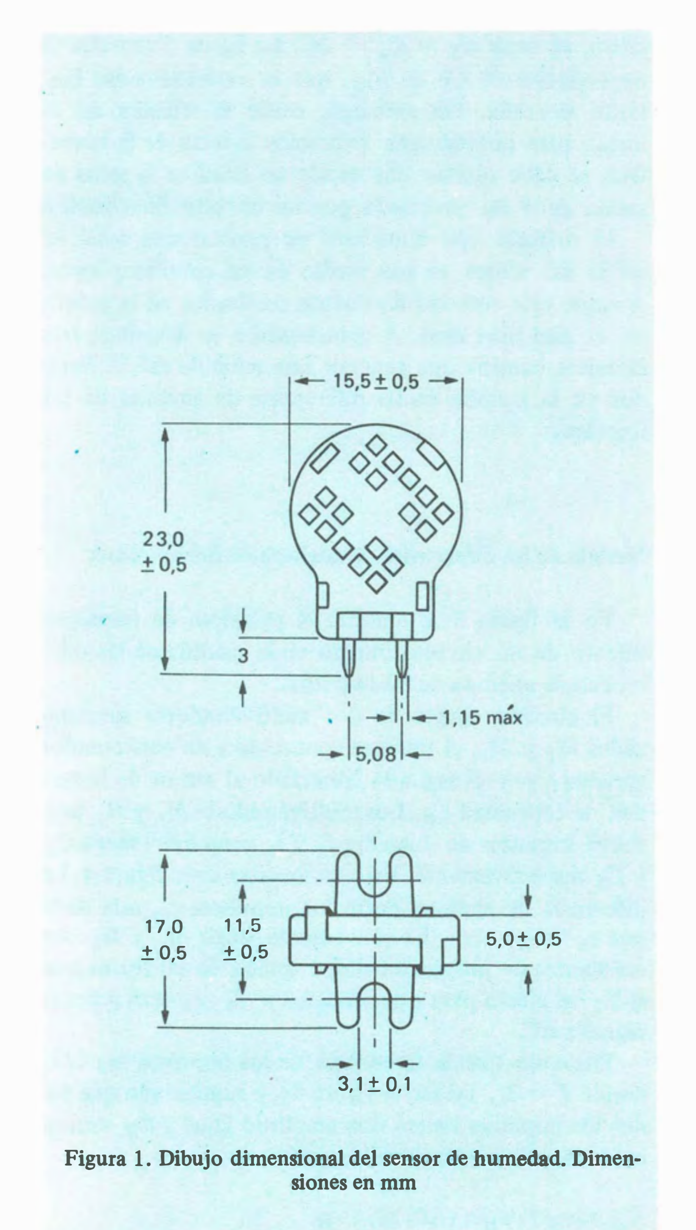


Figura 1. Dibujo dimensional del sensor de humedad. Dimensiones en mm

cas a largo plazo no son afectadas por la condensación de agua en la superficie de la membrana. La presencia en el aire de contaminantes agresivos tiene poca influencia en el funcionamiento, pero es importante hace notar que la membrana no debe ser expuesta a vapores de algunos disolventes tales como la acetona.

Este sensor no debe utilizarse en aplicaciones que exijan un elevado grado de precisión como por ejemplo en trabajos científicos. No obstante, como se verá más adelante, su precisión está cerca de tales aplicaciones, ya que presenta (puesto en circuito) una tolerancia del 5% en el centro del margen y en las peores condiciones. Sin embargo, en condiciones normales de temperatura ambiente y con tensión de alimentación nominal, el error es bastante inferior.

La capacidad C_S comprende una parte constante C_0 y una parte variable ΔC que depende de la humedad relativa, es decir $C_S = C_0 + \Delta C$. La figura 2 muestra la dependencia de C_S de H_{rel}, que es evidentemente bastante marcada. Sin embargo, como la relación no es lineal, para obtener una indicación directa de la humedad, se debe utilizar una escala no lineal o la señal de salida debe ser procesada por un circuito linealizador.

El método más inmediato de generar una señal de salida del sensor es por medio de un circuito puente. Aunque este método da buenos resultados en la práctica, es más bien caro. A continuación se describen tres circuitos baratos que generan una señal de salida, basados en la medida de las diferencias de anchura de los impulsos.

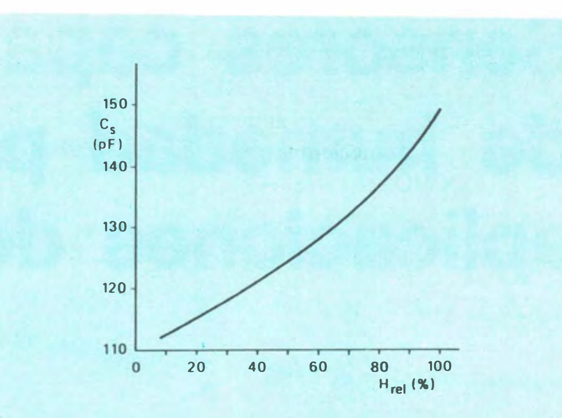


Figura 2. Relación entre la humedad relativa H_{rel} y la capacidad del sensor.

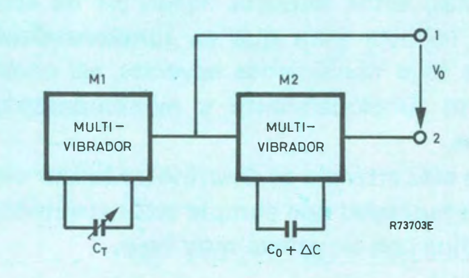


Figura 3. Principio del circuito utilizado para medir las diferencias de anchura de los impulsos.

Medida de las diferencias de anchura de los impulsos

En la figura 3 se muestra el principio de funcionamiento de un circuito basado en la medida de las diferencias de anchura de los impulsos.

El circuito consta de dos multivibradores sincronizados M_1 y M_2, el primero conectado a un condensador variable C_T y el segundo conectado al sensor de humedad de capacidad C_S. Los multivibradores M_1 y M_2 producen impulsos de duración t_1 y t_2 proporcionales a C_T y C_S respectivamente. Esto se muestra en la figura 4. La diferencia de anchura entre los impulsos, t_3, está dada por $t_3 = t_2 - t_1$. Es conveniente elegir M_1 y M_2 con constantes de proporcionalidad iguales de tal forma que si C_T se ajusta para que sea igual a C_0, t_3 será proporcional a ΔC.

Eligiendo que la frecuencia de los impulsos sea $1/T$, donde $T = 2t_1$ (véase la figura 4), y suponiendo que todos los impulsos tienen una amplitud igual a V_B, entonces la tensión media de salida será:

$$\overline{V}_0 = (t_3/T)V_B = (\Delta C/2C_0)V_B.$$

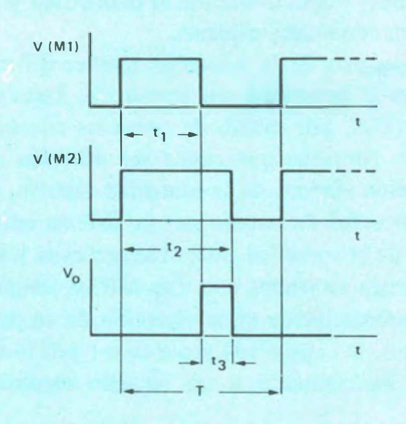


Figura 4. Formación de impulsos en el circuito de la figura 4.

La dependencia de t_3/T de la temperatura y de la tensión es muy pequeña siempre que:

- las características de ambos multivibradores sean idénticas (pertenecientes por ejemplo a un único circuito LOCMOS tipo HEF4001B);
- C_S y C_T tengan iguales coeficientes de temperatura.

La tensión de salida $\overline{V}_0$ está en relación directa con la tensión de alimentación por lo que, para un resultado óptimo esta última debe ser estabilizada.

Circuitos prácticos

La figura 5 muestra un diseño compuesto por dos circuitos integrados LOCMOS HEF4001B. Este circuito está alimentado con baterías con una tensión de 4,5 V y consume una corriente de 0,1 mA aproximadamente. Cada uno de los multivibradores M_1 y M_2 está formado por un par de puertas NOR del primer circuito LOCMOS. Los impulsos producidos por M_1 y M_2 atacan al segundo circuito LOCMOS que produce una tensión de salida proporcional a la diferencia de anchura de los impulsos; las cuatro puertas NOR de este circuito están conectadas en paralelo para conseguir una impedancia de salida comparativamente baja. De esta forma es posible conectar a la salida un aparato de medida de 50 μA, 1 kΩ a través de un potenciómetro de 22 kΩ.

La tabla 1 da la relación entre H_{rel} y la desviación de la aguja que no es lineal debido a la no linealidad de la relación entre la humedad y la capacidad. Sin embargo, esto se puede corregir con un circuito adecuado (ver más adelante) que permite la utilización de una escala lineal.

Un valor bajo de la capacidad variable C_4 facilita un ajuste preciso. Sin embargo, si este valor parece ser demasiado bajo, se puede añadir una capacidad adicional (C_6) de 22 pF.

Las oscilaciones parásitas del circuito se suprimen con una red RC (150 Ω, 1 nF). Aumentando la capacidad de la red RC a 1 μF, el circuito puede ser alimentado con 3 V. Sin embargo, téngase en cuenta que con una tensión de alimentación tan baja, la precisión se reducirá considerablemente.

Este circuito relativamente sencillo es barato, su funcionamiento es seguro y su precisión es suficiente para muchas aplicaciones. Si se alimenta con dos o tres pilas tipo pluma, es posible que funcione continuamente alrededor de un año.

La figura 7 muestra un circuito más elaborado que incluye una alimentación estabilizada y un circuito linealizador.

La estabilización de la tensión se consigue con los transistores TR_1, TR_2 y TR_3. El transistor TR_1 actúa como regulador en serie, cuya referencia es proporcionada por la tensión base-emisor de TR_2. La corriente de colector de TR_2 excita a TR_3 que actúa exclusivamente como amplificador. La dependencia de la temperatura de la tensión de referencia es compensada por un termistor NTC de 68 kΩ. Se utiliza un resistor variable de 220 kΩ para ajustar la tensión de alimentación de 4,2 V.

El principio de funcionamiento del circuito linealizador se muestra en la figura 6. Los impulsos de tensión suministrados por el circuito de medida de la figura 7 cargan el condensador C a través del diodo D y del resistor R_1. Al mismo tiempo circula a través del resistor R_2 una corriente de descarga proporcional a la tensión en el condensador y una corriente adicional procedente de la línea de alimentación de 4,2 V a través del resistor R_3. La tensión de salida V_0' es así una función no lineal de $\overline{V}_0$, y mediante una adecuada elección de los valores de C, R_1 y R_2, esta función puede ser perfilada de forma que la relación entre H_{rel} y V_0' se haga prácticamente lineal.

La figura 8 muestra una placa de circuito impreso de una versión diseñada para ser utilizada con un instrumento de medida (50 μA, 1 kΩ) y la figura 9 muestra una versión montada en una placa de circuito impreso idéntica que entrega una tensión de salida entre 0 y 1 V (para ser utilizado en sistemas de control automático de humedad). Obsérvese que la misma placa de circuito impreso se puede utilizar para el circuito de la figura 5.

La figura 10 muestra como se puede adaptar el circuito de la figura 7 para ser conectado a una fuente de alimentación externa que proporciona una tensión V_B de por lo menos 7 V. El resistor R_8 se debe elegir de forma que $R_8 \approx (V_B - V_{ST})/2$ mA, donde V_{ST} es la tensión necesaria para alimentar el circuito de medida (6,5 V ±5% mantenida por un diodo de referencia compensado en temperatura BZV11).

Tabla 1. *Relación entre H_{rel} y la subdivisión requerida de la escala del aparato de medida.*

Hrel (%)	0	10	20	30	40	50	60	70	80	90	100
desviación (%)	0	6,6	13,22	20,5	29,0	36,8	46,0	56,6	67,6	81,6	100

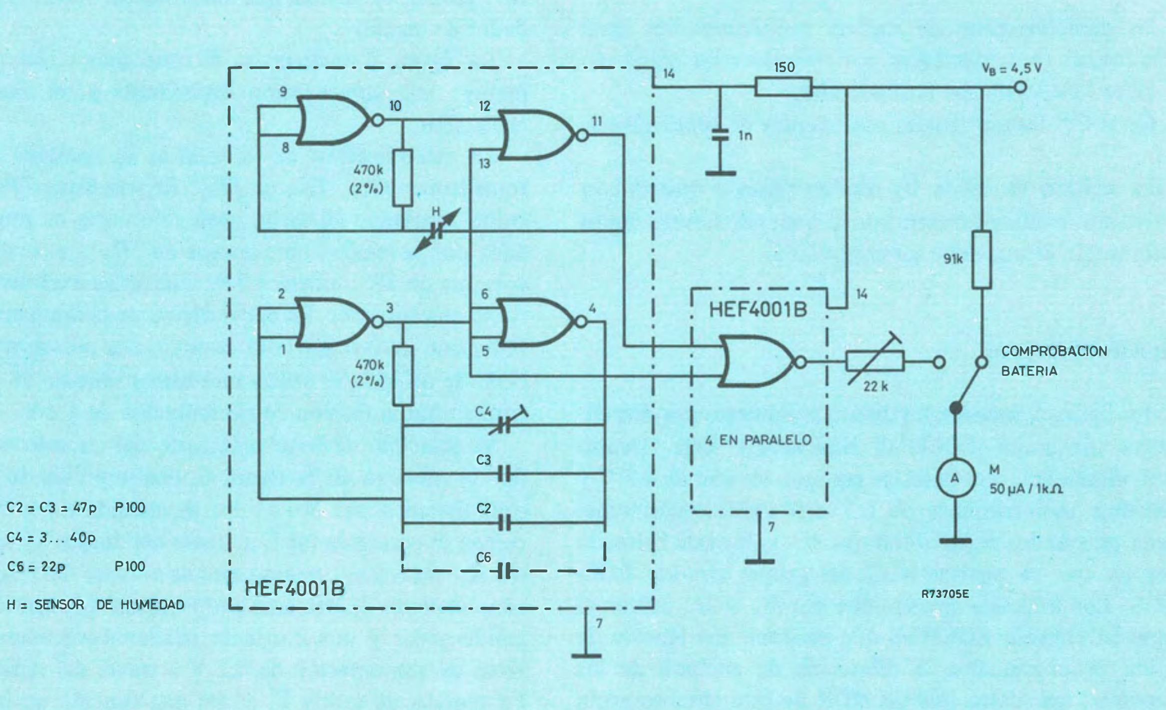


Figura 5. Circuito de medida sencillo sin linealización.

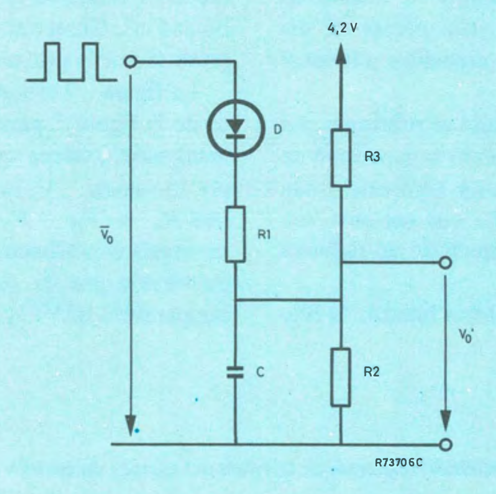


Figura 6. Principio del circuito de linealización.

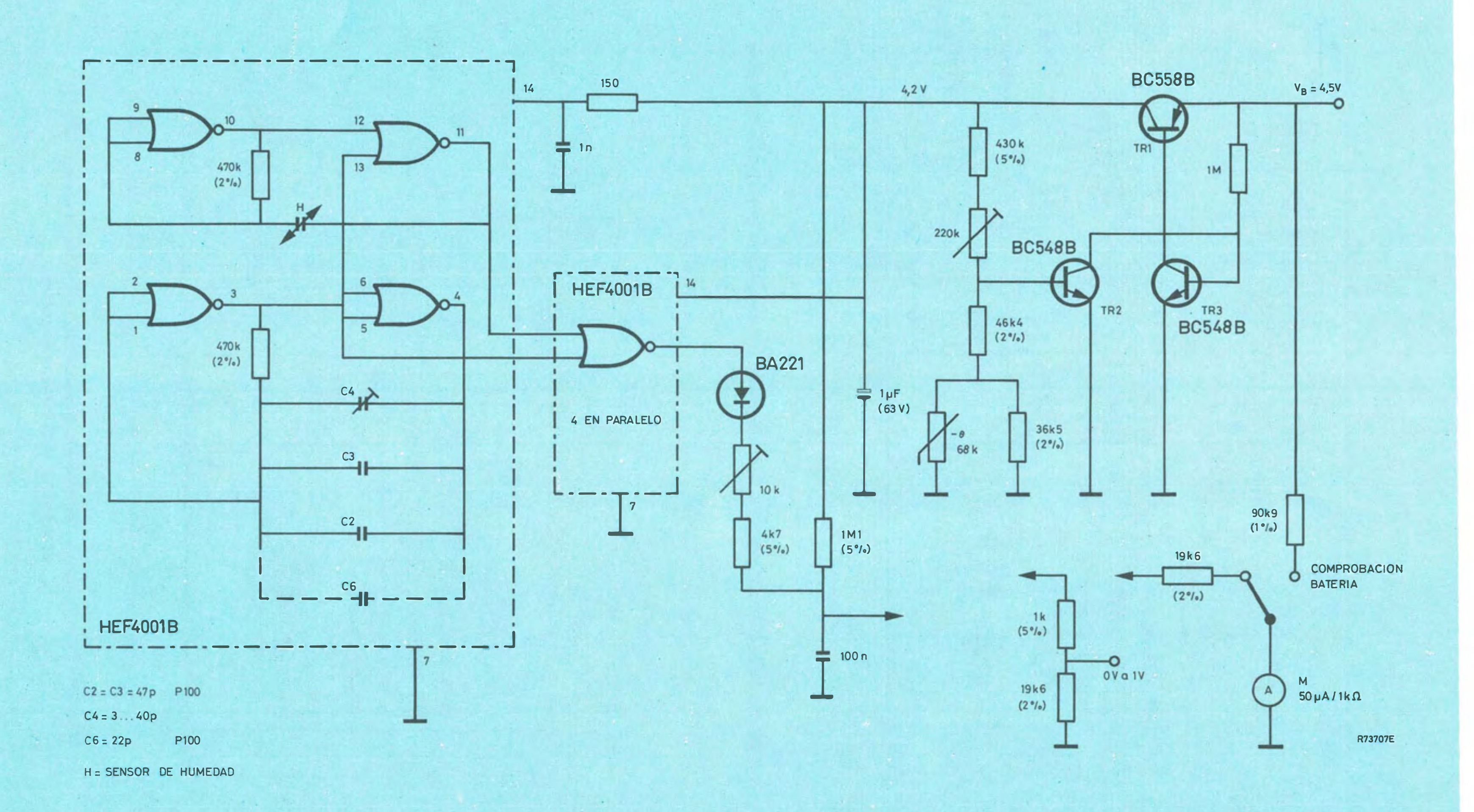


Figura 7. Circuito de medida con linealización y alimentación estabilizada.

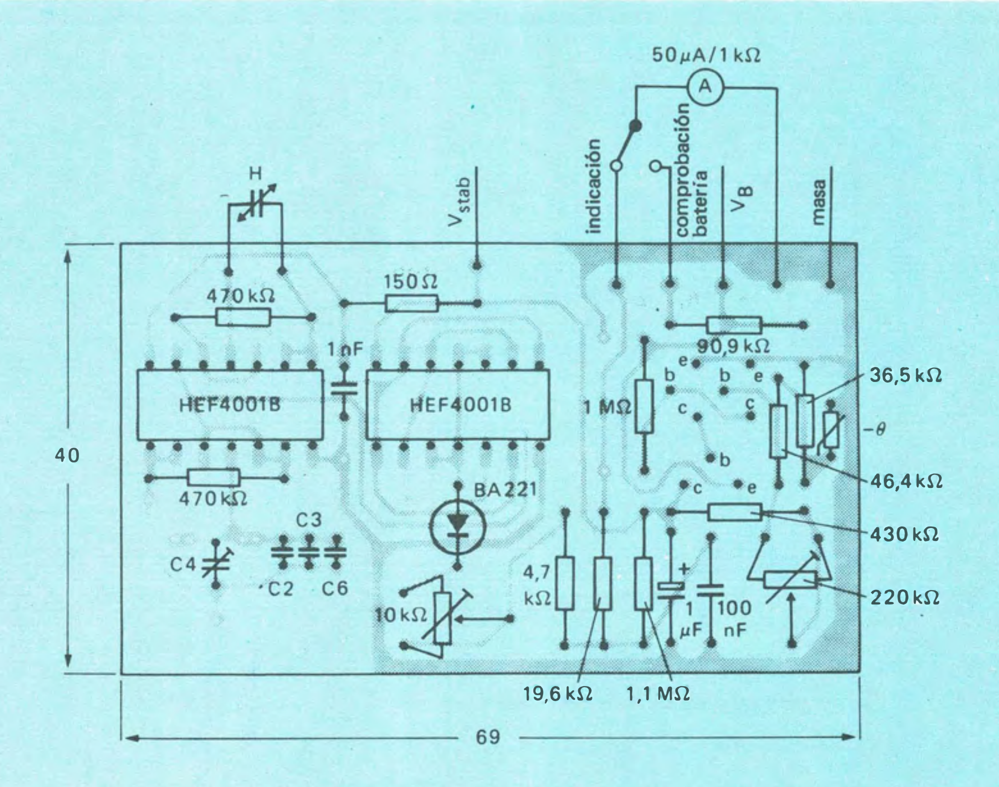


Figura 8. Placa de circuito impreso con componentes para conectar a un aparato de medida.

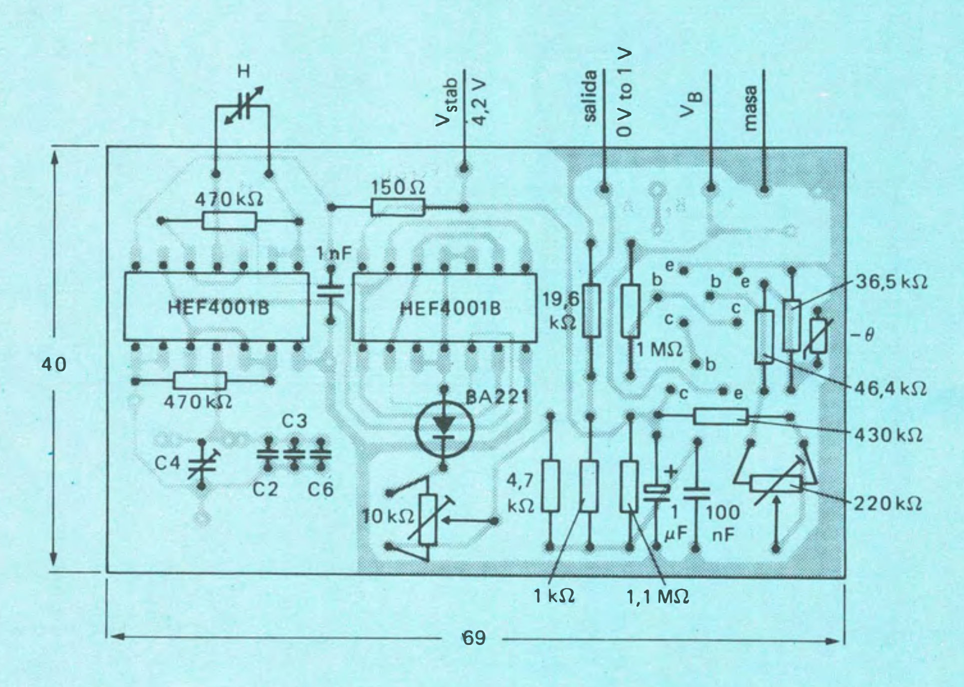


Figura 9. Placa de circuito impreso con componentes que proporciona la tensión de gobierno de un sistema de control.

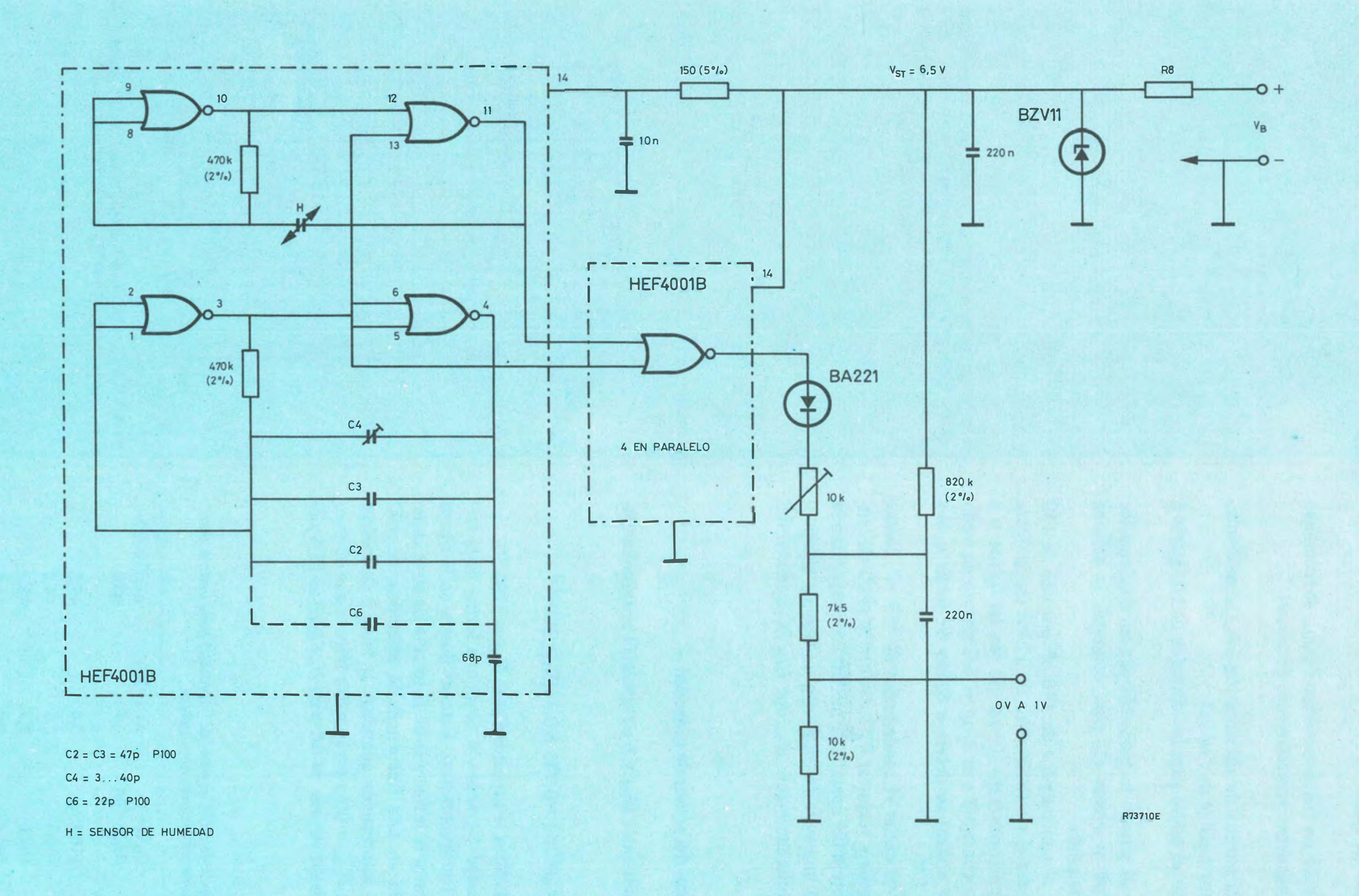


Figura 10. Circuito de medida adecuado para conectarlo a una alimentación estabilizada externa.

Procedimiento de ajuste

Para obtener un funcionamiento óptimo se recomienda seguir el siguiente procedimiento de ajuste:

- Ajustar la tensión de alimentación a 4,2 V mediante del resistor variable de 220 kΩ.
  (Este paso se omite para los circuitos de las figuras 5 y 10.)
- Sustituir el sensor de humedad por un condensador de 118 pF y ajustar C_4 para conseguir la mínima tensión de salida.
- Sustituir el condensador de 118 pF por uno de 159 pF y ajustar el potenciómetro de 22 kΩ (en la figura 5) o el potenciómetro de 10 kΩ (en las figuras 6 y 10) hasta conseguir que la aguja del aparato de medida (si se utiliza) se desvíe a fondo de escala o una salida de 1 V.
- Después de quitar el condensador de 159 pF, conectar el sensor y reajustar C_4 hasta que la salida (la tensión o lectura del aparato de medida) corresponda a la humedad ambiente (medida con un sistema independiente preferentemente con una H_{rel} de alrededor del 50%).

Características del sensor de humedad

La relación entre H_{rel} y C_S (figura 1) es aproximadamente:

$$C_S/C_S(12\%) = 0{,}985 + 0{,}34(H_{rel}/100)^{1,4}$$

donde C_S (12%) es la capacidad para $H_{rel} = 12\%$.

La capacidad C_S depende de alguna forma de la frecuencia de funcionamiento. Esto se ilustra en la figura 11 que muestra la influencia de la frecuencia en la capacidad basada en una frecuencia de referencia de 100 kHz. Como información adicional, la tabla 2 da valores de C_0 (para $H_{rel} = 0\%$) para cuatro frecuencias diferentes. Da también valores de ΔC para H_{rel} igual al 12% y al 100%.

Tabla 2. *Capacidad del sensor de humedad para cuatro frecuencias diferentes (valores nominales).*

frecuencia f (kHz)	C_0 (pF)* (H_{rel} = 0%)	ΔC (12%) (pF)	ΔC (100%) (pF)
1	116,1	3,6	45,5
10	112,7	3,5	44,2
100	109,0	3,3	42,7
1000	104,6	3,3	41,0

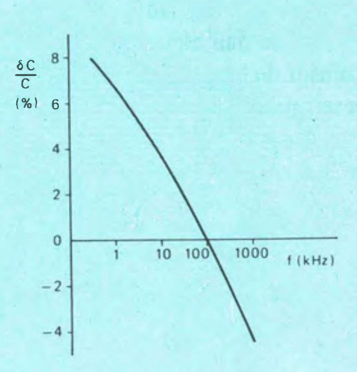


Figura 11. Influencia de la frecuencia en la capacidad del sensor C_S basada en una frecuencia de referencia de 100 kHz. (Obsérvese que esta curva también representa la influencia de la frecuencia en ΔC y C_0.)

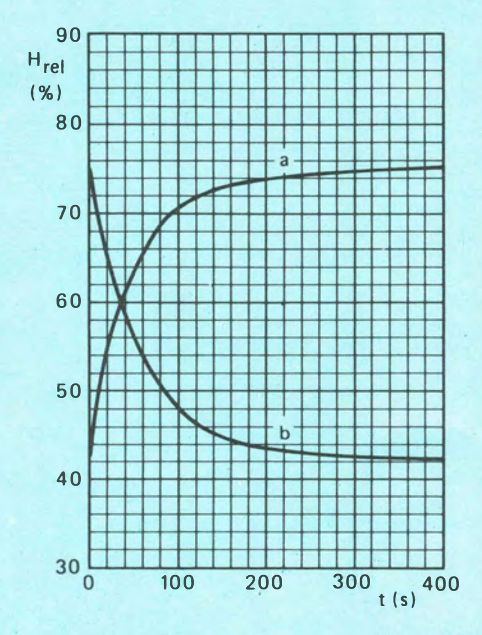


Figura 12. Respuesta del sensor a variaciones rápidas de la humedad (a) de 43 a 75% (b) de 75 a 43%.

La respuesta del sensor se muestra en la figura 12. Se necesita un tiempo de alrededor de 3 minutos para que el sensor proporcione una lectura estable después de un cambio brusco de la humedad.

En la tabla 3 se dan algunos datos adicionales importantes del sensor de humedad.

Obsérvese que si H_{rel} es mayor que el 90%, ligeras variaciones de la temperatura pueden producir condensación de agua en la membrana sensora; esto a su vez produce errores de medida y un aumento considerable del tiempo de respuesta. Obsérvese también que aunque es posible medir valores de H_{rel} inferiores al 10%, la sensibilidad del sensor no está especificada en esta región.

Precisión de la medida

Para proporcionar alguna indicación de la precisión disponible se describen los factores más importantes que contribuyen a los errores de medida.

Efectos de la temperatura

Como todos los componentes utilizados en el circuito son de alguna manera sensibles a la temperatura, las lecturas del sensor estarán afectadas por las fluctuaciones de temperatura.

El sensor en sí tiene un coeficiente de temperatura de 0,1%/K (tabla 3) dando una desviación en la medida del 2,5% para una fluctuación de ±25 K. Sin embargo, ésta se puede compensar en parte por el efecto de los condensadores C_2, C_3 y C_6 (que han sido elegidos por sus elevados coeficientes positivos de temperatura).

En el circuito de la figura 7, una nueva contribución proviene del diodo del circuito linealizador. El coeficiente de temperatura de la tensión pulsante en el cátodo del diodo es $0,5 \times 10^{-3}$/K de forma que una fluctuación de la temperatura de ±25 K da una desviación de ±1,25%.

El efecto total de la temperatura se da en la figura 13 (con o sin linealización), en la que se ha representado el valor absoluto de la desviación ΔH_{rel} en función de H_{rel}.

Efectos de la tensión

Las fluctuaciones de la tensión de alimentación producen cambios en la tensión de salida, siendo este efecto independiente de la anchura relativa de los impulsos (es decir de t_3/T). En el caso de una alimentación no estabilizada, un 10% de tolerancia en la tensión de batería producirá así un posible error del 10% en la señal de salida. La estabilización de la alimentación reduce la fluctuación a un 1% de forma que el error en la señal de salida se reducirá de la misma forma.

Tabla 3. *Características del sensor de humedad.*

capacidad ($T = 25^\circ$C, $H_{rel} = 43\%$, $f = 100$ kHz)	122 pF ± 15%
sensibilidad ($H_{rel} = 43\%$)	(0,4 ± 0,05)pF/%
margen frecuencia funcionamiento	1 kHz a 1 MHz
dependencia de la temperatura (sobre margen frecuencia funcionamiento)	≈ 0,1%/K
margen medida	H_{rel} entre 10% y 90%
margen temperatura funcionamiento	0°C a 60°C
margen humedad almacenamiento	H_{rel} entre 0% y 100%
margen temperatura almacenamiento	−25°C a 80°C
máxima tensión funcionamiento (c.a. ó c.c.)	15 V
pérdida dieléctrico (tan δ) (para $T = 25^\circ$C, $f = 100$ kHz)	$< 35 \times 10^{-3}$
respuesta (valor 90%) dentro del margen: de $H_{rel} = 10\%$ a 43%	< 3 min.
de $H_{rel} = 43\%$ a 90% ($T_{amb} = 25^\circ$C)	< 5 min.
histéresis en un ciclo ($H_{rel} \rightarrow 10\% \rightarrow 90\% \rightarrow 10\%$)	≈ 3% (H_{rel})
condiciones soldadura	240°C máx. 2 s máx.

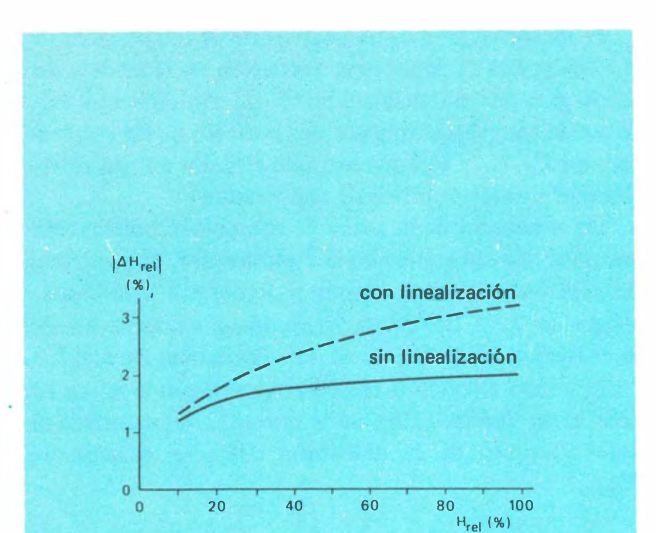


Figura 13. Efecto total de la temperatura en función de H_{rel} para una fluctuación de la temperatura de ±25 K.

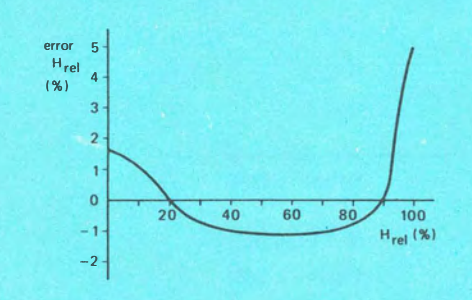


Figura 14. Errores derivados de una linealización imperfecta.

Efecto de la linealización imperfecta

Como no es posible compensar totalmente la no linealidad, los errores que surgen de una linealización imperfecta son inevitables. Estos se muestran en el gráfico de la figura 14. Los errores son más pronunciados para valores de $H_{rel} > 90\%$. Para H_{rel} entre el 20% y el 90%, el error permanece por debajo del 1%.

El efecto total

Si se calibra el circuito de la figura 5 (alimentación no estabilizada) para una $H_{rel} \approx 50\%$, el error de medida puede ser tan elevado como ±10% en el punto medio del margen y ±16% en los puntos del 10% y 90%. La estabilización de la tensión de alimentación (figuras 7 y 10) reduce estos errores a ±5% y ±8% respectivamente. Sin embargo, en muchos casos, los errores de salida serán mucho menores que estos valores.

Consejos prácticos

La formación de rocío en el circuito de medida (provocada por ejemplo por una bajada brusca de la temperatura) puede producir fugas superficiales y por lo tanto lecturas falsas. Por lo tanto, se recomienda dar a todos los componentes un tratamiento superficial (por ejemplo un recubrimiento plástico aplicado por pulverización) antes de montarlos en la placa de circuito impreso, y una nueva aplicación después del montaje; de la misma manera será tratada la cara de las soldaduras de la placa de circuito impreso.

La capacidad parásita del sensor aumenta considerablemente si se conecta al circuito por medio de un cable flexible. Esto conduce a una reducción de la anchura relativa de los impulsos (t_3/T) y por lo tanto a una reducción de la precisión. Si es inevitable utilizar estos cables, se debe aumentar adecuadamente la capacidad del condensador variable, y cuando se utiliza linealización (como en la figura 7) se debe reducir la resistencia en serie con el potenciómetro. ■

Una aplicación inédita de los termistores PTC: los elementos de calefacción

Los termistores PTC (de coeficiente de temperatura positivo) presentan un aumento rápido del valor de su resistencia a partir de una temperatura bien definida. Por ello, se pueden utilizar como elementos de calefacción con un gran número de ventajas que pueden ser muy útiles para aplicaciones tales como: trabajos sobre plásticos, estabilización de la temperatura de circuitos electrónicos, pequeños aparatos de calefacción, etcétera.

Los termistores con coeficiente de temperatura positivo (PTC) tienen la propiedad de presentar un aumento rápido del valor de su resistencia a partir de una temperatura bien definida; de hecho, cuando se utilizan como elementos de calefacción, interrumpen, a una temperatura dada, la potencia calorífica aportada, y, así se comportan como un tradicional elemento de calefacción con termostato.

La figura 1 muestra las variaciones de la temperatura de un elemento de calefacción tradicional en función del tiempo, sin termostato (curva *a*) y con termostato (curva *b*).

La figura 2 muestra las variaciones de la temperatura de un elemento de calefacción PTC en función del tiempo bajo una tensión de alimentación de 110 V y de 220 V.

En comparación con los elementos de calefacción tradicionales, los elementos de calefacción PTC presentan un gran número de ventajas, a saber:

– autoregulación de la temperatura,
– supresión de las oscilaciones de la temperatura alrededor de un valor nominal,
– rápida subida de la temperatura,

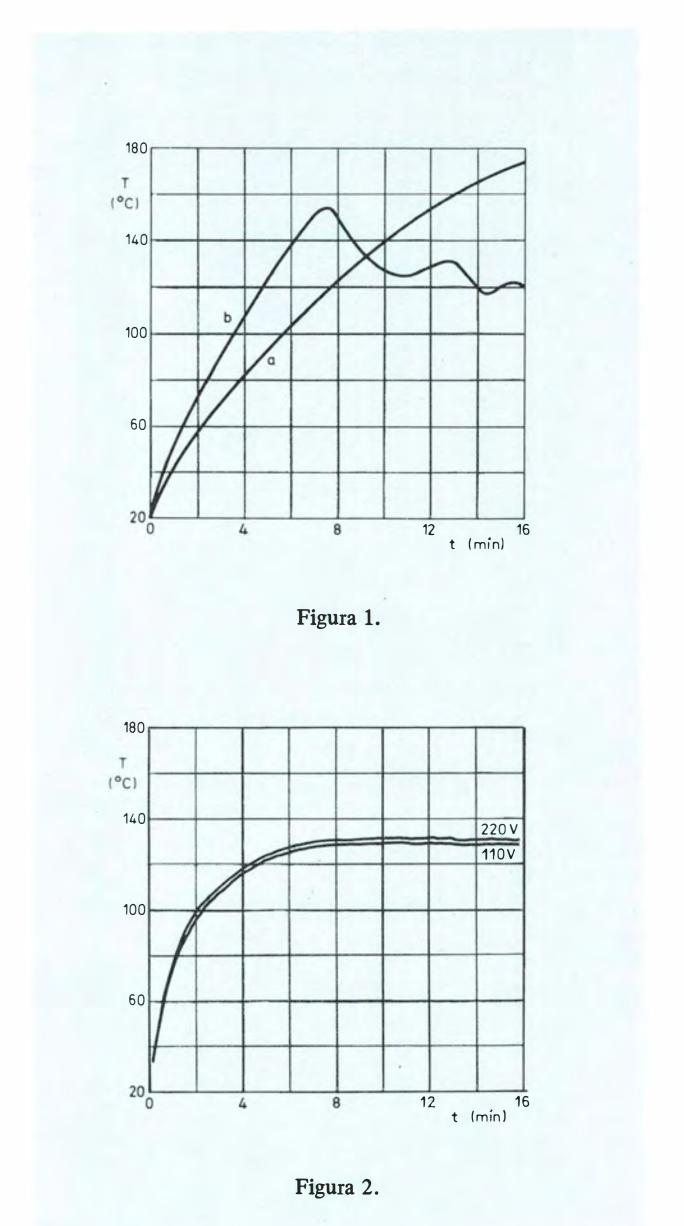


Figura 1.

Figura 2.

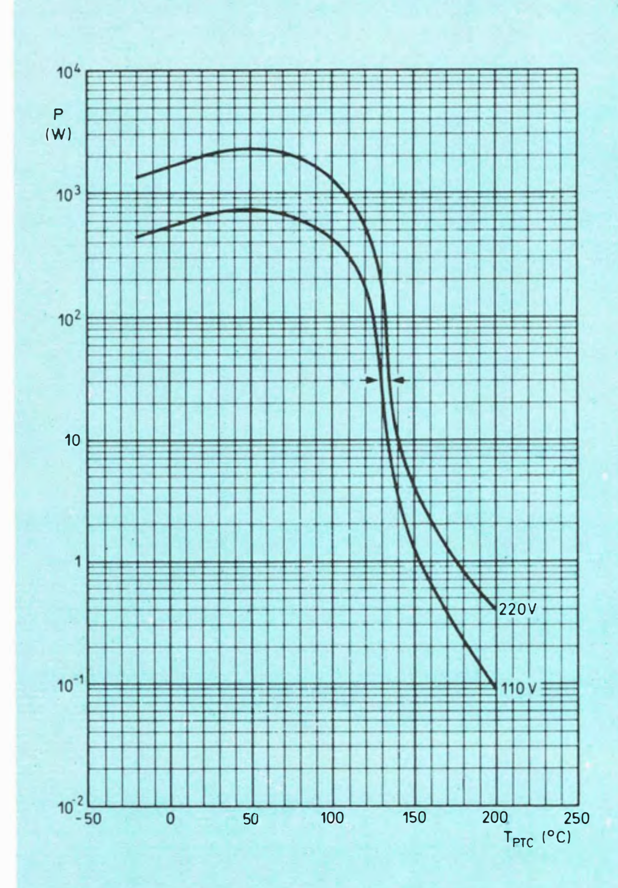


Figura 3.

– excelente estabilidad de la temperatura con el tiempo,
– intrínseca seguridad en caso de sobrecalentamiento,
– pequeña variación de la temperatura en función de la tensión de alimentación,
– excelente aislamiento.

Pueden, pues, ser útiles en una gran variedad de aplicaciones que requieran una subida rápida de la temperatura y una potencia moderada en régimen permanente. Así:

– trabajos sobre plásticos,
– pequeños aparatos de calefacción,
– estabilización de la temperatura de circuitos electrónicos,
– pequeños recintos con termostatos,
– materiales electrodomésticos.

Propiedades de los termistores PTC utilizados como elementos de calefacción

Si una tensión continua o alterna es aplicada a un termistor PTC, la potencia disipada por ésta:

$$P = \frac{V^2}{R}$$

varía como muestra la figura 3: a temperatura ambiente la resistencia del termistor es baja y en consecuencia la potencia absorbida es grande; pero cuando se alcanza la temperatura de inflexión (temperatura para la cual la resistencia del termistor es el doble del valor mínimo), la resistencia aumenta rápidamente y la potencia disipada disminuye entonces bruscamente.

Así pues, como muestra la figura 3, para un termistor dado, la potencia decrece de 300 W (a 125°C) a 30 W (a 135°C).

Por otra parte, las curvas de la figura 2, permiten ver que la tensión de alimentación no tiene prácticamente ninguna influencia sobre la temperatura del termistor. En consecuencia, si éste se monta en una caja de buena conductividad térmica, la tensión de alimentación podrá variar de forma muy importante. Los termistores PTC pueden pues, ser utilizados como elementos de calefacción en aparatos bitensión (1 10 V/220 V).

En síntesis, el hecho de un montaje sencillo hace que los elementos de calefacción PTC sean competitivos con los elementos de calefacción tradicionales. ■

Bibliografía

MIGUEL BLANES

19 LECCIONES DE ELECTRONICA DIGITAL
Marcombo. Boixareu Editores. Gran Vía 594. Barcelona-7
Un volumen de 356 páginas (17 x 24 cm). 1979



Esta obra, dividida en dos partes, expone en su primera mitad las nociones generales básicas de electricidad y electrónica. La exposición teórica va acompañada en todo momento de un gran número de problemas resueltos que intentan dar la base necesaria para introducirse en la electrónica digital. La segunda parte está dedicada a los circuitos lógicos y a los circuitos digitales, en donde, las descripciones teóricas de funcionamiento se efectúan sobre circuitos reales y que pueden ser montados fácilmente.

El objetivo del autor es esencialmente didáctico, por lo que presenta los conceptos de una manera progresiva. Siguiendo esta directriz se exponen a lo largo de la obra, circuitos, gráficas y curvas de funcionamiento, así como oscilogramas.

Por lo tanto, este libro será de gran utilidad a técnicos no titulados, principiantes o aficionados y en general a todos aquellos que deseen introducirse o ampliar sus conocimientos en el campo de la electrónica digital.

LECOULTRE y A. JIMENEZ

MANUAL DE RELOJERIA ELECTRONICA Y DE CUARZO
Ediciones Cedel. José O. Avila Monteso. Viladrau (Gerona)
Un volumen de 448 páginas (17 x 24 cm). 1978



La constante evolución en todos los campos tecnológicos y el extraordinario desarrollo de la electrónica, traen como consecuencia que un apartado de la micromecánica, el de la relojería, cuya evolución se ha producido con fuerza pero de forma paulatina a través de los años, haya experimentado un cambio radical en la concepción tecnológica del reloj en un período de tiempo sumamente corto.

Este cambio ha repercutido en la profesión relojera artesana, ya que casi sin darse cuenta los relojeros se han encontrado con unos relojes que no conocen porque no tienen nada o casi nada de mecánica.

En este libro el autor ha intentado proporcionar la información y asesoramiento que estos profesionales necesitan sobre el reloj electrónico.

La obra está dividida en tres partes. La primera parte: electrónica en relojería, da las nociones elementales de electrónica, su aplicación a la relojería y estudia las pilas y los relojes electrónicos de cuarzo.

La segunda parte está dedicada a los calibres. Y finalmente la tercera parte trata los aparatos de control, útiles y productos diversos para relojes de cuarzo.

Noticias

SATELEC

Copresa se halló presente en la muestra SATELEC que se celebró en Madrid, en la sede de la Escuela Técnica Superior de Ingenieros de Telecomunicación, los días 10/14 de Marzo, presentando entre otros materiales un panel completo de células solares, un terminal inteligente semigráfico en color, un sistema de desarrollo modular y expansionable (SAI 50), un sistema microordenador para control de máquina herramienta (IMS), un Instructor 50 y diversos componentes en una amplia gama, tanto pertenecientes al campo industrial como de consumo.

SIMPOSIUM SOBRE VISION NOCTURNA

En el marco del Hotel Eurobuilding de Madrid se celebró los días 25 y 26 de Marzo un simposium sobre Visión Nocturna, al que asistieron destacadas personalidades del Ejército, Armada y de los demás Cuerpos de la Seguridad del Estado.

Durante el transcurso del acto, hablaron Mr. Etherington, Mr. Lentz y Mr. Morten, quienes disertaron sobre intensificadores de imagen, detectores de infrarrojos y aplicaciones en V.N.

Los asistentes que siguieron con creciente interés las diversas charlas y demostraciones de aplicación, entablaron al finalizar el acto un animado e interesante coloquio.

BASES DEL PREMIO SISTEMAS DE APLICACION EN TV "COPRESA"

1. Podrán concurrir a este concurso todos los autores que realicen un trabajo inédito sobre el tema que se menciona en estas bases, quedando exentas todas las personas de nuestra firma. Es condición necesaria que dicho trabajo no haya sido presentado anteriormente en ningún congreso, simposio, etc., ni publicado en alguna revista, semanario, etc. técnica nacional o extranjera.

2. El título del trabajo será "Estudio de soluciones prácticas para la obtención del rendimiento óptimo en el conjunto Alimentación-Salida de líneas-Generador de MAT en un receptor de televisión en color." El trabajo debe realizarse en torno a los transformadores DST (AT2076/30 ó AT2076/70). El circuito debe realizarse con componentes de fácil adquisición en el mercado, valorándose positivamente el contenido de componentes de fabricación nacional.

3. Los autores que participen en el **PREMIO SISTEMAS DE APLICACION EN TV COPRESA** deberán presentar:

   — una memoria con explicación descriptiva de la filosofía, funcionamiento y ventajas que aporta la solución estudiada,
   — un resultado de medidas,
   — un esquema teórico y una distribución práctica de componentes.

   La presentación de los trabajos deberá realizarse en folios mecanografiados a doble espacio y con una extensión máxima de la memoria de 30 folios.

4. El original se presentará con un título al cual seguirá un seudónimo. En un sobre cerrado aparte se incluirá el nombre y domicilio del autor. En el exterior del sobre se escribirá el título de la obra presentada seguido del seudónimo.

5. La fecha límite para la presentación de los trabajos será el día 20 de agosto de 1980.

6. Deben enviar sus originales y el sobre cerrado a: COPRESA, Depto. Técnico Consumer, Para el "Premio sistemas de aplicación en TV COPRESA", Balmes 22, BARCELONA-7.

7. Los premios serán:

   — Primer premio 100.000 Ptas.
   — Segundo premio 30.000 Ptas.

8. Los premios podrán ser declarados desiertos.

9. Durante la feria de Sonimag 1980 se realizará un acto de presentación pública de los trabajos de los concursantes finalistas. En dicha presentación se entregarán los premios, con asistencia de la prensa técnica.

10. El jurado estará formado por miembros de la Compañía de Productos Electrónicos COPRESA, S. A. Su decisión será inapelable.

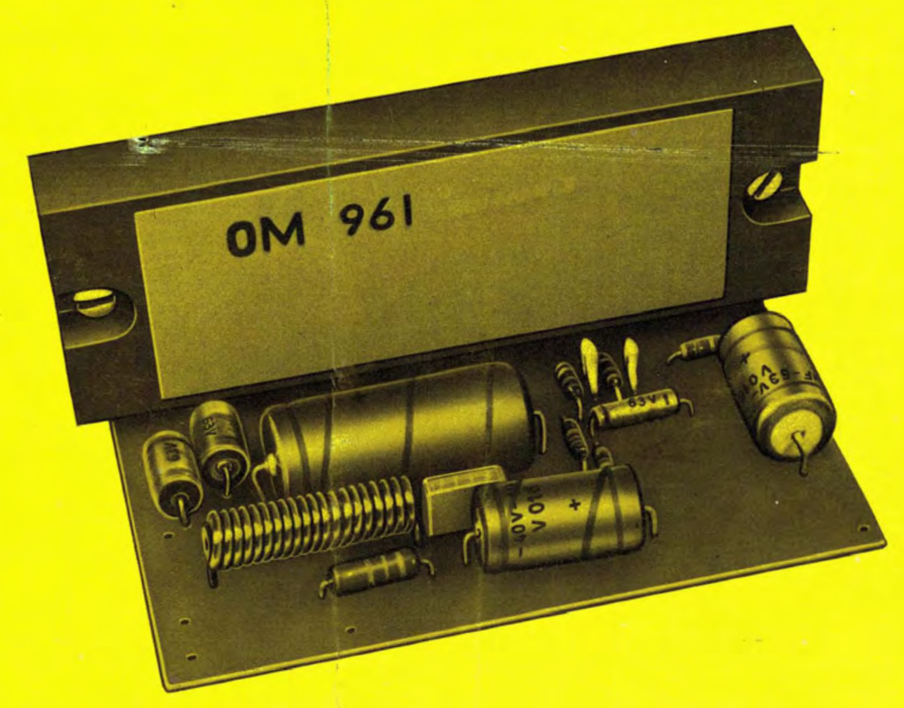
11. Los originales premiados serán publicados por COPRESA y el resto serán devueltos a sus autores en los días siguientes a la concesión de los premios.

12. Los autores se responsabilizan de la originalidad de sus trabajos y se comprometen a asumir la defensa de cualquier demanda interpuesta por dicha causa.

13. La concurrencia a estos premios supone la aceptación de estas bases.

Compañía de Productos Electrónicos COPRESA, S.A.
octubre 1979

AMPLIFICADORES DE POTENCIA DE AUDIO HIBRIDOS



Los amplificadores de potencia de audio híbridos en película delgada, OM931 y OM961 permiten entregar desde 30 vatios hasta más de 60 vatios. Estos módulos ofrecen las máximas posibilidades de diseño con respecto a amplificación, rechazo de rizado, estabilidad para cargas complejas, etc. Los amplificadores incorporan protección contra cortocircuitos (SOAR protegido). Diseñados especialmente para obtener baja distorsión de armónicos y transitorios. Resistores ajustados para obtener un mejor rendimiento en un amplio margen de temperatura.

			OM 931		OM 961		
Tensión alimentación	V_s	típ.	± 23	± 26	± 31	± 35	V
Corriente alimentación	I_{tot}	típ.	80		100		mA
Potencia de salida sinusoidal para $d_{tot} < 0{,}2\%$, f = 20 Hz a 20 kHz							
$R_L = 4\,\Omega$	P_o	>	30	—	60	—	W
$R_L = 8\,\Omega$	P_o	>	—	30	—	60	W
Distorsión armónica total para							
P_o = 1 W; f = 1 kHz		típ.	0,02		0,02		%

COPRESA COMPAÑIA DE PRODUCTOS ELECTRONICOS «COPRESA», S.A.
BALMES, 22 - BARCELONA-7 / SAGASTA, 18 - MADRID-4



Revista "Miniwatt"

signetics

Vol. 19 - Núm. 5

75 Ptas.

Una etapa en la producción automática de un circuito integrado

Revista Miniwatt

VOLUMEN 19 - Número 5

MAYO 1980



INDICE

Publicada por:

COMPAÑIA DE PRODUCTOS ELECTRONICOS "COPRESA", S. A.

Revista MINIWATT
Balmes, 22 - Barcelona-7

SUSCRIPCION ANUAL
(11 números) 600 Ptas.
PRECIO EJEMPLAR 75 Ptas.
CAMBIO DOMICILIO 50 Ptas.

ISSN 0210-2641
Depósito Legal B.18.387-61
GRAFESA - Nápoles, 249 - Barcelona

EDITORIAL

En el número anterior se publicaban las características del microprocesador 8048. Conscientes de la necesidad de mayor soporte bibliográfico, se describe en este número un hardware ya realizado y se hace una referencia del sistema de desarrollo MCT48 para esta línea de microprocesadores. Sobre este sistema se dispone de información que, aunque en principio no se publicará en esta revista por tener caracter de manual de uso de un instrumento, puede facilitarse a quienes lo deseen.

Por otro lado, siguiendo en la línea de facilidades de resolución de sistemas con microprocesadores mediante hardware ya elaborado y microordenadores, se describe en estas páginas un microordenador industrial bajo la denominación IMS.

COPRESA, en el reciente mes de Marzo, participó en el SATELEC. Queremos desde esta editorial, felicitar y animar a los alumnos de la ETSIT de Madrid por la labor realizada en la organización de este certamen, a la vez que aplaudir a cuantas cátedras apoyan anualmente esta iniciativa. Queremos dejar constancia también del alto nivel técnico constatado en los visitantes y a la vez agradecer el interés que han mostrado por las características técnicas de nuestros productos allí expuestos. Tal es el caso del visualizador semigráfico con TRC de color.

I.M.S.
(Sistema microordenador industrial)

Muchos de los microordenadores disponibles se suministran con un cierto número de entradas/salidas. La inclusión de estas E/S hace más caro el sistema, pese a que muchas de ellas no se lleguen a utilizar. El coste del hardware se puede reducir mediante un diseño específico para cada aplicación concreta. Sin embargo, la reducción conseguida de esta forma es absorbida por los costes de desarrollo.

El IMS proporciona el compromiso ideal entre estas dos opciones. El sistema microordenador se puede construir para las necesidades específicas del usuario, por medio de módulos ya verificados y conectados entre sí a través de un panel de conexión.

INTRODUCCION

El IMS proporciona en placas unitarias una amplia gama de funciones normalizadas para el sistema. El IMS ofrece la economía del hardware específico, sin los costes de desarrollo del mismo, junto con la disponibilidad inmediata de un sistema previamente desarrollado.

En lo referente al hardware, los módulos son de formato europeo (160 X 100 mm) y contienen sólo las funciones adecuadas con un mínimo de circuitería redundante. Por lo tanto, en cuanto a tamaño, las placas constituyen un modelo estándar europeo; lo que asegura su compatibilidad tanto en este momento como en el futuro.

En cuanto al software, el IMS dispone de un sistema de desarrollo de microordenador llamado MODEST, que supone el punto de partida para el desarrollo de software. Añadiendo una unidad de visualización VDU (Visual Display Unit) se puede ver el desarrollo del programa. Con el MODEST se puede efectuar además la comprobación de programas y proceder al grabado de memorias (E)PROM.

CONCEPTO DEL IMS

El IMS ofrece una amplia selección de funciones compatibles en módulos individuales. En este momento se dispone de nueve tipos de módulos que configuran un sistema microordenador para muchas aplicaciones (figura 1). Está previsto el desarrollo de otros módulos, lo que da idea de que el IMS será continuamente ampliado.

Los módulos se enchufan al panel de conexión, en cuyo circuito impreso están las barras de datos, direcciones y control. De esta forma se pueden realizar distintas combinaciones de módulos. Como los módulos son de formato estándar europeo, el sistema se puede colocar en un bastidor Eurocard de 19 pulgadas (DIN 41612) (figura 2).

La flexibilidad del hardware se complementa con un software igualmente flexible. Además de la serie de subrutinas estándar que hay disponibles fuera del sistema para utilizarlas cuando se precisen, está el MODEST que ofrece la ayuda necesaria cuando se necesita un software específico.

Se dispone de los siguientes módulos:

Unidad central de proceso. Se basa en el microprocesador 2650 de 8 bits, con un juego de 75 instrucciones y 7 modos de direccionamiento. Este módulo tiene 1K X 8 bits de memoria RAM y 4K X 8 bits de memoria PROM o EPROM. Dispone de generador de impulsos y posibilidad de acceso directo a memoria (DMA).

Módulos de memoria PROM y RAM. Son una expansión de la memoria contenida en la unidad central de

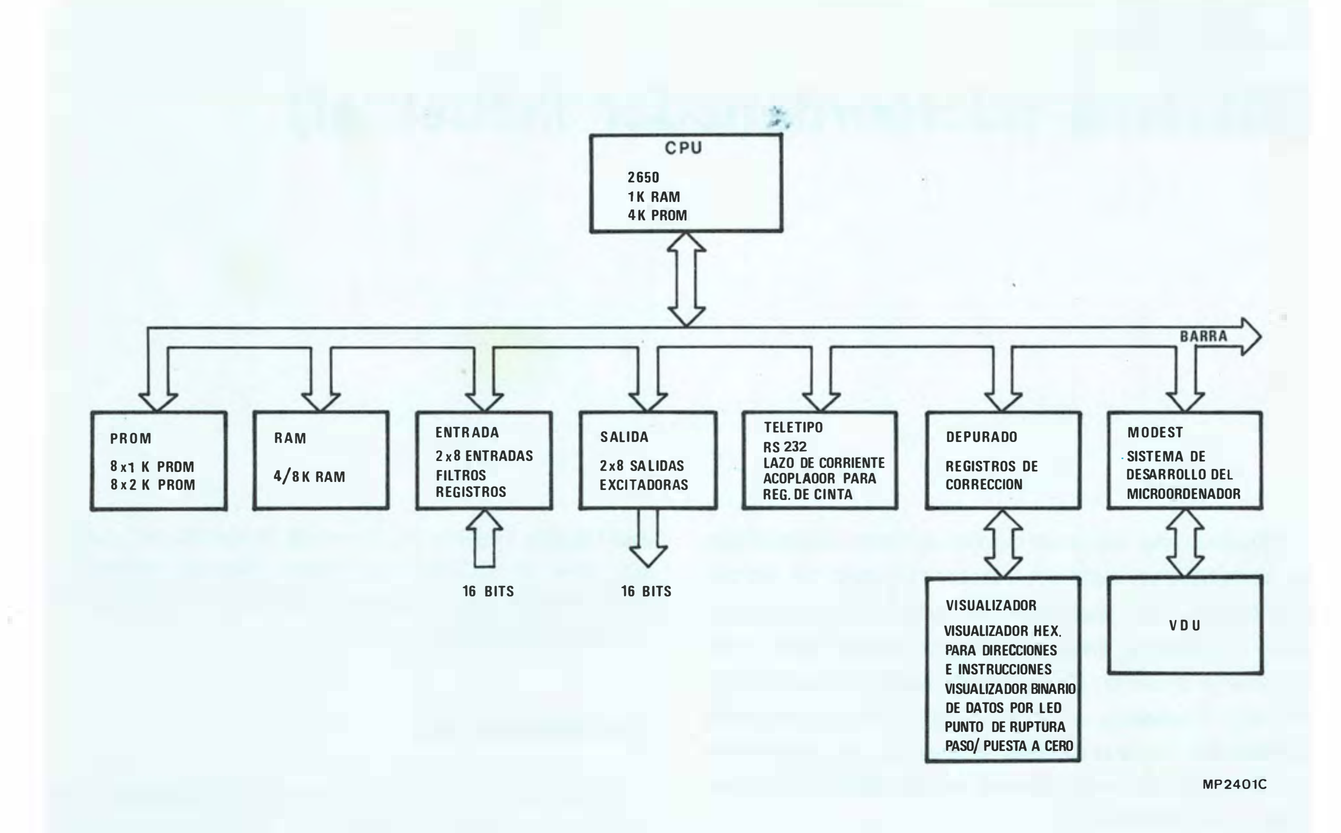


Figura 1. Sistema microordenador industrial IMS.

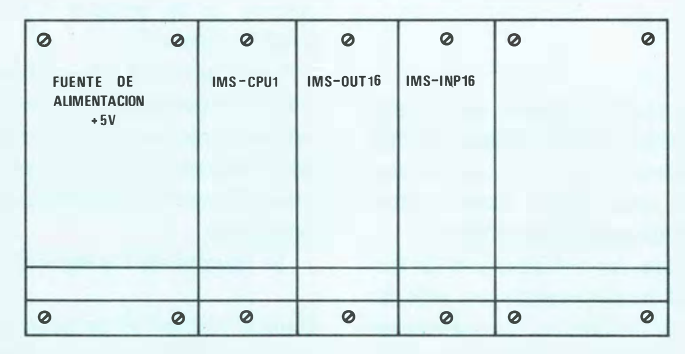


Figura 2. Configuración mínima del IMS.

proceso CPU (Central Processing Unit), que se puede aumentar hasta 32K × 8 bits o más si se utilizan determinadas formas de manejo por software. Cada módulo de memoria PROM dispone de una capacidad de 8 ó 16K × 8 bits. El tipo de (E)PROM a utilizar se puede elegir entre cinco tipos distintos. Cada módulo de memoria RAM puede disponer de 4 u 8K × 8 bits de RAM estática.

Módulos de entrada y salida. Cada uno dispone de dos octetos compatibles con TTL. Se pueden filtrar las entradas, y las salidas tienen un consumo de corriente de 300 mA por bit.

Módulo de teletipo. Dispone de acoplador para teletipo RS232, un lazo de corriente con optoacopladores y un acoplador para audiocassette.

Módulos de depurado y visualización. Están diseñados para su utilización conjunta. El conjunto proporciona la posibilidad de depurado de programas y se incluye un zócalo de ROM para un programa monitor o de diagnóstico. El módulo de visualización ofrece la posibilidad de lectura de direcciones, instrucciones y datos. Tiene indicadores de LED para lectura/escritura, etc. Se incluyen amplificadores y excitadores para ajustar por hardware el punto de ruptura, así como un conmutador para avance rápido o paso a paso del programa.

Todos estos módulos se describen a continuación, comenzando por el MODEST, como punto de partida del IMS.

MODEST (figura 3)

Principio de operación

Los mnemónicos de instrucción se introducen carácter a carácter en el teclado de la VDU. El ensamblador mnemónico del MODEST carga el código objeto en la memoria RAM disponible para el usuario (si es un programa corto se puede hacer en la memoria RAM de la CPU), en donde se almacena el programa una vez desarrollado. El MODEST dispone de un desensamblador en línea que vuelve el nmenónico al CRT (tubo de rayos catódicos) para su visualización.

De esta manera se consigue una programación muy directa, eliminando en gran parte la posibilidad de error de los lenguajes hexadecimal o máquina. Además, se pueden visualizar con toda claridad en la pantalla las direcciones, la pila de dirección, la palabra de estado del programa y el contenido de los registros y la memoria RAM, para permitir efectuar una evaluación del programa y las correcciones directas que sean necesarias.

Características

Desarrollo del programa en la memoria RAM del usuario
Efectuando el desarrollo del programa por medio del MODEST se consigue un coste mínimo del hardware. Los costes actuales son tan bajos que, en muchas ocasiones, el sistema del usuario dispondrá de un MODEST integrado permanentemente para efectuar una fácil y cómoda programación y mantenimiento de la máquina.

Zócalo de programación para la (E)PROM 2716
Está contenido en el MODEST, lo que hace que sea un sistema de desarrollo completo. Supone una gran ventaja en aquellas aplicaciones en las que es frecuente efectuar cambios en la programación.

Acoplador para cassette
Esta característica permite cargar programas u obtenerlos en un medio no volátil y de bajo costo. Gracias al almacenamiento en código objeto, no se necesita utilizar un medio de gran capacidad. La reprogramación por cassette dota al sistema de una gran flexibilidad.

Acoplador para impresora serie/paralelo
Permite obtener el programa escrito de una forma rápida empleando impresoras de bajo costo. Es compatible con (teletipo) TTY.

Acoplador R232-C para VDU
Permite visualizar la información del MODEST.

Programación en lenguaje ensamblador
Reduce la posibilidad de error que existe cuando se programa en hexadecimal o lenguaje de máquina.

Almacenamiento en código objeto
Se necesita una mínima capacidad de memoria. El formato muy legible de las letras y un texto claro presentan facilidad de comprobación y mantenimiento de la información.

Desensamblador para visualización del mnemónico
Permite evaluar el programa en un visualizador.

Confección de etiquetas postdefinidas
Esta característica proporciona una gran flexibilidad en la programación.

Operación paso a paso
Permite visualizar todas las variables de la CPU, tales como: registros internos, palabra de estado del programa, dirección, retorno de la pila de dirección, cálculo de la dirección de la siguiente instrucción, etc. Manipulación de variables por medio del teclado, tanto en la RAM como en la PROM.

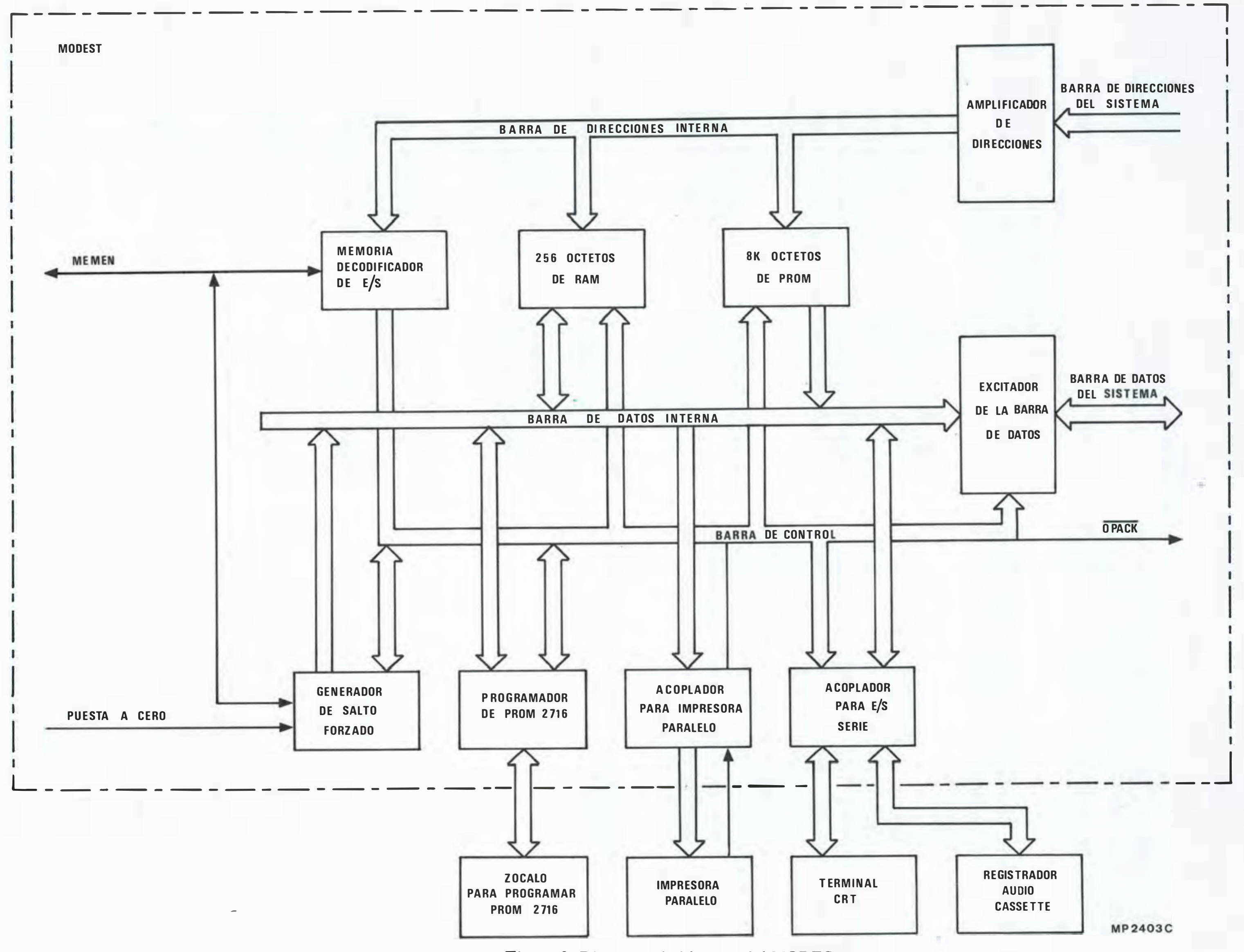


Figura 3. Diagrama de bloques del MODEST.

Ocho puntos de ruptura (breakpoint)

Se pueden seleccionar hasta 8 puntos de ruptura. El sistema avanza sin visualización hasta el punto de ruptura. En la dirección de este punto se visualiza el estado de las variables de la CPU.

Modo de avance controlado por el usuario

El sistema se puede controlar por el usuario, avanzando en tiempo real.

Se pueden poner 8 puntos de ruptura en RAM.

Eliminar e insertar

En el modo edición se dispone de la posibilidad de eliminar e insertar para corregir partes de un programa, con corrección automática.

Transferencia de programas

Esto ayuda a la copia, carga y lectura de un programa.

Cuando se ha alcanzado la última instrucción, END acaba este modo y el MODEST vuelve al modo inicial *Director.*

El siguiente paso en la fase de desarrollo es la comprobación del programa en el sistema del usuario bajo el control del MODEST. En este modo, después de indicar la dirección de la primera instrucción, se puede comprobar el programa en el modo paso a paso o en el modo de avance (run). Si se encuentra un error, se puede efectuar un programa de corrección. Si el sistema marcha correctamente, se puede programar una memoria (E)PROM en el zócalo provisto a tal efecto.

La prueba final del sistema bajo el control del usuario termina la fase de desarrollo del programa.

Durante el desarrollo, el programador tiene acceso a una gran variedad de modos de operación del MODEST que facilitan el desarrollo del programa, la comprobación y la corrección.

El MODEST es conversacional y altamente inteligente.

Uso del MODEST

En la figura 4 se muestra la configuración mínima del IMS incluyendo el MODEST. Esta configuración permite atender programas de hasta 1K octetos de memoria RAM y 4K octetos de memoria PROM para un sistema que tenga un máximo de 16 entradas/salidas. El primer paso para el desarrollo de un programa es la confección del diagrama de flujo del problema para definir la secuencia del programa (figura 5). Con ayuda del diagrama de flujo, se puede escribir un programa seleccionando el modo *Address Instruction* del MODEST.

La primera instrucción se debe situar en la primera posición de la memoria RAM, introduciendo el mnemónico por medio del teclado. El MODEST ensambla este mnemónico y almacena el código objeto en la RAM del MODEST. El desensamblador del MODEST hace que aparezca en la pantalla el mnemónico junto con la dirección corriente, la dirección actualizada y la dirección asociada, el código objeto y, si se ha puesto, el título de la dirección asociada.

Una vez que el programador encuentra la línea escrita correcta, introduce el código objeto en la RAM del usuario y pasa a la siguiente línea. La dirección se incrementará automáticamente. Si se ha cometido algún error, se puede eliminar la línea (tecla DEL) y volverla a escribir pulsando CR.

Se pueden introducir directamente títulos de subrutina, texto del usuario, datos o direcciones por medio del teclado. Para empezar a poner etiquetas, se pulsa la @ en lugar de la dirección absoluta o la declaración de la dirección efectiva. Si se introducen mnemónicos o símbolos incorrectos, el MODEST producirá una llamada de atención acústica.

Breve descripción de los modos del MODEST

Director mode. Visualiza el listado de modos precedido por un símbolo de orden de modo.

Program listing. En este modo, se puede visualizar un programa que está contenido en memoria RAM o PROM. El listado aparece en texto claro con un formato adecuado, comenzando por la dirección seguida por el código objeto en hexadecimal, la instrucción en mnemónico y la dirección asociada; por ejemplo: 7603F 7C F8 BSTA, UN 7CF8 ASCII TO BUFFER.

Sub-routine listing. El MODEST puede generar un listado de todas las subrutinas utilizadas, precedidas por un título. En este listado, los títulos de las subrutinas van precedidos por sus direcciones de llamada. Esta característica facilita el desarrollo de programas y el mantenimiento de la máquina en el puesto del usuario.

Run program. En este modo se puede verificar y evaluar un programa bajo el control del MODEST.

Run user program. El programa avanza bajo el control de usuario. El MODEST no está implicado en la ejecución del programa.

Print program. Se obtiene una copia exterior escrita del programa.

Print sub-routines. Se obtiene una copia exterior escrita de las subrutinas.

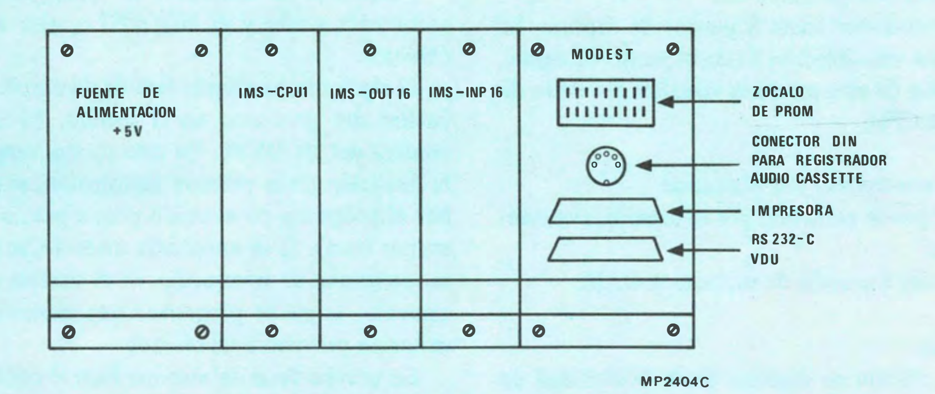


Figura 4. Configuración mínima del IMS incluyendo el MODEST.

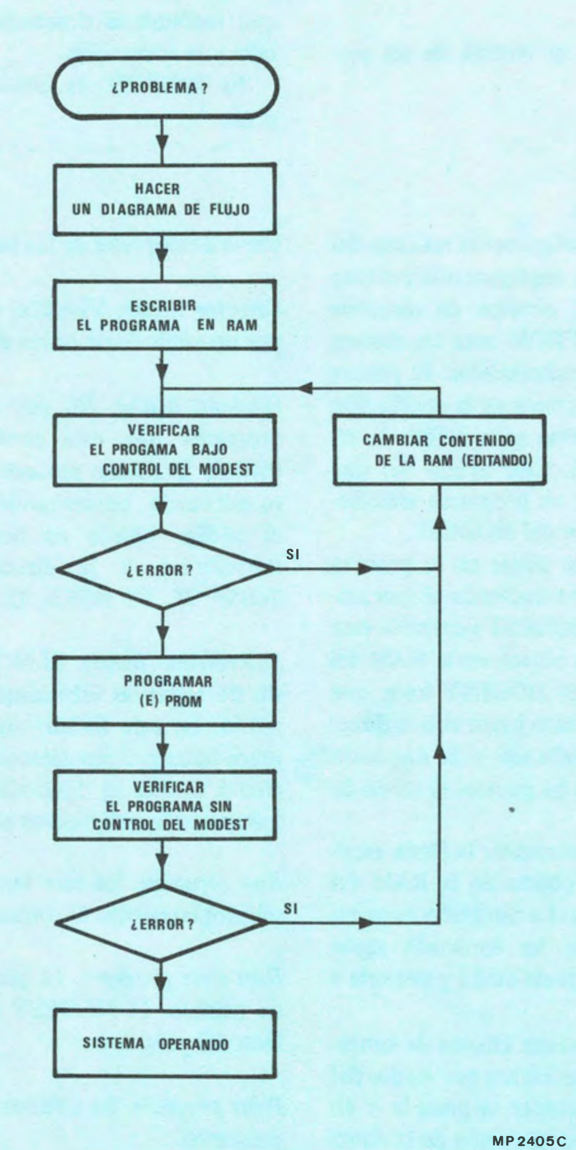


Figura 5. Diagrama de flujo para definir la secuencia del programa.

Search Call Address. Permite presentar una lista de direcciones de llamada a subrutinas seleccionadas a través del programa.

Edit program. Contiene sub-modos para facilitar la manipulación del programa con corrección automática.

Address Instruction. Se utiliza para desarrollo del programa en lenguaje ensamblador como se explicó anteriormente.

Address data. Permite al programador modificar directamente en la RAM los valores del programa en hexadecimal.

MODELO CENTRAL DE PROCESO IMS-CPU1 (figura 6)

- Microprocesador 2650.
- Hasta 4K octetos de PROM y EPROM.
- RAM estática de 1K octetos.
- Líneas de control amplificadas.
- Posibilidad de acceso directo a memoria (DMA, Direct Memory Access).
- Señal de desinhibición de la memoria para expansión de la misma.
- Generador de impulsos de 2 MHz; posibilidad de reloj externo.

El módulo central de proceso CPU1-IMS utiliza el microprocesador 2650 de 8 bits en tecnología NMOS que tiene un conjunto de 75 instrucciones. El microprocesador puede direccionar hasta 32K octetos de memoria en cuatro páginas de 8K octetos, que se puede aumentar utilizando las características de manejo de memoria.

La memoria de este módulo es de 4K octetos de PROM o EPROM y 1K octetos de memoria RAM estática. Los circuitos integrados de memoria a utilizar se pueden seleccionar entre los tipos 82S191 y 82S181 para la memoria PROM y 2716, 2758 y 2708 para la memoria EPROM. Los contactos puenteados están previstos para la 2716, pero se pueden cambiar para utilizar los otros tipos de memoria. El diseño de este módulo incluye las señales de pausa y desinhibición de memoria. Se puede realizar fácilmente la posibilidad de acceso directo a memoria (DMA).

MODULO DE MEMORIA IMS-PRM 16 (figura 7)

- Cada módulo tiene hasta 16K octetos de memoria.
- Se puede elegir entre cinco tipos de PROM o EPROM.
- La memoria es direccionable en páginas de 4K octetos.
- Señal de desinhibición de memoria para expansión de la misma.

El módulo IMS-PRM16 proporciona una extensión a la memoria PROM siempre que esté disponible en el módulo CPU. Contiene ocho zócalos en los que se puede colocar cualquiera de los siguientes tipos 82S181 ó 82S191 de PROM ó 2708, 2716 ó 2758 de EPROM, hasta un total de hasta 16K octetos. El cableado viene de fábrica preparado para el tipo 2716, pero se pueden utilizar otros tipos de PROM cambiando de posición los puentes que hay en el módulo a tal efecto. Obsérvese que todas las memorias que se mencionan permiten que el microprocesador funcione a plena velocidad. Se incluyen en el módulo los amplificadores para las barras de datos y de direcciones, junto con los circuitos de selección de direcciones.

La memoria es direccionable en páginas de 4K octetos, que se seleccionan mediante puentes intercambiables en el propio módulo. Se pueden direccionar hasta 32K octetos de memoria mediante el microprocesador 2650 utilizado en la CPU. No obstante, la memoria puede expansionarse indefinidamente utilizando las posibilidades de manejo de memoria y la señal de desinhibición de memoria.

MODULO DE MEMORIA IMS-RAM 8 (figura 8)

- Cada módulo tiene hasta 8K octetos de memoria.
- La memoria es direccionable en páginas de 4K octetos.
- Señal de desinhibición para expansión de la memoria.

El módulo IMS-RAM8 supone una forma económica de aumentar la capacidad de memoria RAM que se dispone en el módulo de la CPU. Esta diseñado para utilizarlo con una RAM estática de 1K × 4 bits, tales como la 2614 (o tipos equivalentes, por ejemplo, 2114, 4045, 9114), que permiten que el microprocesador 2650 funcione a plena velocidad. Se pueden colocar hasta 16 pastillas de estas memorias RAM en los zócalos del módulo, de forma que se pueda desarrollar la capacidad de la memoria hasta un máximo de 8K octetos por módulo. En el módulo se incluyen los amplificadores para las barras de datos y de direcciones, junto con los circuitos para la selección de direcciones.

La memoria es direccionable en páginas de 4K octetos, que se seleccionan mediante puentes intercambiables en el propio módulo. Con el microprocesador 2650 de la CPU se pueden direccionar hasta 32K octetos, pero se puede expansionar indefinidamente mediante las posibilidades de manejo de la memoria.

AMPLIFICADOR DE 3 ESTADOS
AMPLIFICADOR DE CONTROL
CRISTAL GENERADOR DE IMPULSOS
RELOJ EXTERNO
BARRA DE DATOS INTERNA
1K8 RAM
2/4K8 (E)PROM
CONTROL
AMPLIFICADOR DE DIRECCIONES
2650 CPU
PAUSE
OPACK
RUN/WAIT
BARRA DE DIRECCIONES INTERNA
AMPLIFICADOR DE CONTROL
ENTRADA
PUESTA A CERO
SALIDA
DECODIFICADOR DE DIRECCIONES
SELECTOR DEL TIPO DE PROM
SALIDA DE PUESTA A CERO
MEMEN
BARRA DE CONTROL INTERNA
MP 2406C

Figura 6. Módulo central de proceso IMS-CPU1.

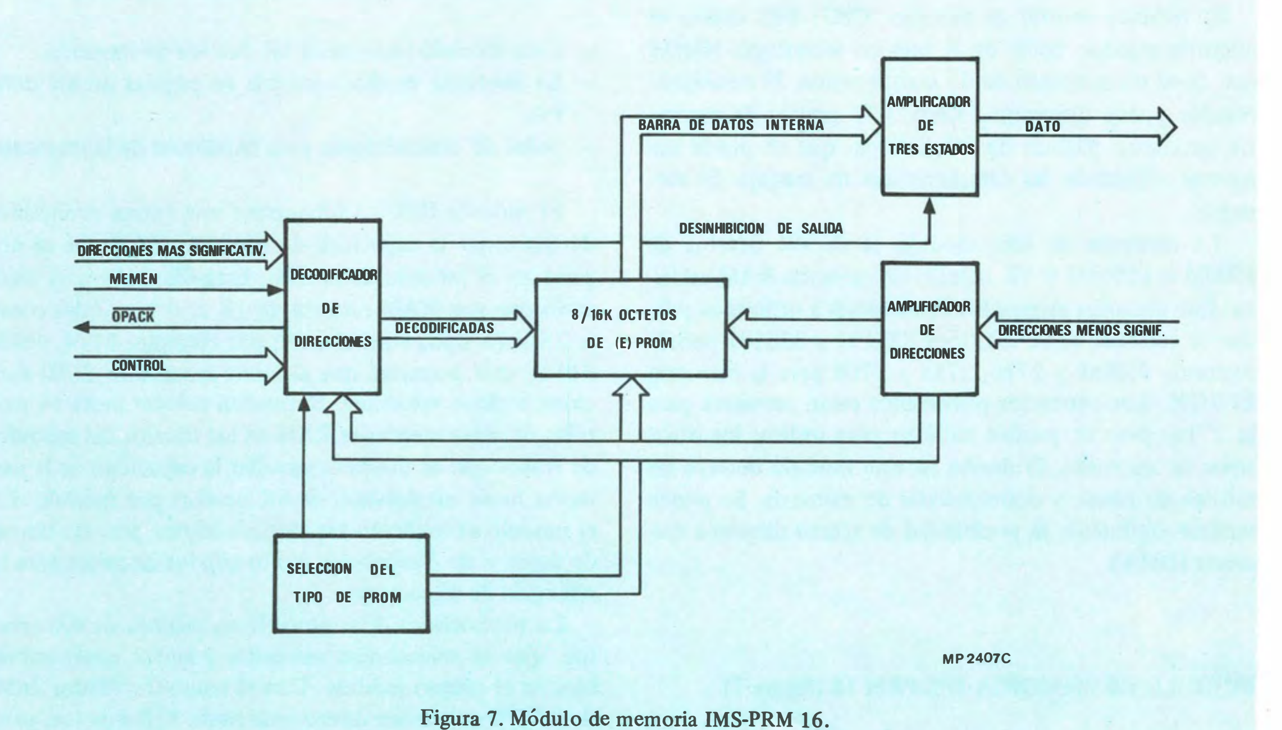


Figura 7. Módulo de memoria IMS-PRM 16.

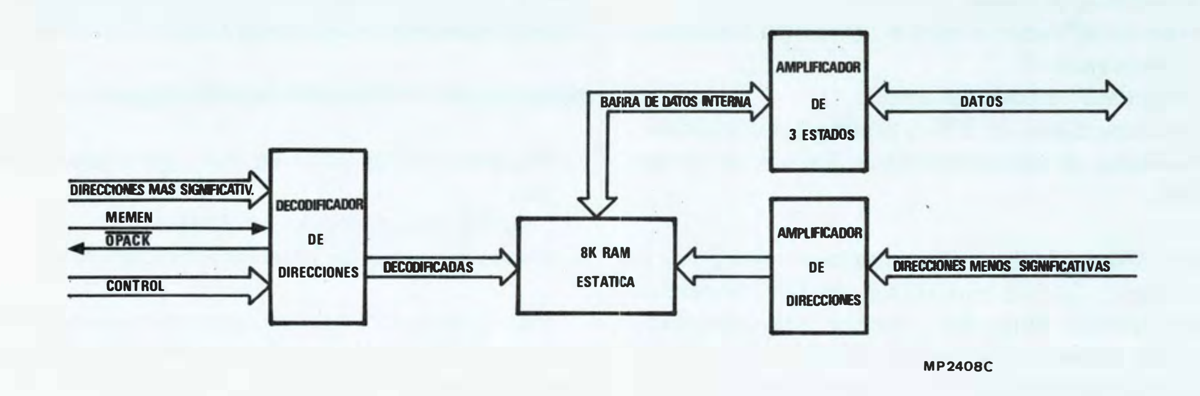


Figura 8. Módulo de memoria IMS-RAM 8.

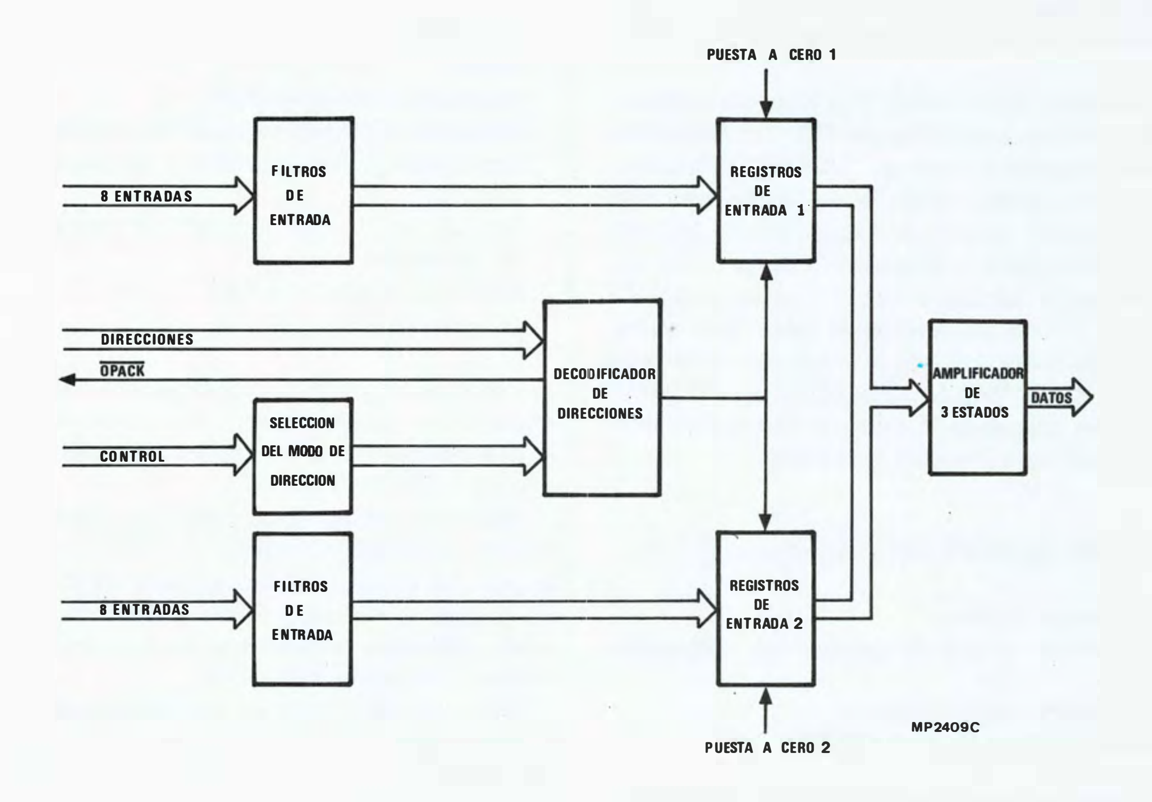


Figura 9. Módulo de entrada IMS-INP 16.

MODULO DE ENTRADA IMS-INP 16 (figura 9)

- Dos registros de entrada de 8 bits.
- Modos amplificador o registro intermedio seleccionables externamente.
- Filtros *RC* de entrada opcionales.
- Direccionamiento de E/S extendido o no extendido.
- Posibilidad de direccionar hasta 256 octetos de entrada.

Este módulo contiene dos entradas en paralelo de 8 bits. Las entradas son compatibles con TTL. Se pueden colocar también filtros *RC* y diodos zener adicionales para otras entradas diferentes de circuitos TTL. El módulo está provisto de puentes intercambiables para poder facilitar la posibilidad de direccionar hasta 256 octetos de salida.

MODULO DE SALIDA IMS-OUT16 (figura 10)

- Dos registros de salida de 8 bits.
- 300 mA de consumo de corriente por salida.
- Salida de colector abierto igual a 80 V.
- Resistores de emisor y diodos de protección opcionales.
- Direccionamiento de E/S extendido o no extendido.
- Posibilidad de direccionar hasta 256 octetos de salida.

El módulo de salida IMS-OUT16 tiene dos salidas en paralelo de 8 bits compatibles con TTL. Los dispositivos de salida utilizados son del tipo DS3614 y el funcionamiento debe realizarse dentro de los límites especificados. En virtud de su salida de colector abierto, se puede acceder directamente a dispositivos exteriores. La tensión máxima de colector es de 80 V; $I_{C\,máx}$ es igual a 300 mA a 25°C de temperatura de unión. Si es necesario, se puede incluir un diodo de protección o resistencia de emisor en cada línea de salida. El módulo está provisto de puentes intercambiables para facilitar la posibilidad de direccionar hasta 256 octetos de salida.

MODULO DE TELETIPO IMS-TTY1 (figura 11)

- Acoplamiento RS232.
- Acoplamiento de lazo de corriente con optoacopladores.
- Acoplamiento a un audiocassette.
- Indicación LED de FLAG y SENSE.

El módulo de teletipo IMS-TTY1 conecta el IMS con el exterior por medio de un acoplamiento en serie RS232 y un acoplamiento de lazo de corriente con optoacopladores. Además, el acoplamiento a audiocassette permite grabar el programa en una cinta magnética.

La comunicación entre los módulos TTY y CPU se realiza mediante las barras del sistema y a través de las señales FLAG y SENSE. El estado de ambas señales se visualiza mediante sendos diodos LED en el módulo.

MODULO DE DEPURADO IMS-DEB (figura 12)

- Registros para las barras de datos, direcciones y control.
- Conector para el módulo visualizador.
- Zócalo para memoria ROM monitor/diagnóstico.

Este módulo está diseñado para utilizarlo en combinación con el módulo visualizador IMS-DIS. Estos dos módulos permiten el depurado de un programa que se está desarrollando en tiempo real, mientras avanza bajo el control del microprocesador 2650 en la CPU. Hay una memoria ROM especial de 1K × 8 bits que contiene un programa monitor. Este programa monitor está situado en la primera parte de la memoria.

Las interconexiones entre las barras de datos, direcciones y control del módulo de depurado, y visualizador se realizan por medio de un cable plano.

MODULO VISUALIZADOR IMS-DIS (figura 13)

- Visualizador hexadecimal para direcciones e instrucciones.
- Visualizador LED de los datos.
- Indicadores LED para memoria E/S, lectura/escritura, avance/paro y direccionamiento del punto de ruptura.
- Selección de dirección del punto de ruptura por medio de conmutadores.
- Pulsadores de STEP y RESET.
- Dimensiones 218 × 130 mm.

Utilizando el módulo visualizador IMS-DIS, con sus características de direccionamiento de puntos de ruptura, es posible ver todos los detalles del estado del microprocesador 2650 en una ojeada.

Mediante un juego de conmutadores existentes en el módulo se pueden direccionar los puntos de ruptura. Después del punto de ruptura se puede continuar el programa paso a paso, accionando el pulsador STEP. Se puede seleccionar alternativamente el modo de avance mediante un selector RUN/STEP.

En el módulo se tiene una serie de visualizadores que incluye visualizadores hexadecimales de dirección y de instrucción de corriente, visualizadores LED de la barra de datos y visualizadores LED del estado del programa.

Es una unidad compacta que se utiliza fuera del bastidor. Se emplea junto con el módulo de depurado IMS-DEB al que se conecta por medio de un cable plano.

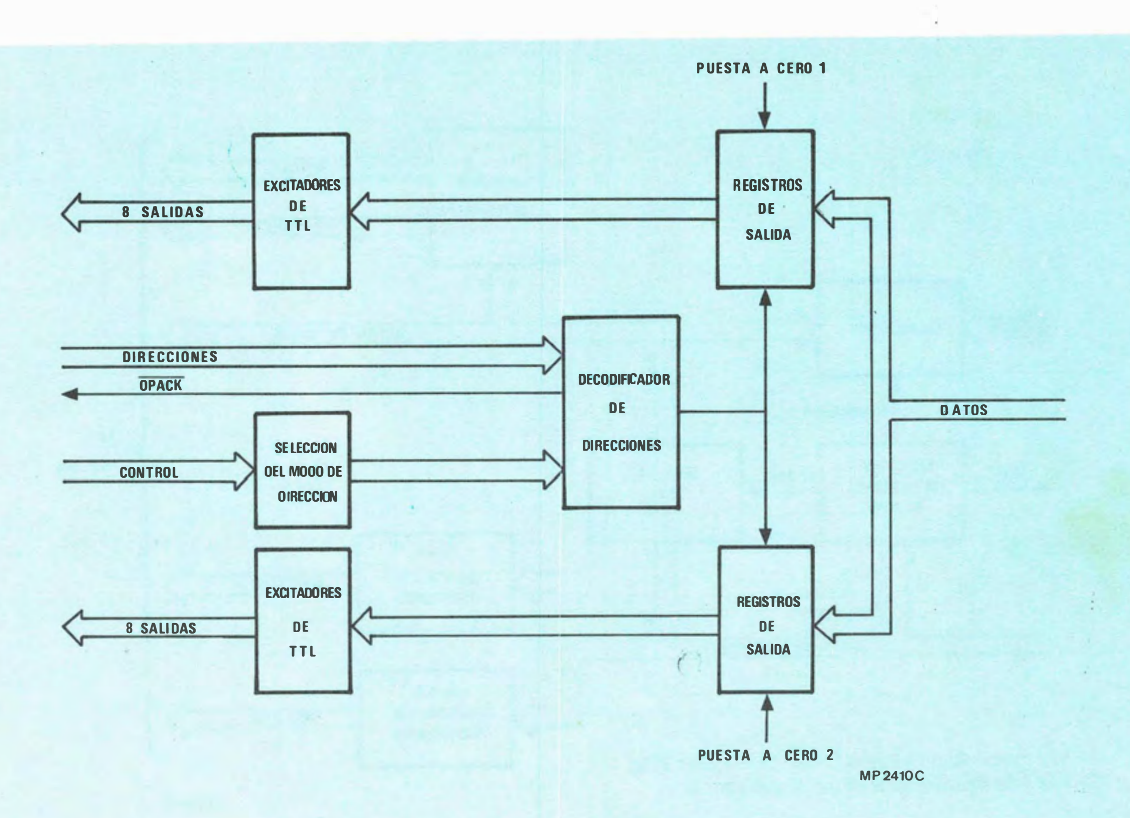


Figura 10. Módulo de salida IMS-OUT 16.

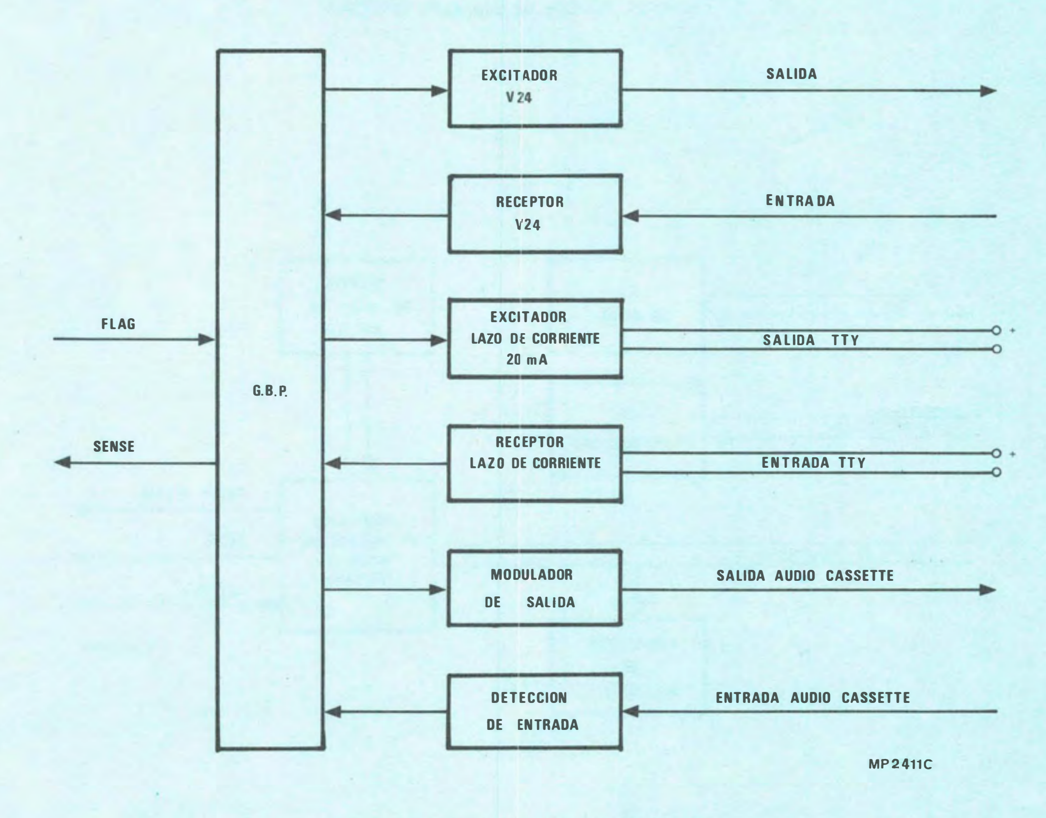


Figura 11. Módulo de teletipo IMS-TTY 1.

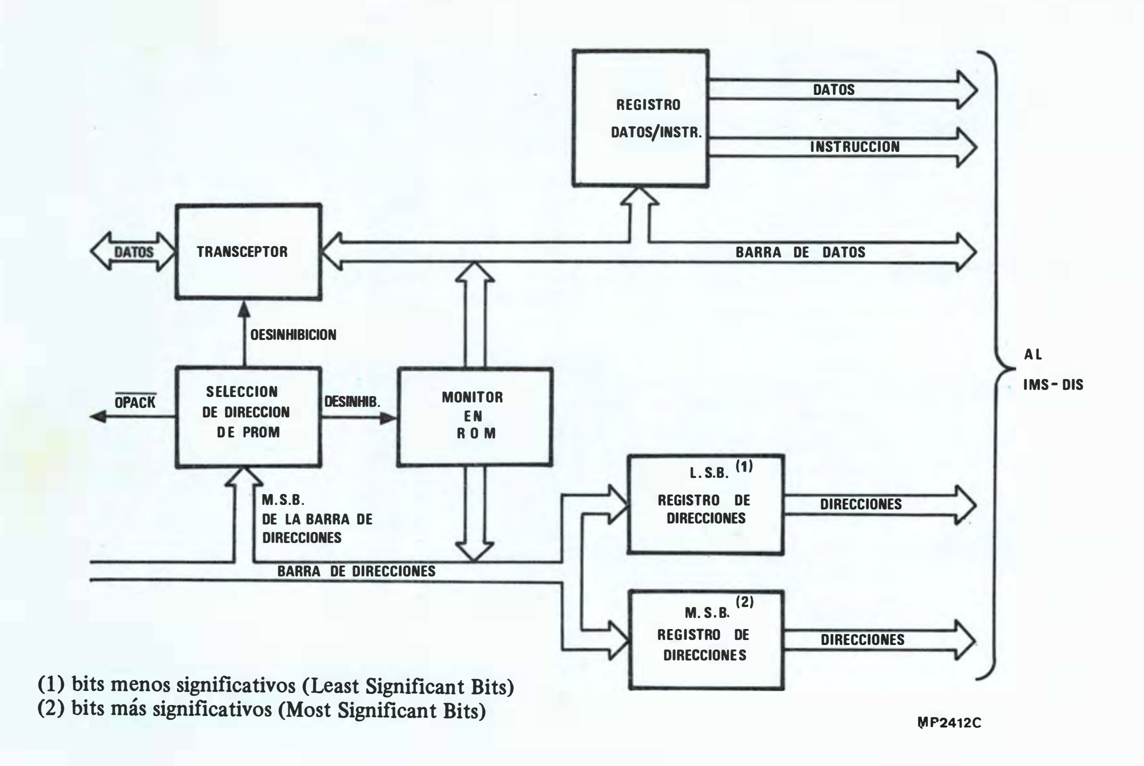


Figura 12. Módulo de depurado IMS-DEB.

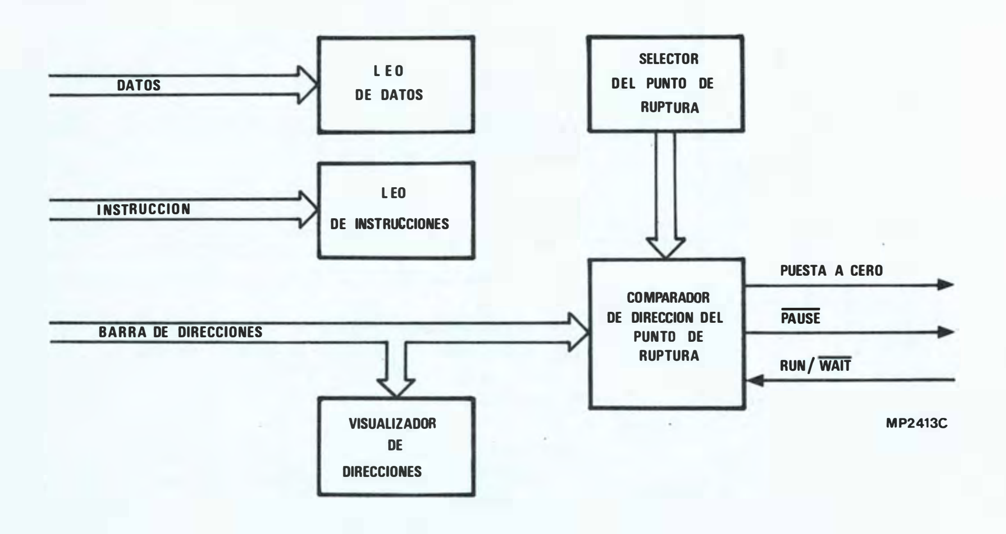


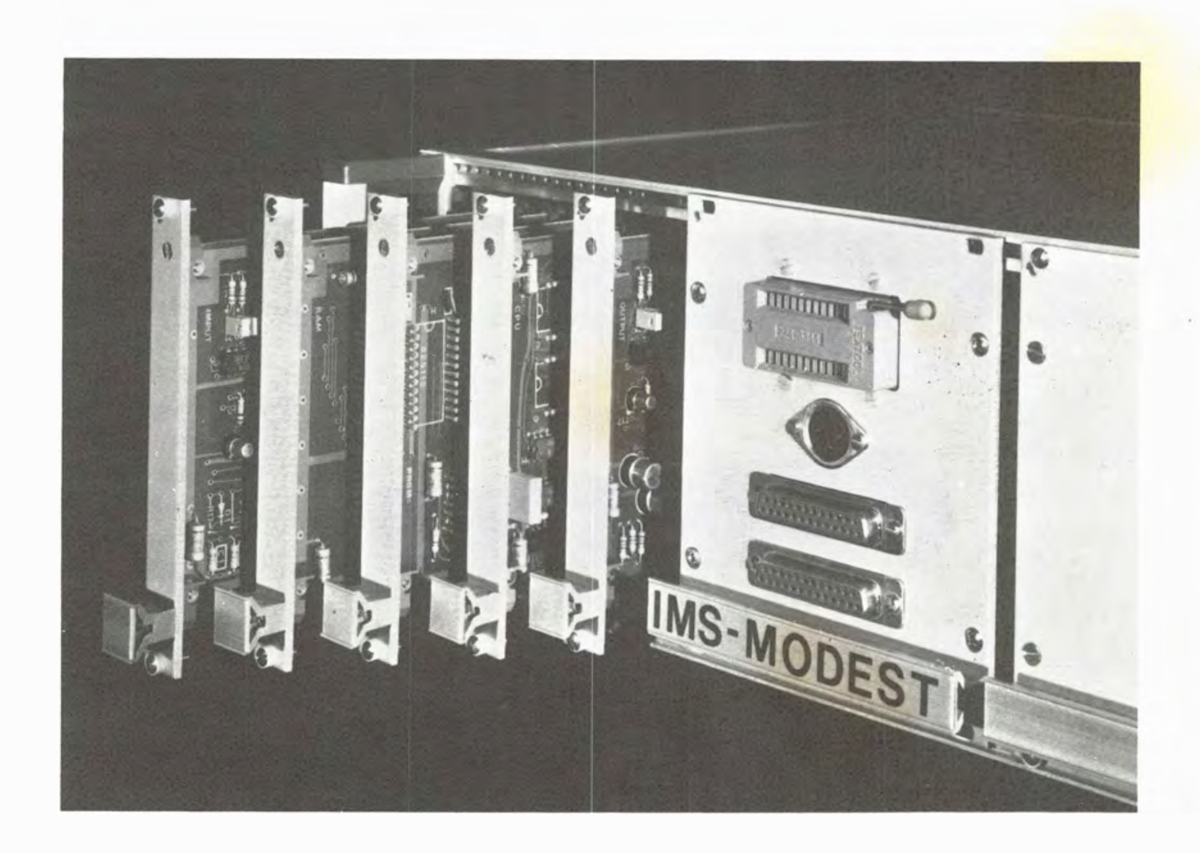
Figura 13. Módulo visualizador IMS-DIS.

PANEL DE CONEXION IMS-BAC

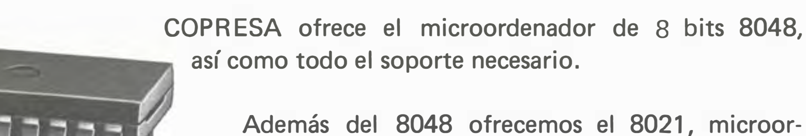
— Incluye las barras del sistema en circuito impreso.
— Está en un bastidor normalizado de 19 pulgadas.

Los módulos del IMS, a excepción del módulo de visualización IMS-DIS, se conectan al panel de conexión IMS-BAC que está dispuesto en un bastidor de formato europeo de 19 pulgadas. Las interconexiones entre los distintos módulos se hacen mediante 44 líneas en circuito impreso dispuestas en el panel de conexión.

Cada módulo se enchufa al panel de conexión mediante un conector de 96 terminales dispuestos en tres filas de 32 terminales cada una. De los 96 terminales, 44 se utilizan para las conexiones con las barras, las restantes son para las conexiones según las funciones que realice cada módulo. Las barras constan de 15 líneas de dirección, 8 líneas de datos y 13 líneas de control, incluyendo reloj, sense, flag, desinhibición de la memoria y pausa. Las líneas restantes son para las líneas de alimentación de +12 V, –12 V y +5 V y para las tomas de masa. ■

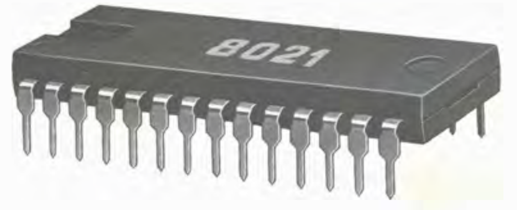


8048 MICROORDENADOR



COPRESA ofrece el microordenador de 8 bits 8048, así como todo el soporte necesario.

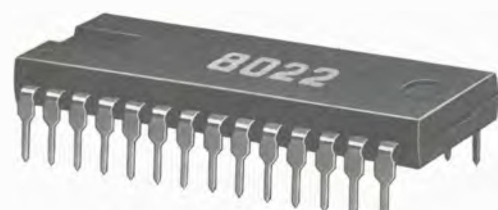
Además del 8048 ofrecemos el 8021, microordenador de 8 bits monochip, similar al 8048 pero con un repertorio de instrucciones menor adecuado en caso de no necesitar todas las posibilidades del 8048.

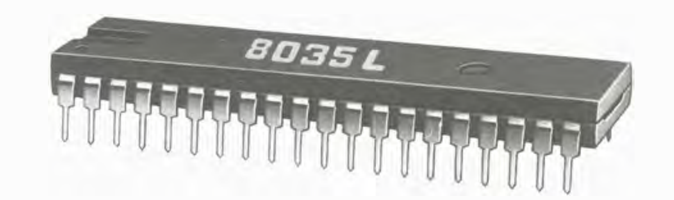


Como complemento al 8048 tenemos disponible el expansor I/O 8243.

Para el inicio de nuevos diseños o pequeñas series ofrecemos el microordenador 8035L que tiene las mismas especificaciones que el 8048, excepto que necesita ROM o PROM externa.





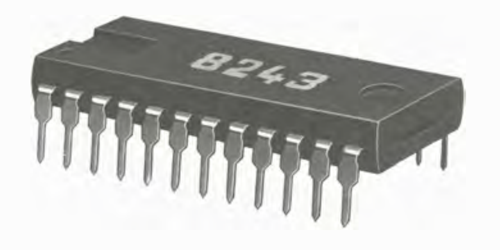


CALIDAD

SOPORTE

SERVICIO





Placa de prototipos con el microordenador 8048

En este artículo se describe la placa de prototipos con el microordenador 8048.

Esta placa es de tamaño reducido y contiene el microordenador, la memoria y las entradas/salidas, de modo que, con una sola tensión de alimentación y un correcto software se pueden obtener una gran cantidad de señales que gobiernen los periféricos.

FINALIDAD DE LA PLACA

Su objetivo principal es el de poder tener en una sola placa de tamaño reducido (130 X 100 mm) un microordenador con gran capacidad de memoria y mayor número de E/S.

En la actualidad, el microordenador es utilizado en sustitución de muchos equipos de gran volumen poco depurados. El microordenador es un circuito integrado de 40 patillas, con lo que su tamaño es despreciable frente a 10 circuitos integrados convencionales de TTL. No obstante, el microordenador se acompaña de elementos básicos para su correcto funcionamiento, como son la memoria, el reloj y sus periféricos.

Esta placa pretende englobar todos estos componentes, así como sus distintos modos de funcionamiento, en una placa de tamaño pequeño y de fácil manejo, no incluyendo en ella los periféricos ya que en síntesis es lo que caracteriza a un equipo, por ser estos proporcionados a la función del mismo.

La particularidad de poder cambiar nuestro programa en la memoria del microordenador abre un abanico de posibilidades en la utilización de la placa, ya que de esta forma se convierte en una herramienta normalizada de trabajo de todo técnico de laboratorio.

DESCRIPCION DE LA PLACA

Esencialmente la placa de prototipos del 8048 está compuesta por seis bloques funcionales básicos:

1) Microordenador.
2) Memoria.
3) Entrada/salida.
4) Reloj y puesta a cero.
5) Control.
6) Conexión al exterior.

En la figura 1 se da el diagrama de bloques de la placa.

Microordenador

Consiste en un circuito integrado de 40 patillas alimentado por +5 V de c.c. que gobierna el funcionamiento total de la placa. En este apartado se presentan dos variantes.

Microordenador 8748

– CPU de 8 bits.
– EPROMen el integrado de 1K X 8 bits de memoria de programa.
– RAM en el integrado de 64 X 8 bits de memoria de datos.
– 27 líneas de entrada/salida.
– Temporizador/contador de 8 bits.

Se graba eléctricamente y se puede borrar varias veces con luz ultravioleta. Esta particularidad hace que sea muy utilizado en el laboratorio de aplicaciones e investigación para el desarrollo de prototipos.

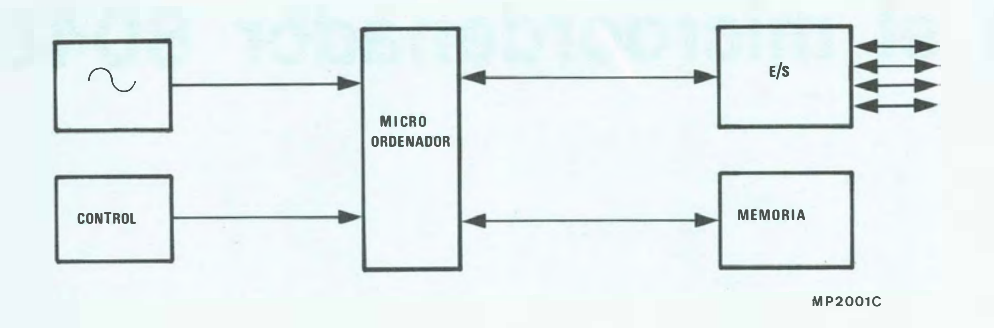


Figura 1. Diagrama de bloques de la placa de prototipos del microordenador 8048.

Figura 2. Diagrama de bloques del expansor de E/S 8243 y configuración de patillas.

Como particularidad, incluye un circuito de puesta a cero interno y un excitador del oscilador.

Microordenador 8035

Con las mismas características que el 8748, posee la memoria de programa PROM o EPROM en el exterior.

Memoria

La memoria está constituida por dos equipos fundamentales. Memoria de datos RAM formada por 64 posiciones de 8 bits y memoria de programa EPROM formada por:

- 1K × 8 bits en el interior del 8748.
- 1K × 8 bits en el exterior (82S 2708).
- 2K × 8 bits en el exterior (82S2716)/(82S180).
- 4K × 8 bits en el exterior (82S2732).

Tanto el microordenador 8748 como el 8035 son de barra única (UNIBUS); por tanto, para direccionar la memoria externa, es necesario memorizar la dirección antes de dar u obtener el dato de esa memoria. Esto se realiza mediante un registro temporal de 8 bits (74LS273). Tanto la memoria EPROM interna del 8748 como las memorias EPROM externas (82S2708/82S180, etc.) son borrables mediante rayos ultravioletas.

Se puede obtener desde un mínimo de 1K × 8 bits a un máximo de 4K × 8 bits.

Entrada/salida

Tanto el 8748 como el 8035 poseen 27 líneas de E/S que están divididas en cuatro grupos fundamentales:

- 8 líneas para la barra de E/S;
- 16 líneas de los registros de E/S P_1 y P_2;
- 2 líneas de test (I);
- 1 línea de interrupción (I).

La placa de prototipos permite ampliar estas líneas de E/S mediante un expansor de E/S, el 8243 que, utilizando 4 líneas de un registro de E/S entrega 16 líneas divididas en 4 grupos de 4 líneas cada uno. Así se pueden obtener desde un mínimo de 27 líneas de E/S hasta un máximo de 39 líneas de E/S.

Expansor de E/S 8243

El 8243 contiene cuatro registros de E/S de 4 bits, direccionados como registros de E/S del 4 al 7. En estos registros de E/S pueden realizarse las siguientes operaciones:

- Transferir el contenido del acumulador a un registro de E/S direccionado.
- Transferir el contenido de un registro de E/S hacia el acumulador.
- Función AND sobre el acumulador y un registro de E/S.
- Función OR entre el acumulador y un registro de E/S.

El acoplamiento entre el 8748/8035 y el 8243 se realiza a través del registro de E/S 2 (P20 a P23) del primero, mediante una secuencia controlada por un impulso de salida de la patilla PROG del procesador. Cualquier transferencia de información se realiza mediante el envío de dos palabras de 4 bits (nibbles), la primera contiene el código de operación y la dirección del registro de E/S y la segunda el dato de 4 bits a transferir.

Un flanco de bajada de la línea PROG indica la presencia de una dirección, mientras que un flanco de subida indica la presencia de un dato.

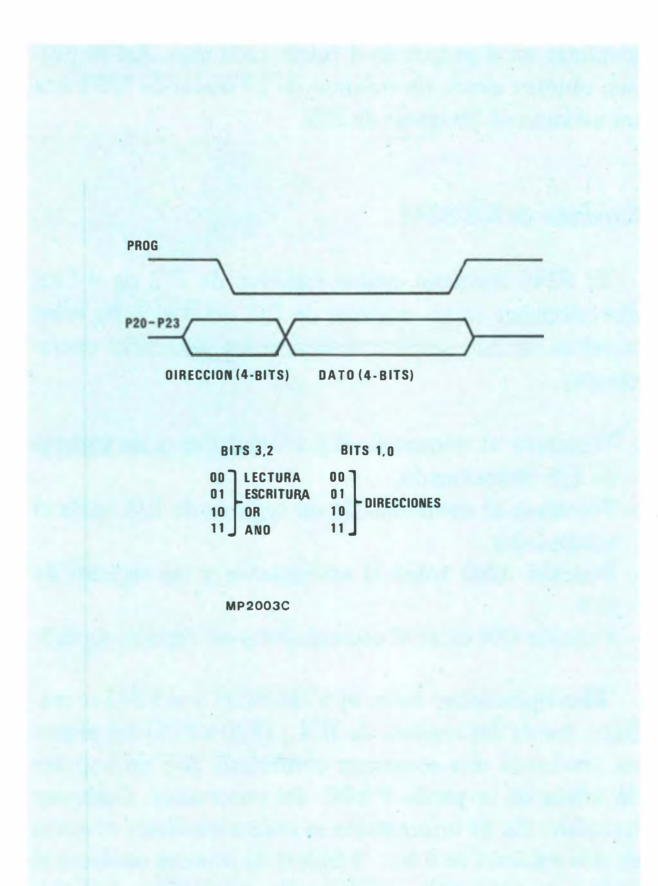
Al inicializar el circuito (aplicación de tensión de alimentación), los registros de E/S 4, 5, 6 y 7 quedan en el tercer estado y el registro de E/S 2 en el modo de entrada. La línea PROG puede quedar en estado alto o bajo indistintamente. El primer flanco de bajada de PROG provoca la salida del circuito de su estado inicial. La secuencia de inicialización se reproducirá cuando la tensión V_{CC} caiga por debajo de 1 V.

En la tabla 1 se pueden observar las diferentes funciones a realizar por el circuito; P21 y P20 indican el registro de E/S de trabajo, mientras que P23 y P22 indican la función a realizar. Ambas informaciones están contenidas en la primera palabra de 4 bits que se envía.

En la figura 2 se muestra el diagrama de bloques y en la figura 3 el diagrama de secuencias y el acoplamiento con el 8748/9035.

Tabla 1.

P21	P20	Código dirección	P23	P22	Código instrucción
0	0	registro E/S 4	0	0	lectura
0	1	registro E/S 5	0	1	escritura
1	0	registro E/S 6	1	0	función OR
1	1	registro E/S 7	1	1	función AND



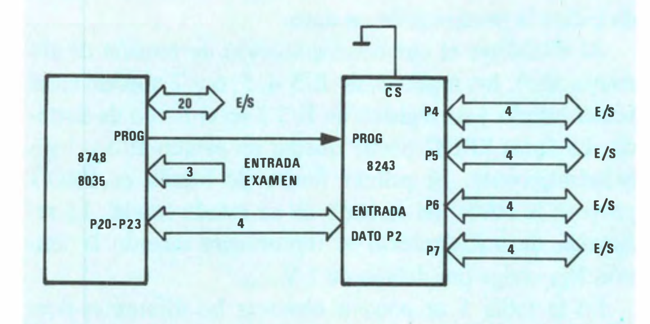


Figura 3. Diagrama de secuencias y acoplamiento del expansor 8243 con el 8748/8035.

Reloj y puesta a cero

En la placa se ha previsto un zócalo para cristal de cuarzo pudiendo variar la frecuencia de oscilación del reloj solo con cambiar el cristal.

Para aplicaciones de gran consumo y poca rapidez en la respuesta del microordenador se pueden utilizar cristales de TV como el de 4,43 MHz y de 8,86 MHz.

La frecuencia del cristal varía entre 1 y 6 MHz. La puesta a cero del microordenador se efectúa presionando el pulsador adecuado en la placa.

Control

La placa posee dos terminales puenteados con los que se puede seleccionar externamente si se quiere utilizar memoria externa o interna, o si en el caso de memoria externa se utilizan 1K X 8, 2K X 8 ó 4K X 8 bits de memoria.

Conexión con el exterior

Se ha provisto a la placa de prototipos de tres zócalos DIL de 16 patillas para su interconexión con el periférico deseado en cada caso.

La distribución de las líneas de entrada/salida son:

- registros de E/S P1 y P2 de 8 bits cada uno;
- registros de E/S P4, P5, P6 y P7 de 4 bits cada uno;
- barra de 8 bits, $+V_{CC}$, GND, PSEN, ALE, SS, INT, T1 y T0.

MODOS DE FUNCIONAMIENTO

Existen básicamente 12 modos de funcionamiento. Todos estos modos actúan con 64 posiciones de 8 bits de memoria de datos. En la tabla 2 se muestran los distintos modos de funcionamiento.

APLICACIONES DE LA PLACA

Algunas de las aplicaciones típicas de la placa son:

- Terminales inteligentes.
- Equipos de prueba.
- Controlador de periféricos.
- Control de tráfico.
- Terminales de venta.
- Control de procesos.

En la figura 4 se muestra el esquema teórico de la placa y en la figura 5 la distribución física de la misma.

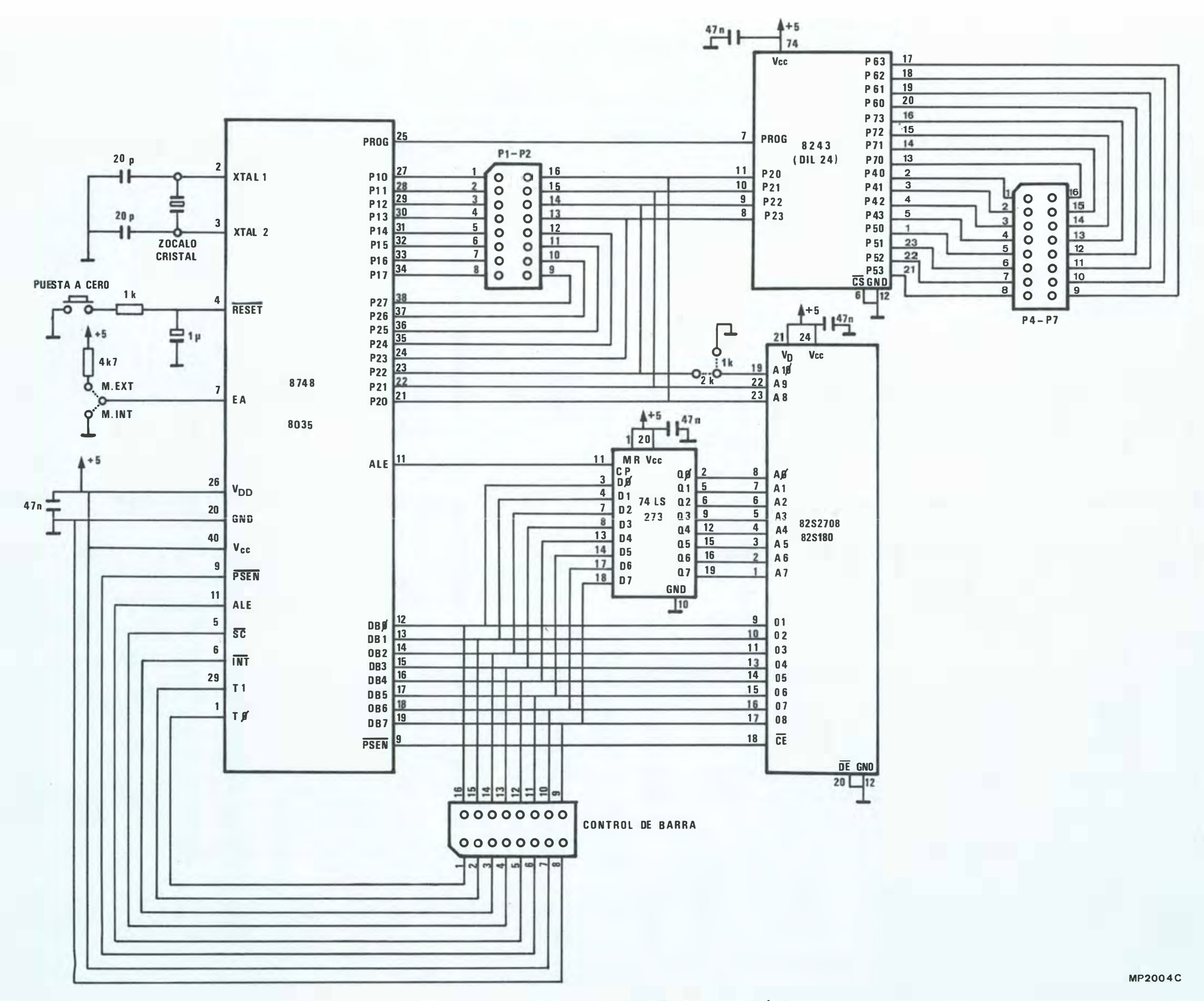


Figura 4. Placa de prototipos 8048, esquema teórico.

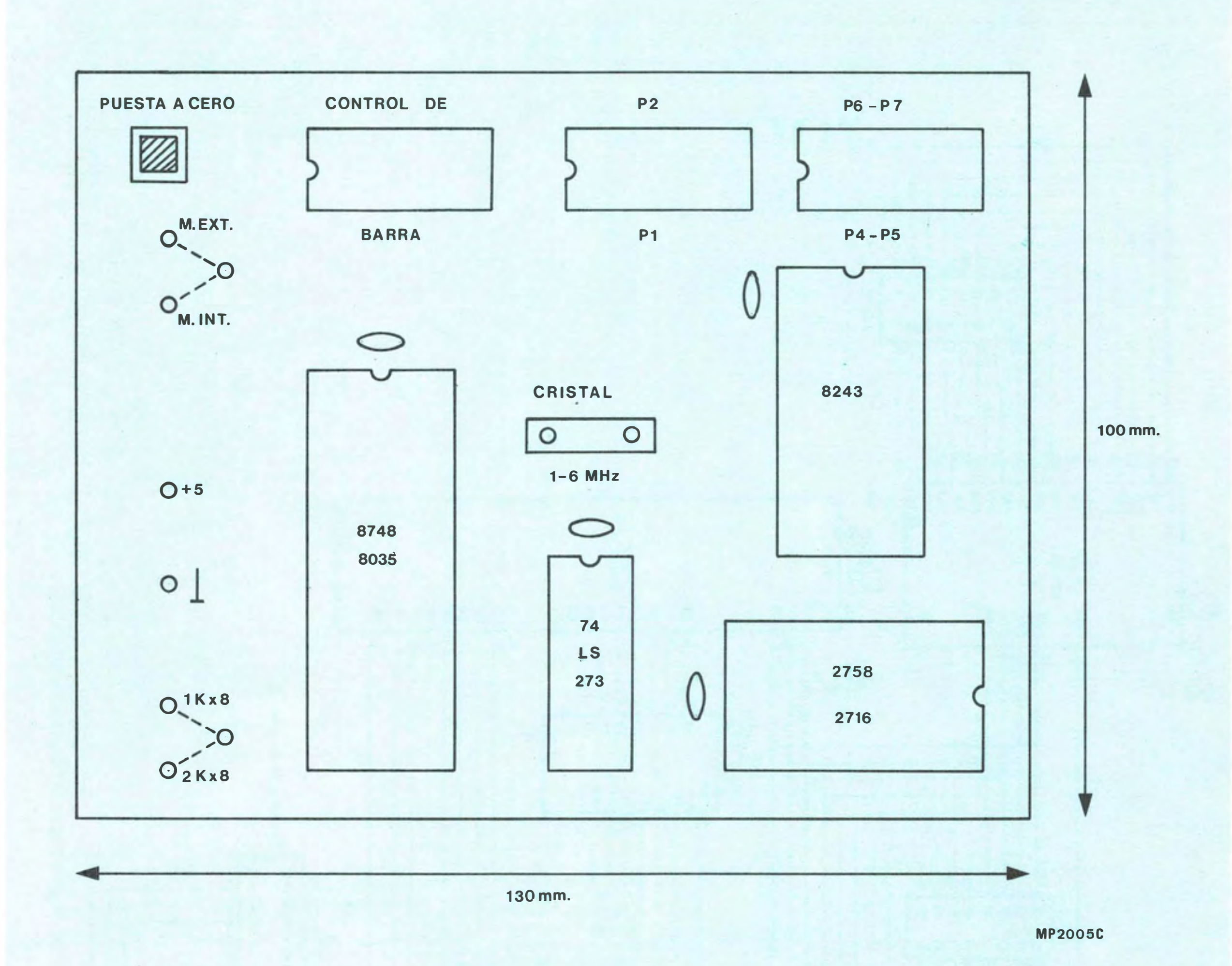


Figura 5. Placa de prototipos 8048, distribución física de componentes, escala 1:1.

Tabla 2. *Modos de funcionamiento.*

Modo	Microordenador	Memoria interna	Memoria externa	Expansor	Memoria	E/S
1	8748	1K X 8	–	–	1K X 8	27
2	8748	1K X 8	1K X 8	–	2K X 8	27
3	8748	1K X 8	2K X 8	–	3K X 8	27
4	8748	1K X 8	–	8243	1K X 8	39
5	8748	1K X 8	1K X 8	8243	2K X 8	39
6	8748	1K X 8	2K X 8	8243	3K X 8	39
7	8035	–	1K X 8	–	1K X 8	27
8	8035	–	2K X 8	–	2K X 8	27
9	8035	–	4K X 8	–	4K X 8	27
10	8035	–	1K X 8	8243	1K X 8	39
11	8035	–	2K X 8	8243	2K X 8	39
12	8035	–	4K X 8	8243	4K X 8	39
		–				

■

Rutinas de ordenación de tablas en el microprocesador 2650

En un sistema cuyo elemento base es el microprocesador, las rutinas de ordenación de tablas son un requisito común dentro del diseño del software.

Este artículo proporciona varios ejemplos para realizar dichas rutinas en el microprocesador 2650. Las rutinas presentadas a continuación permiten ordenar tablas cuya longitud puede ser fija o variable, con uno o varios octetos y que pueden llevar signo o no.

Las técnicas de ordenación empleadas son: "la burbuja", "la búsqueda" y el método "lineal".

METODO DE LA BURBUJA

Un procedimiento fácil para la ordenación consiste en comparar entre sí dos números de la tabla e intercambiarlos en caso de no hallarse en la secuencia correcta. Esta técnica recibe el nombre de "la burbuja". Generalmente este método emplea el mayor tiempo de ejecución.

En el método de ordenación de la burbuja, se comparan los dos últimos números de la tabla y en caso de no estar en el orden correcto son intercambiados. Entonces se compara el número que se halla en el penúltimo lugar de la tabla con su inmediato anterior y se producirá de nuevo el intercambio si su secuencia no es la correcta. Este proceso continúa, comparando a cada paso un par de números adyacentes. Al producirse un intercambio, el sentido de las comparaciones se invierte (ahora en dirección al final de la tabla) y se examina de nuevo la parte de la tabla que ya había sido ordenada comparando los números dos a dos hasta que no se produzca ningún intercambio. Entonces, la ordenación se reanuda (en la dirección original, hacia la cabecera de la tabla) en el punto donde se encontraba el número causante de la inversión. Este ciclo de comparaciones de abajo-arriba (y en oden inverso) a lo largo de la tabla se repite hasta que todos los números se encuentren en la secuencia correcta.

El tiempo de ejecución es proporcional al número de intercambios que deben producirse para llegar a una tabla ordenada.

La figura 1 muestra un ejemplo de este método.

METODO DE LA BUSQUEDA

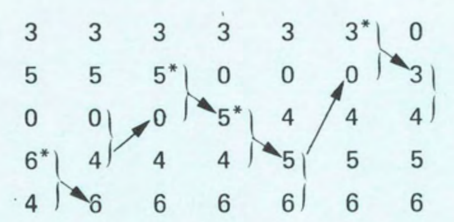
Otro procedimiento para ordenar una tabla consiste en examinar toda la tabla buscando cada vez el número mayor para insertarlo a continuación en la posición correcta de la tabla.

Esta técnica recibe el nombre de "la búsqueda". Primero se examina toda la tabla y el número mayor se intercambia con el situado en la última posición. A continuación se decrementa en una unidad la longitud de la tabla y se examina nuevamente para encontrar el nuevo número mayor. Este proceso continua hasta lograr situar todos los números de la tabla en el orden correcto, como puede verse en la figura 2.

El tiempo de ejecución es proporcional a la longitud de la tabla. En muchas tablas desordenadas el tiempo de ejecución de este método es inferior al de la burbuja.

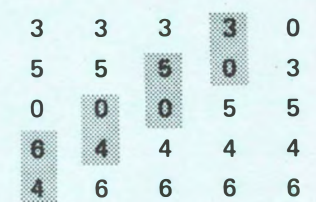
METODO LINEAL

El método lineal consta de varios pasos. En cada paso, se examina la tabla en orden ascendente, comparando los



*Indica el lugar donde se produce un intercambio entre dos números.

Figura 1. Ejemplo de ordenación por el método de la burbuja.



Indicador = 0
Paso 1

0	0	0	0	0
3	3	3	3	3
5	5	4	4	4
4	4	5	5	5
6	6	6	6	6

Indicador = 0
Paso 2

0	0	0	0	0
3	3	3	3	3
4	4	4	4	4
5	5	5	5	5
6	6	6	6	6

Indicador = 0
Paso 3

Figura 3. Ejemplo de ordenación por el método lineal.

2	2	2	2	*2	0
0	0	0	0	0	2
5	*5	*4	*3	3	3
6	3	3	4	4	4
4	4	5	5	5	5
3	6	6	6	6	6

Nota: Las áreas sombreadas indican la parte de tabla analizada en cada caso.
*Indica el número mayor en cada caso.

Figura 2. Ejemplo de ordenación por el método de la búsqueda

```
                ********************
                *  DEFINITIONS OF SYMBOLS
                *   REGISTER EQUATES
0000            R0     EQU     0        REGISTER 0
0001            R1     EQU     1        REGISTER 1
0002            R2     EQU     2        REGISTER 2
0003            R3     EQU     3        REGISTER 3
                *  CONDITION CODES
0001            P      EQU     1        POSITIVE RESULT
0000            Z      EQU     0        ZERO RESULT
0002            N      EQU     2        NEGATIVE RESULT
0002            LT     EQU     2        LESS THAN
0000            EQ     EQU     0        EQUAL TO
0001            GT     EQU     1        GREATER THAN
0003            UN     EQU     3        UNCONDITIONAL
                *  PSW LOWER EQUATES
0000            CC     EQU     H'00'    CONDITIONAL CODES
0020            IDC    EQU     H'20'    INTERDIGIT CARRY
0010            RS     EQU     H'10'    REGISTER BANK
0008            WC     EQU     H'08'    1=WITH 0=WITHOUT CARRY
0004            OVF    EQU     H'04'    OVERFLOW
0002            COM    EQU     H'02'    1=LOGIC 0=ARITHMETIC COMPARE
0001            C      EQU     H'01'    CARRY/BORROW
                *  PSW UPPER EQUATES
0080            SENS   EQU     H'80'    SENSE BIT
0040            FLAG   EQU     H'40'    FLAG BIT
0020            II     EQU     H'20'    INTERRUPT INHIBIT
0007            SP     EQU     H'07'    STACK POINTER
                * END OF EQUATES
```

Figura 4. Definición de símbolos.

números dos a dos y el número mayor de cada pareja se sitúa en la parte inferior del par. Cualquier intercambio dentro del par pone a uno un indicador. Cuando un paso se ha terminado, el programa observa el indicador y, si es distinto de cero lo pone a cero y emprende un nuevo paso. La ordenación se completa cuando el indicador no ha sido afectado durante un paso. En algunos casos, la ejecución del método lineal es mucho más rápida que la del método de la burbuja o el de la búsqueda. En la figura 3 se da un ejemplo de este método.

COMENTARIOS SOBRE LOS EJEMPLOS DE PROGRAMAS

Los programas que se dan a continuación ilustran la aplicación de las técnicas descritas anteriormente en la tarea de ordenar diferentes tipos de tablas. Sustituyendo el símbolo (>) por (<) en las instrucciones de comparación señaladas con # en la columna de comentarios, los siguientes programas podrán ordenar los números de la tabla en orden creciente y viceversa.

La figura 4 define los símbolos utilizados en los programas que siguen. En las tablas cuyos números están formados por varios octetos, el número de octetos, N, debe cumplir $N = 2^n$ donde n es un entero.

PROGRAMA 1: ORDENACION POR EL METODO DE LA BURBUJA DE UNA TABLA PREDEFINIDA

Función

Este programa ordena números de un único octeto (con o sin signo) en orden creciente. Los octetos se hallan contenidos en una tabla con una dirección de comienzo y una extensión fijadas de antemano. La longitud máxima de la tabla es de 256 octetos.

Parámetros

Entrada:
- Tabla desordenada.
- El indicador de la comparación (COM) del registro de estado decide si los números llevan signo o no.
  COM = 1 significa números sin signo.
  COM = 0 significa números con signo.

Salida:
- Tabla ordenada.

Las figuras 5 y 6 muestran respectivamente el diagrama de flujo y el listado del programa.

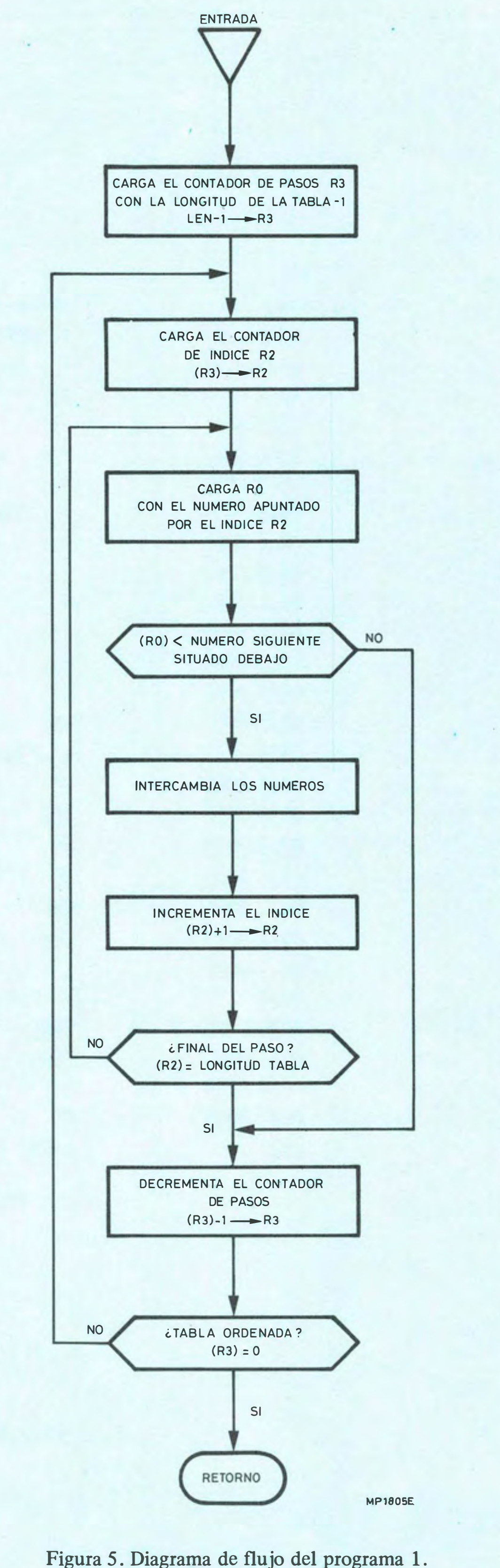


Figura 5. Diagrama de flujo del programa 1.

```
TWIN ASSEMBLER VER 1.0                                    PAGE 0002

LINE ADDR  OBJECT  E SOURCE

0031                 *
0032                 ****************************************
0033                 *     PD760060                         *
0034                 ****************************************
0035                 *     BUBBLE SORT FOR FIXED LIST       *
0036                 ****************************************
0037                 * THIS PROGRAM SORTS A LIST OF SINGLE-BYTE NUMBERS
0038                 * INTO THEIR INCREMENTING ORDER.
0039                 * THE LIST HAS A FIXED LENGTH AND A FIXED ADDRESS.
0040                 * THE MAXIMUM LIST LENGTH IS 256 BYTES.
0041                 * UPON ENTRY TO THIS SUBROUTINE, THE COMPARE FLAG
0042                 * INDICATES IF THE NUMBERS TO BE SORTED
0043                 * ARE SIGNED OR UNSIGNED:
0044                 *    COM=1 MEANS UNSIGNED NUMBERS.
0045                 *    COM=0 MEANS SIGNED NUMBERS.
0046                 *
0047 0000                   ORG     H'500'  SORTING SUBROUTINE
0048 0500 07C7       SORT   LODI,R3 LEN-1   LOAD PASS COUNTER R3
0049 0502 03         PASS   LODZ    R3      LOAD INDEX R2
0050 0503 C2                STRZ    R2
0051 0504 0E6600     LOOP   LODA,R0 LIST,R2 LOAD FIRST NUMBER IN R0
0052 0507 EE65FF            COMA,R0 LIST-1,R2       COMPARE WITH SECOND NUMBER
0053 050A 9A11              BCFR,LT LOC     # BRANCH IF THE NUMBERS ARE IN
0054                 *                        THE RIGHT SEQUENCE
0055 050C C1                STRZ    R1      EXCHANGE THE TWO NUMBERS
0056 050D 0E65FF            LODA,R0 LIST-1,R2
0057 0510 CE6600            STRA,R0 LIST,R2
0058 0513 01                LODZ    R1
0059 0514 CE65FF            STRA,R0 LIST-1,R2
0060 0517 DA00              BIRR,R2 $+2     INCREMENT INDEX
0061 0519 E6C8              COMI,R2 LEN     COMPARE INDEX WITH LENGTH
0062 051B 9867              BCFR,EQ LOOP    BRANCH IF PASS NOT READY
0063 051D FBE3       LOC    BDRR,R3 PASS    BRANCH IF SORT NOT READY
0064 051F 17                RETC,UN         RETURN TO MAIN PROGRAM
0065                 *
0066                 ********************
0067                 *  SORTING LIST    *
0068                 ********************
0069 0520                   ORG     H'600'  LIST
0070 00C8            LEN    EQU     200     LENGTH OF THE LIST
0071 0600            LIST   RES     LEN     ADDRESS OF THE LIST
0072                 *
0073 0500                   END     SORT

 TOTAL ASSEMBLY ERRORS = 0000
```

Figura 6. Listado del programa 1.

Hardware afectado

Registros	R0	R1	R2	R3	R1'	R2'	R3'
	X	X	X	X			
PSU	F	II	SP				
PSL	CC	IDC	RS	WC	OVF	COM	C
	X						

RAM requerida (octeros): ninguna
ROM requerida (octetos): 32
Tiempo ejecución: variable
N.° máx. de niveles de subrutina: ninguno
Ensamblador/compilador utilizado: TWIN VER 1,0

PROGRAMA 2: ORDENACION POR EL METODO DE LA BUSQUEDA DE UNA TABLA PREDEFINIDA

Función

Este programa ordena números de un único octeto (con o sin signo) en orden creciente. Los octetos se hallan contenidos en una tabla con una dirección de comienzo y una longitud fijadas de antemano. La longitud máxima de la tabla es de 256 octetos.

Parámetros

Entrada:
- Tabla desordenada.
- El indicador de comparación determina si los números llevan signo o no.
  COM = 1 significa números sin signo.
  COM = 0 significa números con signo.

Salida:
- Tabla ordenada.

Las figuras 7 y 8 muestran el diagrama de flujo y el listado del programa, respectivamente.

Hardware afectado

Registros	R0	R1	R2	R3	R1'	R2'	R3'
	X	X	X	X			
PSU	F	II	SP				
PSL	CC	IDC	RS	MC	OVF	COM	C
	X						

RAM reqerida (octetos): ninguna
ROM requerida (octetos): 32
Tiempo ejecución: variable
N.° máx. de niveles de subrutina: ninguno
Ensamblador/compilador utilizado: TWIN VER 1,0

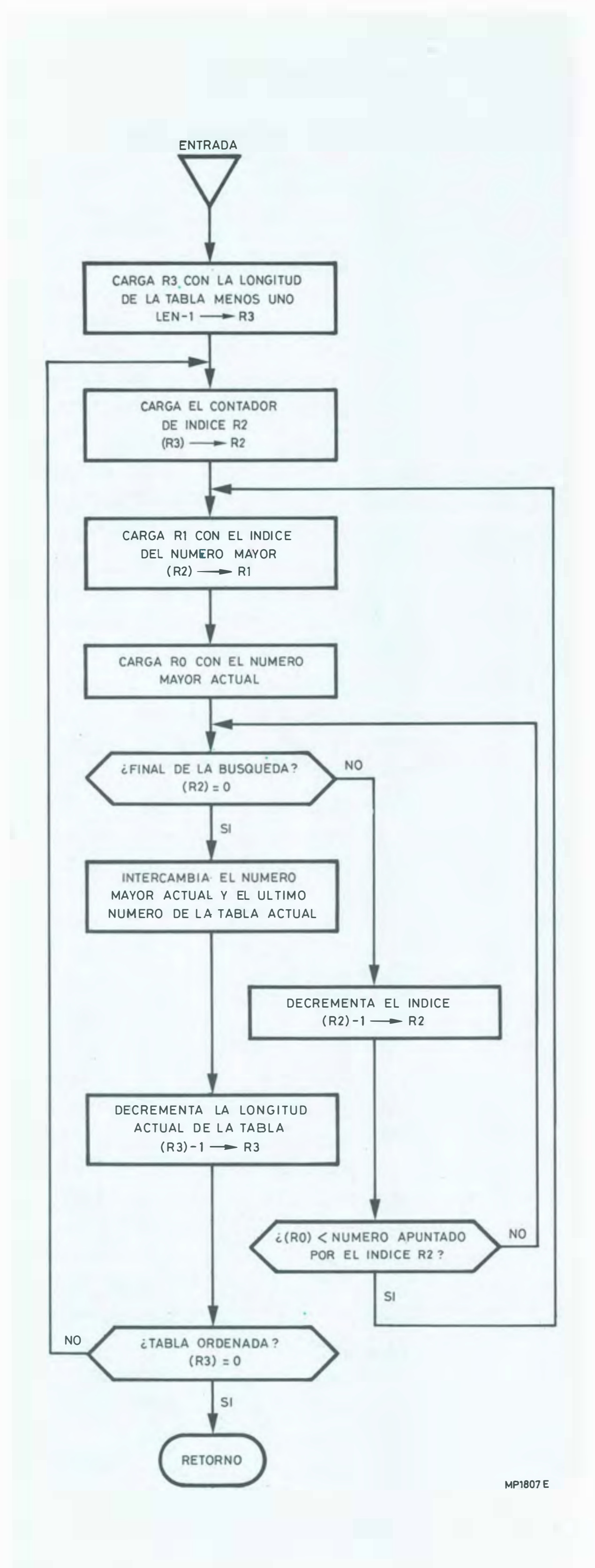


Figura 7. Diagrama de flujo del programa 2.

```
TWIN ASSEMBLER VER 1.0                                          PAGE 0002

LINE ADDR  OBJECT  E SOURCE

0031                 *
0032                 *************************************
0033                 *   PD760061                        *
0034                 *************************************
0035                 *  SEARCH SORT FOR A FIXED LIST     *
0036                 *************************************
0037                 * THIS PROGRAM SORTS A LIST OF SINGLE-BYTE NUMBERS
0038                 * INTO THEIR INCREMENTING ORDER.
0039                 * THE LIST HAS A FIXED LENGTH AND A FIXED ADDRESS.
0040                 * THE MAXIMUM LIST LENGTH IS 256 BYTES.
0041                 * UPON ENTRY TO THIS SUBROUTINE, THE COMPARE FLAG
0042                 * INDICATES IF THE NUMBERS TO BE SORTED
0043                 * ARE SIGNED OR UNSIGNED:
0044                 *   COM=1 MEANS UNSIGNED NUMBERS
0045                 *   COM=0 MEANS SIGNED NUMBERS
0046                 *
0047 0000                 ORG     H'500'     SORTING SUBROUTINE
0048 0500 07C7       SORT LODI,R3 LEN-1      LOAD ACTUAL LIST LENGTH IN R3
0049 0502 03         PASS LODZ    R3         LOAD INDEX R2
0050 0503 C2              STRZ    R2
0051 0504 02         SLEC LODZ    R2         INDEX OF LARGEST NUMBER TO R1
0052 0505 C1              STRZ    R1
0053 0506 0D6600          LODA,R0 LIST,R1    LOAD PRESENT LARGEST NUMBER IN R0
0054 0509 5A0E       LOOP BRNR,R2 COMP       BRANCH IF PASS NOT READY
0055 050B C2              STRZ    R2         EXCHANGE LARGEST NUMBER WITH
0056 050C 0F6600          LODA,R0 LIST,R3      LAST NUMBER IN ACTUAL LIST
0057 050F CD6600          STRA,R0 LIST,R1
0058 0512 02              LODZ    R2
0059 0513 CF6600          STRA,R0 LIST,R3
0060 0516 FB6A            BDRR,R3 PASS       DECREASE ACTUAL LIST LENGTH,
0061                 *                         BRANCH TO NEXT PASS IF
0062                 *                           LENGTH NOT ZERO
0063 0518 17              RETC,UN            RETURN TO MAIN PROGRAM
0064 0519 EE4600     COMP COMA,R0 LIST,R2,-  COMPARE NUMBER WITH PRESENT
0065                 *                          LARGEST NUMBER OF LIST
0066 051C 9A6B            BCFR,LT LOOP       # BRANCH FOR NEXT NUMBER
0067 051E 1B64            BCTR,UN SLEC       BRANCH IF NEW NUMBER IS LARGER
0068                 *
0069                 ****************
0070                 *  SORTING LIST *
0071                 ****************
0072 0520                 ORG     H'600'     LIST
0073 00C8            LEN  EQU     200        LENGTH OF THE LIST
0074 0600            LIST RES     LEN        ADDRESS OF THE LIST
0075 0500                 END     SORT

 TOTAL ASSEMBLY ERRORS = 0000
```

Figura 8. Listado del programa 2.

PROGRAMA 3: ORDENACION POR EL METODO DE LA BURBUJA DE UNA TABLA DE LONGITUD VARIABLE

Función

Este programa ordena una tabla de números de un único octeto en orden creciente. La longitud máxima de la tabla es de 256 octetos.

Parámetros

Entrada

- Tabla desordenada.
- R1 contiene el octeto alto de la dirección de la tabla.
- R2 contiene el octeto bajo de la dirección de la tabla.
- R3 contiene la longitud de la tabla menos uno.
- El indicador de comparación determina si los números llevan signo o no.
  COM = 1 significa números sin signo.
  COM = 0 significa números con signo.

Salida:
- Tabla ordenada.

Las figuras 9 y 10 muestran el diagrama de flujo y el listado del programa.

Hardware afectado

Registros	R0	R1	R2	R3	R1'	R2'	R3'
	X	X	X	X			
PSU	F	II	SP				
PSL	CC	IDC	RS	WC	OVF	COM	C
	X						

RAM requerida (octetos): 3
ROM requerida (octetos): 40
Tiempo ejecución: variable
N.º máx. de niveles de subrutina: ninguno
Ensamblador/compilador utilizado: TWIN VER 1,0

PROGRAMA 4: ORDENACION POR EL METODO DE LA BUSQUEDA DE UNA TABLA DE LONGITUD VARIABLE

Función

Este programa ordena una tabla de números de un único octeto en orden creciente. La longitud máxima de la tabla es de 256 octetos.

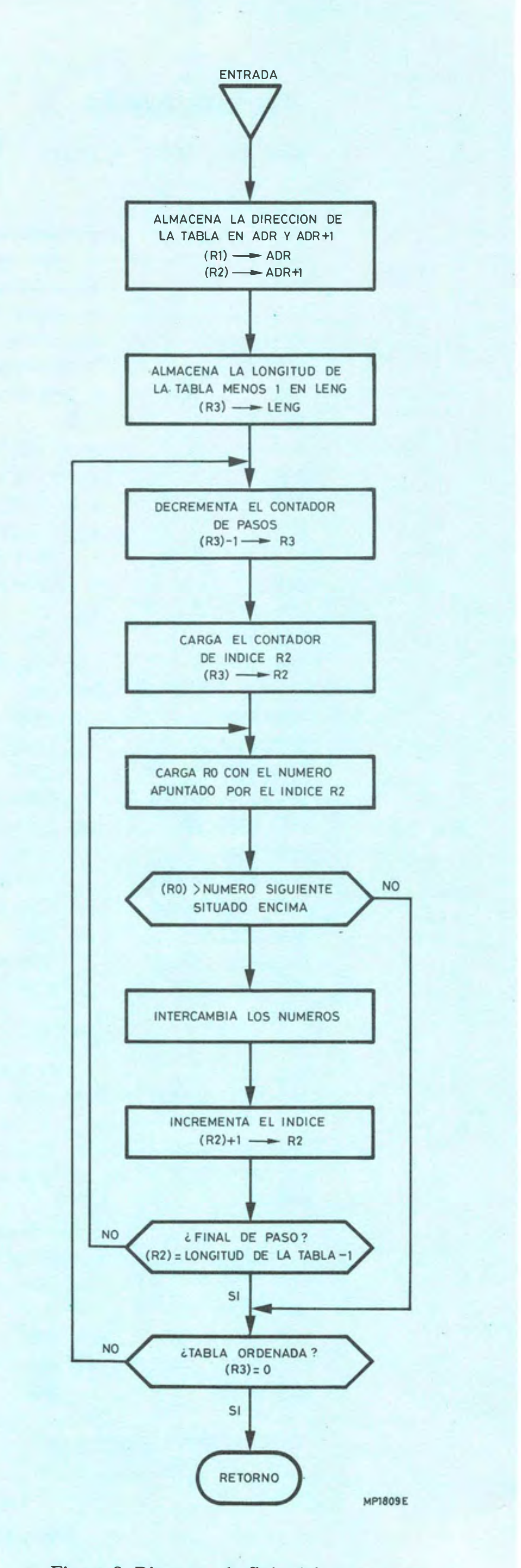


Figura 9. Diagrama de flujo del programa 3.

```
TWIN ASSEMBLER VER 1.0                                    PAGE 0002

LINE ADDR  OBJECT  E SOURCE

                     *
                     ***********************************
                     *    PD760062                     *
                     ***********************************
                     * BUBBLE SORT FOR VARIABLE LIST   *
                     ***********************************
                     * THIS PROGRAM SORTS A LIST OF SINGLE-BYTE NUMBERS
                     * INTO THEIR INCREMENTING ORDER.
                     * THE ADDRESS AND THE LENGTH OF THE LIST MUST BE
                     * DEFINED IN THE MAIN PROGRAM.  THE MAXIMUM LIST LENGTH
                     * IS 256 BYTES.
                     * UPON ENTRY TO THIS SUBROUTINE, THE COMPARE FLAG
                     * INDICATES IF THE NUMBERS TO BE SORTED
                     * ARE SIGNED OR UNSIGNED:
                     *   COM=1 MEANS UNSIGNED NUMBERS.
                     *   COM=0 MEANS SIGNED NUMBERS.
                     *
     0000                 ORG     H'4F0'
     04F0            ADR  RES     2          ADDRESS OF LIST
     04F2            LENG RES     1          LIST LENGTH MINUS 1
                     *
     04F3                 ORG     H'500'     SORTING SUBROUTINE
     0500 CD04F0     SORT STRA,R1 ADR        STORE HIGH ORDER ADDRESS OF
                     *                         THE LIST
     0503 CE04F1          STRA,R2 ADR+1      STORE LOW ORDER ADDRESS
     0506 CF04F2          STRA,R3 LENG       STORE LIST LENGTH MINUS 1
     0509 FB00       PASS BDRR,R3 $+2        DECREMENT PASS COUNTER
     050B 03              LODZ    R3         LOAD INDEX
     050C C2              STRZ    R2
     050D 0EE4F0     LOOP LODA,R0 *ADR,R2    FETCH FIRST NUMBER
     0510 EEA4F0          COMA,R0 *ADR,R2,+  COMPARE WITH SECOND NUMBER
     0513 9910            BCFR,GT LOC        # BRANCH IF THE NUMBERS ARE IN
                     *                         THE RIGHT SEQUENCE
     0515 C1         EXCH STRZ    R1         EXCHANGE THE TWO NUMBERS
     0516 0EE4F0          LODA,R0 *ADR,R2
     0519 CEC4F0          STRA,R0 *ADR,R2,-
     051C 01              LODZ    R1
     051D CEA4F0          STRA,R0 *ADR,R2,+
     0520 EE04F2          COMA,R2 LENG       COMPARE (R2) WITH LENGTH
     0523 9868            BCFR,EQ LOOP       BRANCH IF PASS NOT READY
     0525 5B62       LOC  BRNR,R3 PASS       BRANCH IF SORT NOT READY
     0527 17              RETC,UN            RETURN TO MAIN PROGRAM
                     *
     0500                 END     SORT

 TOTAL ASSEMBLY ERRORS = 0000
```

Figura 10. Listado del programa 3.

Parámetros

Entrada:
- Tabla desordenada.
- R1 contiene el octeto alto de la dirección de la tabla.
- R2 contiene el octeto bajo de la dirección de la tabla.
- R3 contiene la longitud de la tabla menos uno.
- El indicador de comparación determina si los números llevan signo o no.
  COM = 1 significa números sin signo.
  COM = 0 significa números con signo.

Salida:
- Tabla ordenada.

Las figuras 11 y 12 muestran el diagrama de flujo y el listado del programa.

Hardware afectado

Registros	R0	R1	R2	R3	R1'	R2'	R3'
	X	X	X	X			
PSU	F	II	SP				
	CC	IDC	RS	WC	OVF	COM	C

RAM requerida (octetos): 2
ROM requerida (octetos): 36
Tiempo ejecución: variable
N.° máx. de niveles de subrutina: ninguno
Ensamblador/compilador utilizado: TWIN VER 1,0

PROGRAMA 5: SUBRUTINA DE ORDENACION POR EL METODO LINEAL

Función

Este programa ordena números compuestos por varios octetos (con o sin signo) en orden creciente. En este ejemplo, la tabla a ordenar contiene 64 números de cuatro octetos cada uno y tanto la dirección de comienzo como su longitud se hallan fijadas de antemano. La longitud máxima de la tabla es de 256 octetos.

Parámetros

Entrada:
- Tabla desordenada.
- El indicador SIGN determina si los números llevan signo o no.
  SIGN = 0 significa números con signo.
  SIGN = 1 significa números sin signo.

Salida:
- Tabla ordenada.

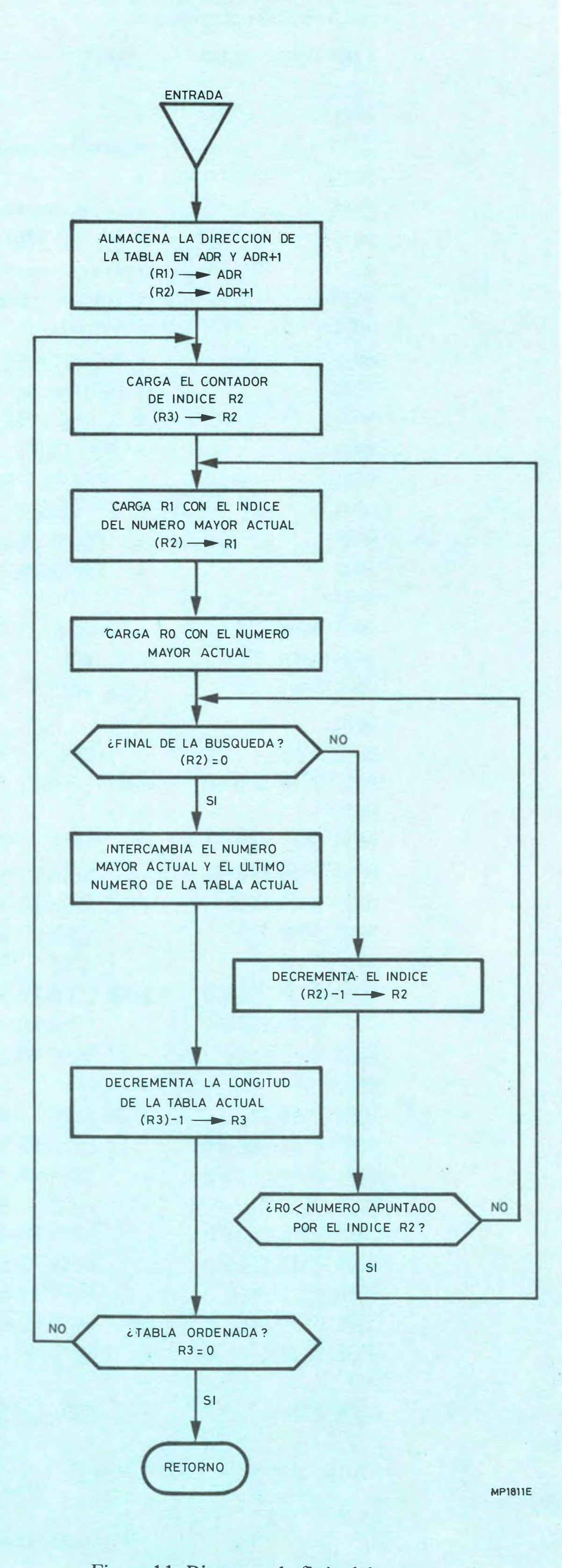


Figura 11. Diagrama de flujo del programa 4.

```
TWIN ASSEMBLER VER 1.0                                    PAGE 0002

LINE ADDR  OBJECT  E SOURCE

                     *
                     ***********************************
                     *   PD760063                      *
                     ***********************************
                     * SEARCH SORT FOR VARIABLE LIST   *
                     ***********************************
                     * THIS PROGRAM SORTS A LIST OF SINGLE-BYTE NUMBERS
                     * INTO THEIR INCREMENTING ORDER.
                     * THE ADDRESS AND THE LENGTH OF THE LIST MUST BE
                     * DEFINED IN THE MAIN PROGRAM. THE MAXIMUM LIST LENGTH
                     * IS 256 BYTES.
                     * UPON ENTRY TO THIS SUBROUTINE, THE COMPARE FLAG
                     * INDICATES IF THE NUMBERS TO BE SORTED
                     * ARE SIGNED OR UNSIGNED:
                     *    COM=1 MEANS UNSIGNED NUMBERS.
                     *    COM=0 MEANS SIGNED NUMBERS.
                     *
     0000                 ORG     H'4F0'
     04F0            ADR  RES     2          ADDRESS OF LIST
                     *
     04F2                 ORG     H'500'     SORTING SUBROUTINE
     0500 CD04F0     SORT STRA,R1 ADR        STORE HIGH ORDER ADDRESS OF
                     *                         THE LIST
     0503 CE04F1          STRA,R2 ADR+1      STORE LOW ORDER ADDRESS
     0506 03         PASS LODZ    R3         LOAD INDEX R2
     0507 C2              STRZ    R2
     0508 02         MAXN LODZ    R2         INDEX OF LARGEST NUMBER TO R1
     0509 C1              STRZ    R1
     050A 0DE4F0          LODA,R0 *ADR,R1    LOAD PRESENT LARGEST NUMBER IN R0
     050D 5A0E       SRCH BRNR,R2 COMP       BRANCH IF PASS NOT READY
     050F C2              STRZ    R2         EXCHANGE LARGEST NUMBER WITH
     0510 0FE4F0          LODA,R0 *ADR,R3      LAST NUMBER IN ACTUAL LIST
     0513 CDE4F0          STRA,R0 *ADR,R1
     0516 02              LODZ    R2
     0517 CFE4F0          STRA,R0 *ADR,R3
     051A FB6A            BDRR,R3 PASS       DECREASE ACTUAL LIST LENGTH,
                     *                         BRANCH TO NEXT PASS IF
                     *                           LENGTH NOT ZERO
     051C 17              RETC,UN            RETURN TO MAIN PROGRAM
     051D EEC4F0     COMP COMA,R0 *ADR,R2,-  COMPARE NUMBER WITH PRESENT
                     *                         LARGEST NUMBER OF LIST
     0520 9A6B            BCFR,LT SRCH       # BRANCH FOR NEXT NUMBER
     0522 1B64            BCTR,UN MAXN       BRANCH IF NEW NUMBER IS LARGER
                     *
     0500                 END     SORT

 TOTAL ASSEMBLY ERRORS = 0000
```

Figura 12. Listado del programa 4.

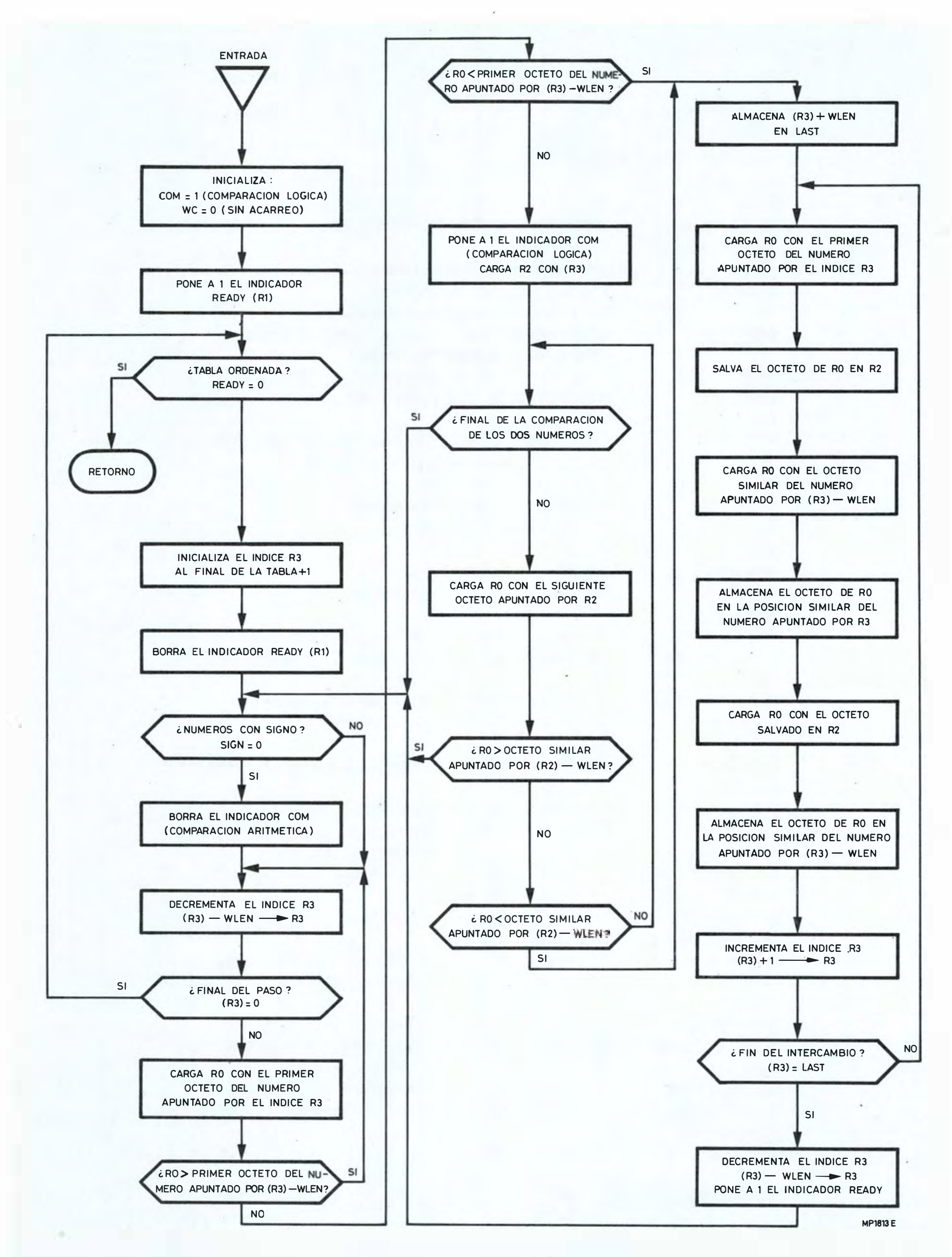


Figura 13. Diagrama de flujo del programa 5.

```
TWIN ASSEMBLER VER 1.0                                 PAGE 0002

LINE ADDR  OBJECT  E SOURCE

                     *
                     ******************************
                     *  PD760064                  *
                     ******************************
                     * LINEAR SORTING SUBROUTINE  *
                     ******************************
                     *  THIS PROGRAM SORTS A LIST OF MULTIPLE-BYTE NUMBERS
                     *  INTO INCREMENTING ORDER. THE MAXIMUM
                     *  NUMBER OF BYTES OF THE LIST TO BE SORTED IS
                     *  256.  THE START ADDRESS OF THE LIST IS H'600'
                     *  THE NUMBER OF BYTES IN EACH NUMBER IS VARIABLE,
                     *  BUT IT MUST BE A POWER OF TWO. IN THIS CASE
                     *  THE LIST CONSISTS OF 64 NUMBERS OF 4 BYTES EACH.
                     *  UPON ENTRY TO THIS ROUTINE, THE SIGN FLAG INDI-
                     *  CATES IF THE NUMBERS TO BE SORTED ARE
                     *  SIGNED OR UNSIGNED: SIGN=0 MEANS SIGNED NUMBERS
                     *              SIGN=NOT 0 MEANS UNSIGNED NUMBERS.
                     *  THE ORDER OF SORTING CAN BE CHANGED FROM AN
                     *  INCREMENTING ORDER TO A DECREMENTING ORDER BY
                     *  CHANGING THE INSTRUCTIONS MARKED WITH
                     *  A #  THE GREATER THAN (GT) TESTS  MUST BE
                     *  CHANGED TO LESS THAN (LT) TESTS  AND VICE VERSA.
                     *
     0000                 ORG    H'4FE'
     04FE            LAST RES    1        MEMORY LOCATION WHICH SAVES INDEX
                     *                     OF NUMBER WHICH FOLLOWS NUMBER
                     *                     ADDRESSED BY R3
     04FF            SIGN RES    1        SIGN FLAG: SIGN=0 SIGNED NUMBER
                     *                      SIGN= NOT 0 UNSIGNED NUMBER
                     *
     0500                 ORG    H'600'
     0100            LEN  EQU    H'100'    LENGTH OF SORTING LIST
     0600            LIST RES    LEN       SORTING LIST
     0004            WLEN EQU    4         WORD LENGTH IN BYTES
                     *
                     *
     0700                 ORG    H'500'
     0500 7702       SORT PPSL   COM       LOGICAL COMPARE
     0502 7508            CPSL   WC        WITHOUT CARRY
     0504 05FF            LODI,R1 H'FF'    SET READY FLAG
     0506 01         PASS LODZ   R1        TEST AND RETURN IF READY FLAG
     0507 14              RETC,Z            IS NOT SET
     0508 0700            LODI,R3 <LEN     LOAD INDEX R3
     050A 0500            LODI,R1 00       CLEAR READY FLAG
     050C 0C04FF     COMP LODA,R0 SIGN     TEST SIGN
     050F 9802            BCFR,Z  COM1      SIGN= NOT 0, UNSIGNED NUMBER
     0511 7502            CPSL   COM        SIGN=0,SIGNED NUMBER,CLEAR COM
     0513 A704       COM1 SUBI,R3 WLEN     DECREMENT INDEX R3
     0515 186F            BCTR,Z  PASS     TEST AND BRANCH IF PASS READY
     0517 0F6600          LODA,R0 LIST,R3  LOAD R0 WITH FIRST BYTE OF
                     *                      NUMBER ADDRESSED BY R3
     051A EF65FC          COMA,R0 LIST-WLEN,R3 COMPARE WITH FIRST BYTE OF
                     *                      NEXT NUMBER, ADDRESSED BY
                     *                      R3-WLEN
     051D 1974            BCTR,GT COM1     # IF GT, CONTINUE COMPARING

TWIN ASSEMBLER VER 1.0                                 PAGE 0003

LINE ADDR  OBJECT  E SOURCE

     051F 1A16            BCTR,LT EXCH     # IF LT, EXCHANGE NUMBERS
     0521 7702            PPSL   COM       LOGICAL COMPARE
     0523 03              LODZ   R3        STORE INDEX R3 IN R2
     0524 C2              STRZ   R2
     0525 8404       NEXT ADDI,R0 WLEN     TEST AND BRANCH IF COMPARE
     0527 E2              COMZ   R2         OF BOTH NUMBERS IS READY
     0528 1862            BCTR,EQ COMP
     052A 0E2600          LODA,R0 LIST,R2,+ LOAD R0 WITH NEXT BYTE OF
                     *                      NUMBER, ADDRESSED BY R3
     052D EE65FC          COMA,R0 LIST-WLEN,R2 COMPARE WITH SIMILAR BYTE
                     *                      OF NEXT NUMBER, ADDRESSED BY
                     *                      R3-WLEN
     0530 195A            BCTR,GT COMP     # IF GT, CONTINUE COMPARING
                     *                      NEXT TWO NUMBERS
     0532 1A03            BCTR,LT EXCH     # IF LT, EXCHANGE NUMBERS
     0534 03              LODZ   R3
     0535 1B6E            BCTR,UN NEXT     CONTINUE COMPARING NEXT
                     *                      SIMILAR BYTES OF NUMBERS
     0537 03         EXCH LODZ   R3        STORE INDEX OF NEXT NUMBER
     0538 8404            ADDI,R0 WLEN      IN LAST
     053A CC04FE          STRA,R0 LAST
     053D 0F6600     EXC1 LODA,R0 LIST,R3  EXCHANGE SIMILAR BYTE OF
     0540 C2              STRZ   R2         BOTH NUMBERS
     0541 0F65FC          LODA,R0 LIST-WLEN,R3
     0544 CF6600          STRA,R0 LIST,R3
     0547 02              LODZ   R2
     0548 CF65FC          STRA,R0 LIST-WLEN,R3
     054B DB00            BIRR,R3 $+2      INCREMENT INDEX R3
     054D EF04FE          COMA,R3 LAST     TEST AND BRANCH IF
     0550 986B            BCFR,EQ EXC1      EXCHANGE IS NOT READY
     0552 A704            SUBI,R3 WLEN     RESET INDEX R3
     0554 05FF            LODI,R1 H'FF'    SET READY FLAG
     0556 1F050C          BCTA,UN COMP     CONTINUE COMPARING NEXT
                     *                      TWO NUMBERS
                     *
     0500                 END    SORT

 TOTAL ASSEMBLY ERRORS = 0000
```

Figura 14. Listado del programa 5.

Las figuras 13 y 14 muestran el diagrama de flujo y el listado del programa.

Hardware afectado

Registros	R0	R1	R2	R3	R1'	R2'	R3'
	X	X	X	X			
PSU	F	II	SP				
PSL	CC	IDC	RS	WC	OVF	COM	C
	X	X		X	X	X	X

RAM requerida (octetos): 2
ROM requerida (octetos): 89
Tiempo ejecución: variable
N.° máx. de niveles de subrutina: ninguno
Ensamblador/compilador utilizado: TWIN VER 1,0

PROGRAMA 6: SUBRUTINA DE ORDENACION POR EL METODO DE LA BUSQUEDA DE UNA TABLA PREDEFINIDA

Función

Este programa ordena números compuestos por varios octetos (con o sin signo) en orden creciente. En este ejemplo la tabla contiene 64 números de cuatro octetos cada uno. Tanto la dirección de comienzo como su longitud se hallan fijadas de antemano. La longitud máxima de la tabla es de 256 octetos.

Parámetros

Entrada:
– Tabla desordenada.
– El indicador SIGN determina si los números llevan signo o no.
  SIGN = 0 significa números con signo.
  SIGN = 1 significa números sin signo.

Salida:
– Tabla ordenada.

Las figuras 15 y 16 muestran el diagrama de flujo y el listado del programa.

Hardware afectado

Registros	R0	R1	R2	R3	R1'	R2'	R3'
	X	X	X	X			
PSU	F	II	SP				
PSL	CC	IDC	RS	WC	OVF	COM	C
	X	X		X	X	X	X

RAM requerida (octetos): 3
ROM requerida (octetos): 106
Tiempo ejecución: variable
N.° máx. de niveles de subrutina: ninguno
Ensamblador/compilador utilizado: TWIN VER 1,0

PROGRAMA 7: SUBRUTINA DE ORDENACION POR EL METODO DE LA BUSQUEDA DE UNA TABLA PREDEFINIDA

Función

Este programa ordena números compuestos por varios octetos (con o sin signo) en orden creciente. La tabla a ordenar puede contener más de 256 octetos. En este caso contiene 256 números de ocho octetos cada uno. La tabla posee la dirección de comienzo y la longitud fijadas de antemano.

Parámetros

Entrada:
– Tabla desordenada.
– El indicador SIGN determina si los números poseen signo o no.
  SIGN = 0 significa números con signo.
  SIGN = 1 significa números sin signo.

Salida:
– Tabla ordenada.

Las figuras 17 y 18 muestran el diagrama de flujo y el listado del programa.

Hardware afectado

Registros	R0	R1	R2	R3	R1'	R2'	R3'
	X	X	X	X			
PSU	F	II	SP				
PSL	CC	IDC	RS	WC	OVF	COM	C
	X	X		X	X	X	X

RAM requerida (octetos): 9
ROM requerida (octetos): 167
Tiempo ejecución: variable
N.° máx. de niveles de subrutina: ninguno
Ensamblador/compilador utilizado: TWIN VER 1,0

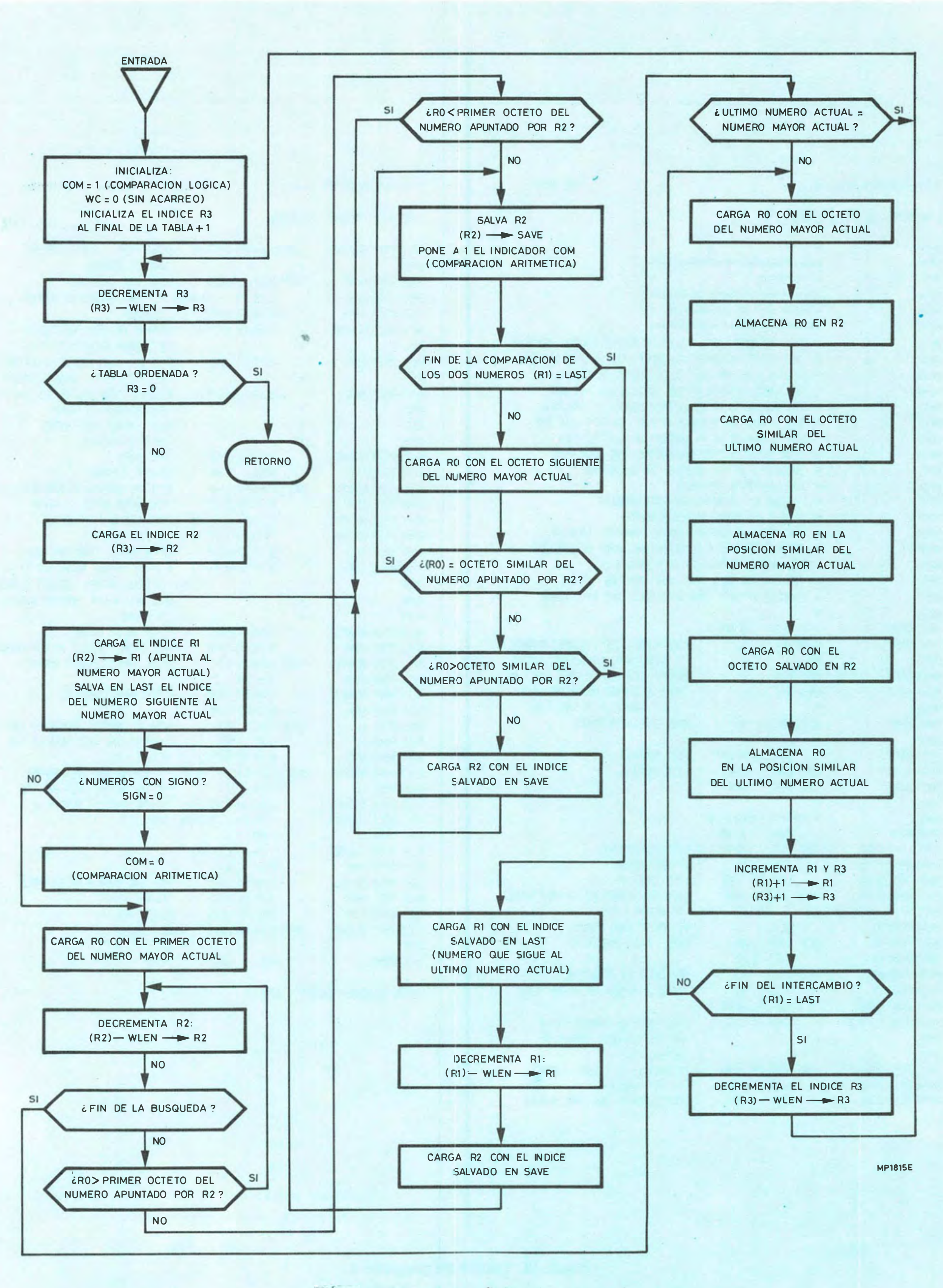


Figura 15. Diagrama de flujo del programa 6.

```
TWIN ASSEMBLER VER 1 0                                        PAGE 0002

LINE ADDR  OBJECT  E SOURCE

0031                 *
0032                 ******************************
0033                 *  PD760065                  *
0034                 ******************************
0035                 *SEARCH SORTING SUBROUTINE  *
0036                 ******************************
0037                 *  THIS PROGRAM SORTS A LIST OF MULTIPLE-BYTES NUMBERS
0038                 *  INTO THEIR INCREMENTING ORDER. THE MAXIMUM NUMBER
0039                 *  OF BYTES IN THE LIST TO BE SORTED IS 256
0040                 *  THE START ADDRESS OF THE SORTING LIST IS 600
0041                 *  THE NUMBER OF BYTES IN EACH NUMBER IS VARIABLE,
0042                 *  BUT IT MUST BE A POWER OF TWO. IN THIS CASE THE
0043                 *  LIST CONSISTS OF 64 NUMBERS OF 4 BYTES EACH.
0044                 *  UPON ENTRY TO THIS SUBROUTINE, THE SIGN FLAG
0045                 *  INDICATES IF THE NUMBERS, TO BE SORTED
0046                 *  ARE SIGNED OR UNSIGNED:
0047                 *    SIGN= NOT 0 MEANS UNSIGNED NUMBERS.
0048                 *    SIGN = 0 MEANS SIGNED NUMBERS.
0049                 *  THE ORDER OF SORTING CAN BE CHANGED  FROM AN
0050                 *  INCREMENTING TO A DECREMENTING ORDER BY CHANGING
0051                 *  THE INSTRUCTIONS  MARKED WITH A #.
0052                 *  THE GREATER THAN (GT) TESTS MUST BE
0053                 *  CHANGED TO LESS THAN (LT) TESTS AND VICE VERSA.
0054                 *
0055 0000                ORG     H'4F0'
0056 04F0            SIGN RES     1         SIGN FLAG: SIGN=0 SIGNED NUMBER
0057                 *                           SIGN= NOT 0 UNSIGNED NUMBER
0058 04F1            SAVE RES     1         MEMORY LOCATION TO SAVE INDEX R2
0059 04F2            LAST RES     1         INDEX OF NUMBER WHICH FOLLOWS
0060                 *                        LAST NUMBER OF ACTUAL LIST
0061 0004            WLEN EQU     4         WORD LENGTH IN BYTES
0062                 *
0063 04F3                ORG     H'600'    LIST ADDRESS
0064 0100            LEN  EQU     256       LIST LENGTH
0065 0600            LIST RES     LEN
0066                 *
0067                 * SORTING SUBROUTINE
0068 0700                ORG     H'500'
0069 0500 7702       SORT PPSL    COM       LOGICAL COMPARE
0070 0502 7508            CPSL    WC        WITHOUT CARRY
0071 0504 0700            LODI,R3 >LEN      LOAD INDEX R3
0072 0506 A704       PASS SUBI,R3 WLEN      DECREMENT INDEX R3 TO LAST NUMBER
0073                 *                       OF ACTUAL LIST
0074 0508 14              RETC,Z            RETURN IF SORT READY
0075 0509 03         SKIP LODZ    R3        LOAD INDEX COUNTER R2
0076 050A C2              STRZ    R2
0077 050B 02         MAXM LODZ    R2        SET INDEX R1 AT ACTUAL
0078 050C C1              STRZ    R1         LARGEST NUMBER OF ACTUAL LIST
0079 050D 8404            ADDI,R0 WLEN
0080 050F CC04F2          STRA,R0 LAST      SAVE INDEX OF NUMBER WHICH
0081                 *                       FOLLOWS LARGEST NUMBER OF
0082                 *                       ACTUAL LIST
0083 0512 0C04F0     LOAD LODA,R0 SIGN      IF SIGN IS 0, CLEAR COMPARE
0084 0515 9802            BCFR,Z  LOA1       SIGNED NUMBERS
0085 0517 7502            CPSL    COM        ELSE BRANCH, UNSIGNED NUMBER
```

```
TWIN ASSEMBLER VER 1 0                                        PAGE 0003

LINE ADDR  OBJECT  E SOURCE

0086 0519 0D6600     LOA1 LODA,R0 LIST,R1   FETCH FIRST BYTE OF ACTUAL
0087                 *                       LARGEST NUMBER
0088 051C A604       COMP SUBI,R2 WLEN      DECREMENT INDEX R2
0089 051E E6FC            COMI,R2 >LIST-WLEN TEST AND BRANCH IF SEARCH
0090 0520 182A            BCTR,EQ EXCH       IS READY
0091 0522 EE6600          COMA,R0 LIST,R2   COMPARE R0 WITH FIRST BYTE
0092                 *                       OF NUMBER ADDRESSED BY R2
0093 0525 1975            BCTR,GT COMP      # IF GT, THEN NUMBER ADDRESSED
0094                 *                       BY R1 IS STILL LARGEST NUMBER
0095 0527 1A62            BCTR,LT MAXM      # IF LT, THEN NEW ACTUAL LAR-
0096                 *                       GEST NUMBER IS FOUND
0097                 *                      ELSE COMPARE NEXT BYTES
0098                 *                       OF BOTH NUMBERS
0099 0529 CE04F1          STRA,R2 SAVE      SAVE INDEX R2
0100 052C 7702            PPSL    COM       LOGICAL COMPARE
0101 052E ED04F2     NEXT COMA,R1 LAST      TEST AND BRANCH IF COMPARE OF
0102 0531 180F            BCTR,EQ RSET       FOLLOWING BYTES IS READY
0103 0533 0D2600          LODA,R0 LIST,R1,+ COMPARE FOLLOWING BYTES
0104 0536 EE2603          COMA,R0 LIST,R2,+  OF BOTH NUMBERS.
0105 0539 1873            BCTR,EQ NEXT      BYTES EQUAL, THEN CONTINUE
0106 053B 1905            BCTR,GT RSET      # IF GT NUMBER ADDRESSED BY R1
0107                 *                        IS STILL ACTUAL LARGEST NUMBER
0108                 *                      ELSE NEW ACTUAL LARGEST NUMBER
0109                 *                        IS FOUND
0110 053D 0E04F1          LODA,R2 SAVE      FETCH SAVED INDEX
0111 0540 1B49            BCTR,UN MAXM      NEW ACTUAL LARGEST NUMBER,BRANCH
0112 0542 0D04F2     RSET LODA,R1 LAST      RESET INDEX LARGEST NUMBER
0113 0545 A504            SUBI,R1 WLEN
0114 0547 0E04F1          LODA,R2 SAVE      FETCH SAVED INDEX R2
0115 054A 1B46            BCTR,UN LOAD
0116 054C 03         EXCH LODZ    R3         TEST IF LARGEST NUMBER IS THE
0117 054D E1              COMZ    R1          SAME AS THE LAST NUMB OF THE
0118 054E 1817            BCTR,EQ BRCH        ACTUAL LIST
0119 0550 0D25FF     EXC2 LODA,R0 LIST-1,R1,+ EXCHANGE THE LAST NUMBER
0120 0553 C2              STRZ    R2          OF THE ACTUAL LIST AND THE
0121 0554 0F6603          LODA,R0 LIST,R3     ACTUAL LARGEST NUMBER OF
0122 0557 CD65FF          STRA,R0 LIST-1,R1   THE LIST
0123 055A 02              LODZ    R2
0124 055B CF6600          STRA,R0 LIST,R3
0125 055E D800            BIRR,R3 $+2
0126 0560 ED04F2          COMA,R1 LAST       TEST AND BRANCH IF EXCHANGE
0127 0563 986B            BCFR,EQ EXC2        IS NOT READY
0128 0565 A704            SUBI,R3 WLEN       RESET INDEX R3
0129 0567 1F0506     BRCH BCTA,UN PASS       NEXT PASS
0130                 *
0131 0500                 END     SORT

TOTAL ASSEMBLY ERRORS = 0000
```

Figura 16. Listado del programa 6.

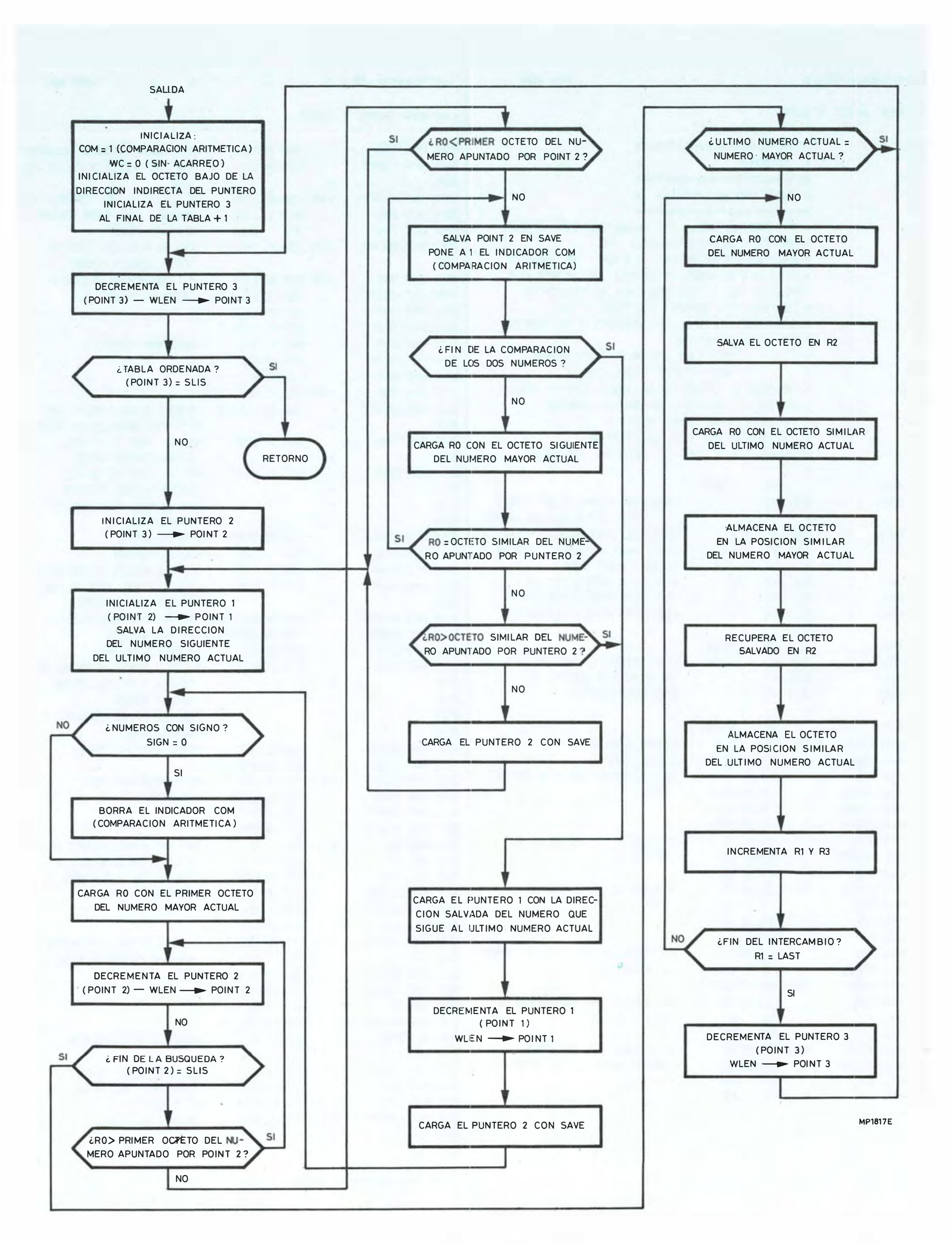


Figura 17. Diagrama de flujo del programa 7.

```
TWIN ASSEMBLER VER 1.0                                         PAGE 0002

LINE ADDR  OBJECT  E SOURCE

                     ******************************
                     *  PD760066                  *
                     ******************************
                     * SEARCH SORTING SUBROUTINE  *
                     ******************************
                     * THIS PROGRAM SORTS A LIST OF MULTIPLE-BYTE NUMBERS
                     * INTO THEIR INCREMENTING ORDER. THE
                     * START ADDRESS OF THE LIST IS H'500'. THE NUMBER OF
                     * BYTES IN EACH NUMBER IS VARIABLE, BUT IT MUST BE A
                     * POWER OF TWO. IN THIS CASE THE LIST CONSISTS OF
                     * 256 EIGHT-BYTE NUMBERS. UPON ENTRY TO THIS
                     * SUBROUTINE, THE SIGN FLAG INDICATES IF THE NUMBERS
                     * ARE SIGNED OR UNSIGNED:
                     *          SIGN = NOT 0 MEANS UNSIGNED NUMBERS.
                     *          SIGN = 0 MEANS SIGNED NUMBERS.
                     * THE ORDER OF SORTING CAN BE CHANGED FROM AN INCRE-
                     * MENTING TO A DECREMENTING ORDER BY CHANGING
                     * THE INSTRUCTIONS  MARKED WITH A #
                     *  THE GREATER THAN (GT) TESTS MUST BE
                     * CHANGED TO LESS THAN (LT) TESTS AND VICE VERSA
                     *
 0000                     ORG    H'4F7'
 04F7                SIGN RES    1          SIGN FLAG: SIGN=0 SIGNED NUMBER
                     *                              SIGN= NOT 0 UNSIGNED NUMBER
 04F8                SAVE RES    1          SAVED LOW-ORDER ADDRESS POINTER 2
 04F9                LAST RES    1          SAVED INDEX OF NUMBER FOLLOWING
                     *                      ACTUAL LARGEST NUMBER
 04FA                AD1  RES    2          HIGH ORDER ADDRESS POINTER 1
 04FC                AD2  RES    2          HIGH ORDER ADDRESS POINTER 2
 04FE                AD3  RES    2          HIGH ORDER ADDRESS POINTER 3
                     *
 0500                     ORG    H'500'
 0500                SLIS RES    H'000'     START ADDRESS OF SORTING LIST
 0D00                ELIS RES    1          END ADDRESS OF SORTING LIST
 0008                WLEN EQU    8          WORD LENGTH (BYTES)
                     *
 0D01                     ORG    H'440'
 0440 7702           SORT PPSL   COM        LOGICAL COMPARE
 0442 7508                CPSL   WC         WITHOUT CARRY
 0444 0400                LODI,R0 >SLIS     SET LOW-ORDER ADDRESS OF INDIRECT
 0446 CC04FB              STRA,R0 AD1+1      ADDRESS
 0449 CC04FD              STRA,R0 AD2+1
 044C CC04FF              STRA,R0 AD3+1
 044F 070D                LODI,R3 <ELIS     SET POINTER AT THE END OF THE
 0451 CF04FE              STRA,R3 AD3        SORTING LIST
 0454 0700                LODI,R3 >ELIS
 0456 0C04FE         PASS LODA,R0 AD3       TEST AND RETURN IF SORT IS
 0459 5B08                BRNR,R3 PAS1       READY
 045B E405                COMI,R0 <SLIS
 045D 14                  RETC,EQ
 045E F800                BDRR,R0 $+2       DECREMENT POINTER 3 TO LAST NUMBER
 0460 CC04FE              STRA,R0 AD3        OF ACTUAL LIST
 0463 A708           PAS1 SUBI,R3 WLEN
 0465 CC04FC              STRA,R0 AD2       SET POINTER 2 AT LAST NUMBER OF
 0468 03                  LODZ   R3          THE ACTUAL LIST
 0469 C2                  STRZ   R2
 046A 0C04FC         MAXM LODA,R0 AD2       SET POINTER 1 AT THE ACTUAL
 046D CC04FA              STRA,R0 AD1        LARGEST NUMBER OF THE ACTUAL
 0470 02                  LODZ   R2          LIST
 0471 C1                  STRZ   R1
```

```
TWIN ASSEMBLER VER 1.0                                         PAGE 0003

LINE ADDR  OBJECT  E SOURCE

 0472 8408                ADDI,R0 WLEN      SAVE INDEX OF NUMBER FOLLOWING
 0474 CC04F9              STRA,R0 LAST       THE LAST NUMBER OF THE ACTUAL
                     *                       LIST
 0477 0C04F7         LOAD LODA,R0 SIGN      IF SIGN IS 0, SET COMPARE,SIGNED
 047A 9802                BCFR,Z  LOA1       NUMBER. ELSE CLEAR COMPARE,
 047C 7502                CPSL    COM        UNSIGNED NUMBERS
 047E 0DE4FA         LOA1 LODA,R0 *AD1,R1   LOAD R0 WITH FIRST BYTE OF
                     *                       ACTUAL LARGEST NUMBER
 0481 5A0E           COMP BRNR,R2 COM1      TEST AND BRANCH TO EXCH IF
 0483 0E04FC              LODA,R2 AD2        SEARCH IS READY
 0486 E605                COMI,R2 <SLIS
 0488 1835                BCTR,EQ EXCH
 048A FA00                BDRR,R2 $+2        DECREMENT POINTER 2
 048C CE04FC              STRA,R2 AD2
 048F 0600                LODI,R2 0
 0491 A608           COM1 SUBI,R2 WLEN
 0493 EEE4FC              COMA,R0 *AD2,R2   COMPARE ACTUAL LARGEST WORD
                     *                      WITH WORD ADDRESSED BY POINT 2
 0496 1969                BCTR,GT COMP      #IF GT, THEN IT IS STILL
                     *                       ACTUAL LARGEST NUMBER
 0498 1A50                BCTR,LT MAXM      #IF LT, THEN NEW ACTUAL
                     *                       LARGEST,NUMBER IS FOUND
                     *                      ELSE COMPARE NEXT BYTES OF
                     *                       BOTH NUMBERS.
 049A CE04F8              STRA,R2 SAVE      SAVE POINTER 2
 049D 7702                PPSL    COM       LOGICAL COMPARE
 049F ED04F9         NEXT COMA,R1  LAST     TEST AND BRANCH IF COMPARE OF
 04A2 1810                BCTR,EQ RSET       THE FOLLOWING BYTES OF THE
                     *                       TWO NUMBERS IS READY.
 04A4 0DA4FA              LODA,R0 *AD1,R1,+ COMPARE FOLLOWING BYTES
 04A7 EEA4FC              COMA,R0 *AD2,R2,+  OF BOTH NUMBERS.
 04AA 1873                BCTR,EQ NEXT      IF EQUAL, CONTINUE
 04AC 1906                BCTR,GT RSET      # IF GT, NUMBER ADDRESSED BY
                     *                       POINTER 1 IS STILL ACTUAL
                     *                       LARGEST NUMBER
                     *                      ELSE NEW ACTUAL LARGEST
                     *                       NUMBER FOUND
 04AE 0E04F8              LODA,R2 SAVE      FETCH SAVED POINTER 2
 04B1 1F046A              BCTA,UN MAXM
 04B4 0D04F9         RSET LODA,R1 LAST      RESET POINTER 1 AND
 04B7 A508                SUBI,R1 WLEN       POINTER 2
 04B9 0E04F8              LODA,R2 SAVE
 04BC 1F0477              BCTA,UN LOAD
 04BF 03             EXCH LODZ    R3        TEST AND BRANCH TO EXC2 IF
 04C0 E1                  COMZ    R1         ACTUAL LARGEST NUMBER IS
 04C1 9808                BCFR,EQ EXC1       SAME AS THE LAST NUMBER OF
 04C3 0C04FE              LODA,R0 AD3        THE ACTUAL LIST.
 04C6 EC04FA              COMA,R0 AD1
 04C9 1819                BCTR,EQ EXC2
 04CB 0DE4FA         EXC1 LODA,R0 *AD1,R1   EXCHANGE ACTUAL LAST NUMBER
 04CE C2                  STRZ    R2         AND LAST NUMBER OF ACTUAL
 04CF 0FE4FE              LODA,R0 *AD3,R3    LIST.
 04D2 CDE4FA              STRA,R0 *AD1,R1
 04D5 02                  LODZ    R2
 04D6 CFE4FE              STRA,R0 *AD3,R3
 04D9 DB00                BIRR,R3 $+2       INCREMENT BOTH POINTERS.
 04DB D900                BIRR,R1 $+2
 04DD ED04F9              COMA,R1 LAST      TEST AND BRANCH TO EXC1 IF
 04E0 9869                BCFR,EQ EXC1       EXCHANGE IS NOT READY
 04E2 A708                SUBI,R3 WLEN      RESET POINTER 3
 04E4 1F0456         EXC2 BCTA,UN PASS      CONTINUE NEW PASS
                     *
 0440                     END     SORT.

 TOTAL ASSEMBLY ERRORS = 0000
```

Figura 18. Listado del programa 7.

Sistema MCT - 48 E

SISTEMA MCT — 48 E

Copresa presenta el MCT-48, un equipo modular soporte del microordenador 8048 y su familia (8748, 8035, 8021 y 8022).
El equipo se compone de los módulos siguientes:

MCT 48-1E- Prueba/Simulación en tiempo real

Este módulo simula en tiempo real el microordenador 8048, permitiendo leer sus registros y memoria interna o externa en las formas siguientes:

— en una dirección preestablecida (break point);
— ejecutando el programa en "paso a paso";
— durante el desarrollo del programa en tiempo real (trap mode).

Una señal de sincronismo permite observar variables sobre osciloscopio o analizador lógico.
El programa estudiado puede estar almacenado en:

— memoria REPROM (2708 ó 2716);
— memoria del teclado/programador MCT 48-2E;
— memoria de 4K octetos del sistema de desarrollo MCT 48-4E.

El programa analizado puede ser operacional o de diagnóstico.

MCT 48-2E - Teclado/Memoria/Programador

El teclado de este módulo puede conectarse con el MCT 48-1E, con el que constituye un sistema de desarrollo para pequeñas aplicaciones en tiempo real, o para operaciones puramente lógicas, en el que la programación y puesta a punto se realizan en lenguaje hexadecimal. Tiene por lo tanto un teclado hexadecimal de funciones, una memoria de 2K octetos y un programador de memorias REPROM (2708, 2716, 8748).
La memoria de 2K octetos del MCT 48-2E puede cargarse mediante:

— conexión serie V24/RS232C;
— transferencia de la memoria de programa de un microordenador 8748 al contenido de una memoria REPROM 2708 ó 2716.

El teclado hexadecimal permite modificar el contenido de esta memoria.
El contenido de la memoria del MCT 48-2E puede cargarse en una memoria REPROM 2708 ó 2716, o en la memoria de programa de un micro-ordenador 8748, para lo que tiene la necesaria lógica de control.

MCT 48-3E- Programador

Este módulo es un programador de memorias REPROM que se puede utilizar con el sistema de desarrollo MCT 48-4E.
Permite programar las memorias REPROM 2708 ó 2716, o la memoria de programa del microordenador 8748. Con este programador se puede igualmente pasar el contenido de estas memorias a la memoria del MCT 48-4E.

MCT 48-4E - Sistema de desarrollo

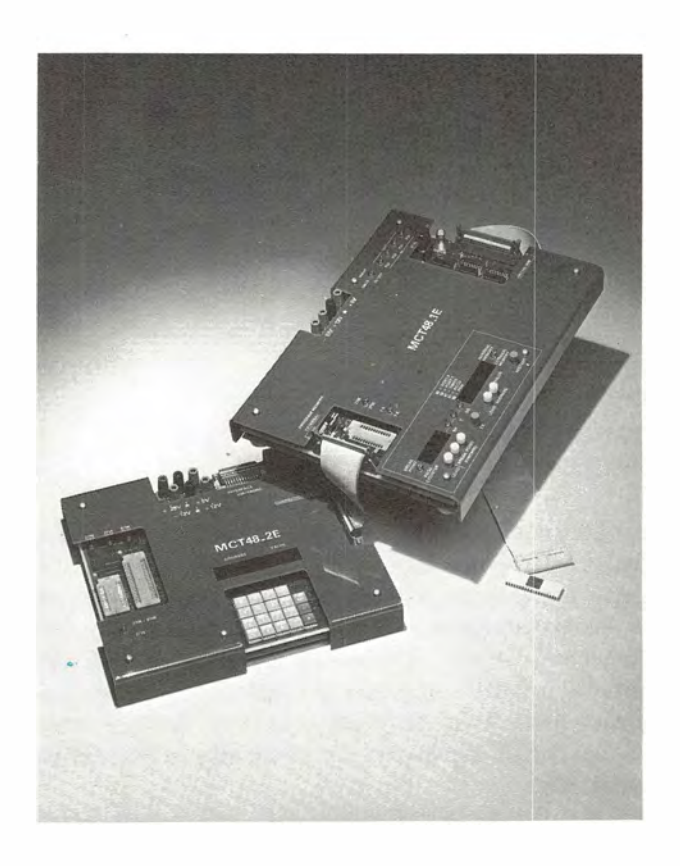
El MCT 48-4E es un sistema de desarrollo que permite programar el microordenador 8048 en lenguaje ensamblador. Puede también conectarse al MCT 48-1E para la puesta a punto de sistemas en tiempo real.
Este módulo está dotado de:

— ensamblador;
— monitor para puesta a punto de programas;
— editor.

Permite la conexión con los siguientes periféricos:

— teletipo o monitor de video con teclado, mediante conexión serie V24/RS232 C;
— dos lectores de audio-cassette.

La memoria de 4K octetos es ampliable. Como memoria de masa se utilizan dos lectores de audio-cassette.



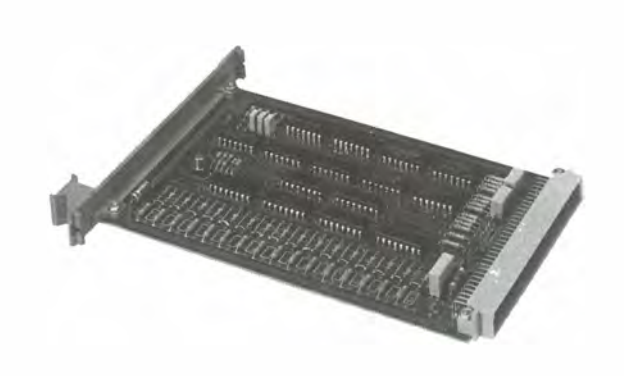
Noticias

ACTIVIDADES

En la Escuela Técnica Superior de Ingenieros de Telecomunicación se presentó un sistema de desarrollo de equipos alimentados con energía solar. Esta presentación tuvo lugar en el domicilio social de la Escuela y consistía en su parte operativa en un panel de células solares, cedidos por COPRESA, un sistema de seguimiento solar, un convertidor continua/continua y un convertidor continua/alterna y un grupo de acumuladores cedidos por TUDOR.

La Instalación Piloto alimentada por Energía Solar, fue muy visitada poniéndose de manifiesto los condicionamientos a seguir para la utilización con consumo de la Energía Solar, y la especial dedicación de la Escuela a este tema.





CONFERENCIAS

Los días 13-14-16 de Mayo, se darán unas charlas sobre IMS y SAI 50, en Bilbao, San Sebastián y Gijón a cargo de Don Casimiro Pastor, Ingeniero Técnico Industrial. Las necesidades en el mercado son cada vez más apremiantes, por ello las maniobras electromecánicas están siendo sustituidas por sistemas electrónicos flexibles con microprocesador. Estos sistemas pueden estar constituidos en bloques funcionales, lo que ha originado una notable mejora en la relación prestaciones-coste.

Si algún lector de esta Revista, desea asistir a cualquiera de las charlas mencionadas, puede dirigirse a Copresa, Balmes n.º 22, Barcelona-7, teléfono 301.63.12, donde le informarán acerca de horarios, lugar, etc. La inscripción a las charlas es gratuita y se dará la información escrita correspondiente.

NOTA INFORMATIVA SOBRE EL "PREMIO MICROPROCESADORES COPRESA"

Llegada la fecha de recepción de los resúmenes solicitados en las bases del concurso (10-3-80), ha podido observarse que algún concursante no se ajustó exactamente a los requerimientos descritos en la base décima del concurso, por esta circunstancia y atendiendo a las solicitudes recibidas se amplía el plazo de entrega de resúmenes hasta el día 31 de mayo de 1980, manteniéndose la del 10 de septiembre de 1980 para la entrega de originales.

BASES DEL PREMIO MICROPROCESADORES "COPRESA"

1. Podrán concurrir a este concurso todos los autores que realicen un trabajo inédito con los microprocesadores que se mencionan en estas bases, quedando exentas todas las personas de nuestra firma. Es condición necesaria que dicho trabajo no haya sido presentado anteriormente en ningún congreso, simposio, etc., ni publicado en alguna revista, semanario, etc. técnica nacional o extranjera.

2. Los premios se dividen en dos grupos:

   1.° El primero destinado a la realización de un trabajo de aplicación del 2650/8048 Signetics, teniendo como objetivo la resolución de un caso práctico. Debe ser un trabajo original enfocado a resolver un problema práctico que se dé o pueda darse en el mercado nacional. Debe estar documentado con:
   – una descripción detallada del caso planteado,
   – esquemario del hardware,
   – ordinograma y programa escrito en lenguaje ensamblador.

   2.° El segundo destinado a un trabajo de programación con el 2650/8048 Signetics, cuyo objetivo sea el solucionar problemas concretos. Deberá presentarse en forma de subrutina, escrita en lenguaje ensamblador, conjuntamente con las dependencias de un programa principal.

3. Los autores que participen en el **PREMIO MICROPROCESADORES COPRESA** deberán presentar sus originales escritos en castellano, en hojas de tamaño folio, holandés o DIN A4, mecanografiadas a una cara y a dos espacios. La extensión del trabajo para el premio del primer grupo deberá ser de un mínimo de 50 páginas y para el premio del segundo grupo extensión libre.

4. El original se presentará con un título al cual seguirá un seudónimo. En un sobre cerrado aparte se incluirá el nombre y domicilio del autor. En el exterior del sobre se escribirá el título de la obra presentada seguido del seudónimo.

5. Deberá entregarse un resumen del trabajo que se va a realizar (de unas 100 palabras) antes del día 10 de Marzo de 1980, y el plazo para la entrega del original terminará el día 10 de Septiembre de 1980.

6. Deben enviar sus originales y el sobre cerrado a: COPRESA, Depto. Técnico Profesional, Para el "Premio microprocesadores COPRESA", Balmes 22, BARCELONA-7.

7. Los premios estarán dotados por:

Grupo primero:	1.er Premio	100.000 Ptas.
	2.° Premio	30.000 Ptas.
Grupo segundo:	1.er Premio	30.000 Ptas. y un Instructor 50
	2.° Premio	un Instructor 50.

8. Los premios podrán ser declarados desiertos.

9. Durante la feria de Sonimag 1980 se realizará un acto de presentación pública de los trabajos de los concursantes finalistas. En dicha presentación se entregarán los premios, con asistencia de la prensa técnica.

10. El jurado estará formado por miembros de la Compañía de Productos Electrónicos COPRESA, S.A. Su decisión será inapelable.

11. Los originales premiados serán publicados por COPRESA y el resto serán devueltos a sus autores en los días siguientes a la concesión de los premios.

12. Los autores se responsabilizan de la originalidad de sus trabajos y se comprometen a asumir la defensa de cualquier demanda interpuesta por dicha causa.

13. La concurrencia a estos premios supone la aceptación de estas bases.

Compañía de Productos Electrónicos COPRESA, S.A.
octubre 1979


COPRESA
comercializa
en España
el microprocesador 2650
de
signetics

COPRESA



"Miniwatt"

Ro

VOLUMEN 19 - Número 6 — Junio 1980 — 125 Ptas.





VOLUMEN 19 - Número 6 **Junio 1980**

Indice

Portada:
Vista parcial de la fabricación de tubos de imagen en la factoría Miniwatt en la zona Franca de Barcelona.



Revista Miniwatt

Publicada por:

COMPAÑIA DE PRODUCTOS ELECTRONICOS «COPRESA», S.A.
Balmes, 22 — Teléfono 301 63 12 — Barcelona-7
Suscripción anual (11 números) .... Ptas. 1.100
Precio Ejemplar .... Ptas. 125
Cambio domicilio .... Ptas. 25

Revista MINIWAT

Director

D. José Mª Llevat Grau
Doctor Ingeniero de Telecomunicación

Editor

Cía. de Productos Electrónicos Copresa, S.A

Redacción

Dª Mª Dolores Forns-Samsó
Licenciada en Físicas

Consejo asesor de redacción (Técnico Consumer)

D. Pedro Barrera Vázquez
Ingeniero Superior en Telecomunicación

D. Jaime Borrull Subirana
Ingeniero Técnico Eléctrico

D. Luis Marco Loras
Ingeniero Superior en Telecomunicación

D. Angel Suso San Miguel
Ingeniero Superior en Telecomunicación

Suscripciones

Dª Mª Angeles García Ferrer

Coordinación, Maqueta y Producción

GENERAL GRAFIC S.A.
Caspe 172
Barcelona-13
Depósito Legal: B-18387-61

A nuestros lectores:

Queremos que nuestra Revista sea más útil e interesante para todos Vds, y todos los que de alguna u otra manera están vinculados a la electrónica.

Pretendemos hacerla más útil, seleccionando con especial esmero los artículos que se van a publicar, para que sean lo más prácticos y actuales posible y tratándo siempre de sincronizar dichos artículos con la promoción a nivel comercial de los componentes básicos que en ellos se mencionan.

Creemos que será más interesante si además del contenido técnico, la completamos con otras informaciones que le acerquen a Vds un poco más a la vivencia de nuestra empresa, como la EDITORIAL que enmarca la información dentro de nuestra política comercial, las NOTICIAS sobre nuestras actividades, etc.

Finalmente, está previsto para el próximo año el cambio de formato a DIN A4 más actualizado.

No se les ocultará que pretender mantener la calidad de presentación a la que no quisiéramos tener que renunciar, manteniendo el precio de la suscripción actual, sobrepasa toda posibilidad por lo que y a pesar de que nuestra Publicación no tiene el lucro como tema, nos vemos obligados a establecer el nuevo precio de venta al público de 125 ptas. ejemplar y el precio de suscripción en 1.100 ptas. anuales (11 publicaciones) esperando que nuestros lectores comprendan y participen de ésta decisión, para poder seguir contando con su confianza y amistad. Por nuestra parte procuraremos ofrecerles nuestro mejor buen hacer.

Atentamente.



Desde 1972 plataformas petrolíferas ancladas a lo largo de la costa de Gabon han sido equipadas con generadores fotovoltaicos que aseguran la alimentación de los radioteléfonos que les unen a Port-Gentil ¡¡Paradojas de una crisis!!

MULTITEXTO:

parte 3

En Revista Miniwatt volumen 19, número 4 se describió el sistema teletexto; como continuación del tema, en este número se estudia el acoplamiento del decodificador de teletexto con los receptores de televisión. El artículo termina con una breve descripción del sistema viewdata.

Las salidas del módulo son las siguientes:

1. Señal de sincronismo para la base de tiempos de TV.
2. Salidas R, G, B de texto para los circuitos visualizadores de TV.
3. Salida monocromática de texto.
4. Señal de borrado que lleva el borrado de la imagen de TV y la información del recuadro.
5. Salida de «imagen superpuesta» para el control de las funciones analógicas de TV.

La señal de sincronismo está formada por la señal de TV o por una onda de sincronismo localmente generada; la polaridad de esta onda depende de la tensión a la cual se conecta la resistencia de carga.

ACOPLAMIENTO ENTRE EL DECODIFICADOR DE TELETEXTO Y RECEPTORES DE TV

Además de los circuitos integrados individuales, se dispone de un módulo decodificador de teletexto. Este módulo consta de una serie completa de circuitos integrados de teletexto que aceptan una señal compuesta de video de TV procedente del demodulador de FI del receptor, y devuelve la onda de sincronismo elegida y las formas de onda de texto y de borrado necesarias, las cuales se aplican a un circuito de acoplamiento de video para dar una visualización total en color. Las funciones de control del usuario se obtienen mediante los impulsos $\overline{\text{DATA}}$ y DLIM del sistema de control.

El acoplamiento entre el decodificador de teletexto y los circuitos convencionales de TV es muy sencillo, véase la figura 31.

La señal principal de entrada es una onda compuesta de video de TV de 2,4 V de amplitud pico a pico (sincronismos hacia abajo) suministrada desde el demodulador de video a través de una trampa de la portadora de sonido de 5,5 Mhz (6 MHz en Inglaterra). El decodificador necesita dos alimentaciones, 5 V (450 mA) y 12 V (120 mA), y dos entradas del sistema de control, DLIM y $\overline{\text{DATA}}$.

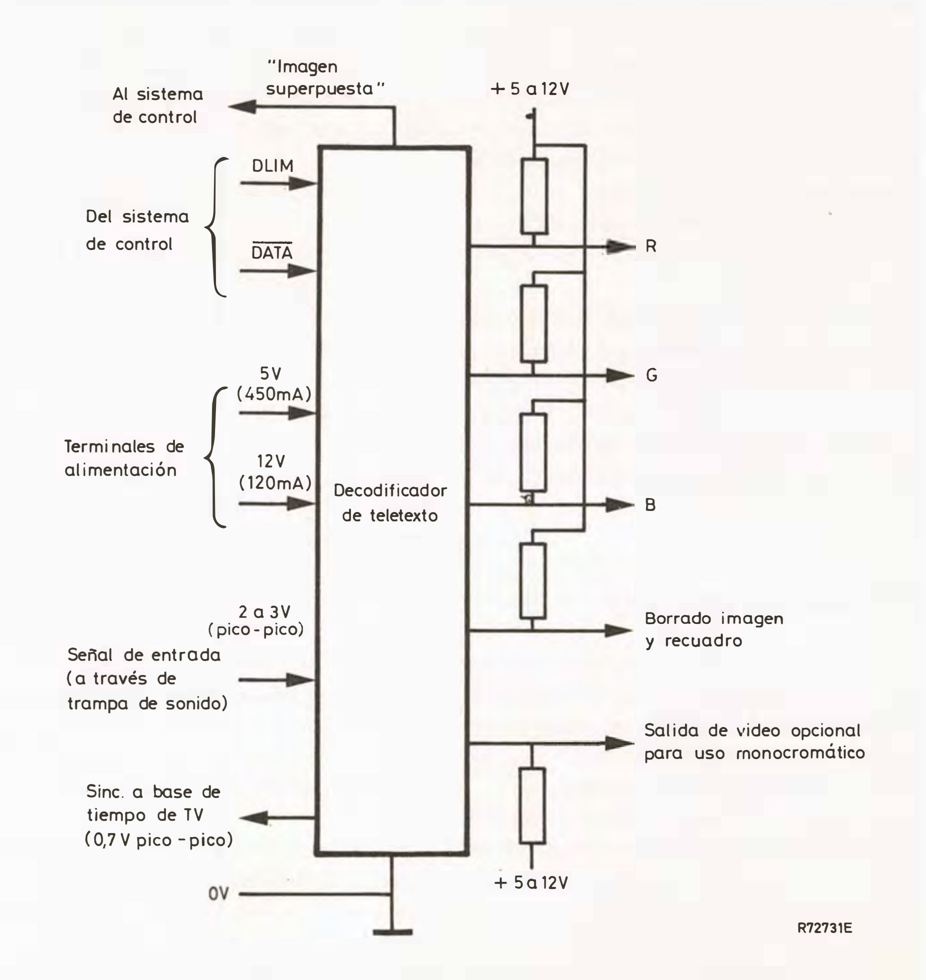


Figura 31. Acoplamiento del decodificador de teletexto con receptores de TV.

REQUISITOS DE LOS RECEPTORES DE TELEVISION

Si se aplica al decodificador de teletexto una señal de TV libre de señales fantasma y de otras formas de distorsión, éste es capaz de producir una visualización de texto sin errores. Por lo tanto, la calidad de esta visualización está virtualmente limitada sólo por la definición del tubo de imagen y por las características de los circuitos de excitación de video. Sin embargo, si la señal de TV recibida está distorsionada, o no son satisfactorias las características del sintonizador del receptor o del amplificador de FI, entonces disminuye la capacidad del decodificador para producir una visualización libre de errores. Análogamente, si las características del tubo de imagen y de sus circuitos de excitación son inadecuadas, desaparecerá el rizado inherente del visualizador.

En el pasado no se había prestado mucha atención a algunas características del receptor. Esto era debido a que las pérdidas de calidad de la imagen no eran perceptibles si algunos parámetros se separaban algo de los ideales. Sin embargo, algunas características de funcionamiento son más críticas para visualización y recepción de teletexto que para imágenes de TV. Por lo tanto, las características de los receptores de televisión existentes no siempre son suficientes para apreciar el potencial total de un visualizador de teletexto.

Para optimizar la recepción de datos de teletexto se debe prestar más atención al sintonizador, al amplificador de FI y al demodulador de video, mientras que un diseño cuidadoso del circuito de excitación RGB de video asegura la mejor visualización posible.

Distorsión de la señal de TV

Es difícil compensar (en el circuito del receptor) las diferentes formas de distorsión de la señal de TV durante la propagación, pero vale la pena hacer una breve discusión sobre el problema de señales fantasma.

Las diversas formas de distorsión afectan de diferente forma a la información digital de teletexto y a la señal analógica de TV. La señal de TV tolera más los ecos de corta duración (menores que 500 ns) que los ecos de larga duración, mientras que la información de teletexto es igualmente afectada por ambos tipos de distorsión. Por otra parte, los datos de teletexto toleran más las interferencias del tipo impulso y el ruido aleatorio que la señal de TV.

Puesto que, en la práctica, los ecos de corta duración no interfieren seriamente con la imagen de TV, se presta poca atención a miminizarlos al colocar la antena de TV. Por lo tanto, en ubicaciones difíciles de la antena, los ecos de corta duración predominan como fuente de recepción insatisfactoria de teletexto.

Requisitos de RF y de FI para teletexto

Para miminizar la tasa de errores, el decodificador de teletexto debe presentarse con una forma de onda de datos que tenga buenas características de «ojo». Sin embargo, la altura, anchura y características del ojo están afectadas por todas las formas de distorsión e interferencia. La figura 32 muestra un modelo de ojo resultante del funcionamiento de un demodulador cuasi-síncromo.

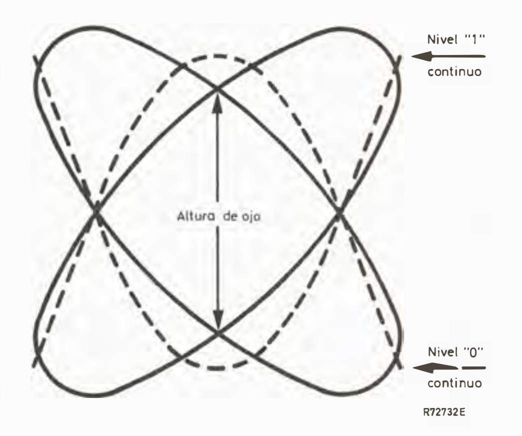


Figura 32. Modelo de ojo (como se ve en un osciloscopio) de la respuesta de un demodulador síncrono a las fuentes de bits de teletexto 010101 (línea de trazos) y 0011001 (línea contínua).

Existen tres tipos principales de distorsión que pueden ser introducidos en los circuitos de pequeña señal de un receptor de TV.

Distorsión de la respuesta en amplitud

La distorsión de la respuesta en amplitud está afectada por una respuesta vestigial y una pendiente de caída de alta frecuencia, ambas provienen de las características del filtro de FI. La altura del ojo depende de la naturaleza de la respuesta vestigial en la región de la portadora y, por lo tanto, este flanco de la banda de paso de FI debe estar lo más próximo posible al ideal. La respuesta del filtro a la banda lateral principal debería ser plana hasta 5 MHz; debe prestarse particular atención a la región que se extiende hasta 3,5 MHz (mitad de la velocidad de la información) donde las variaciones en la respuesta deberían ser idealmente menores que ± 1 dB.

Distorsión no lineal

En un receptor de TV, el demodulador de video es la principal fuente de distorsión no lineal. Los demoduladores sencillos de diodo que responden a la envolvente de la señal de TV, introducen un elevado nivel de distorsión de cuadratura. Esto afecta seria-

mente a las características de ojo de la información produciendo una pérdida de altura y de la simetría del ojo. El uso de transmisión de banda lateral vestigial necesita un detector que responda solamente a la componente de modulación que está en fase con la portadora.

Distorsión de retardo de grupo

El separarse de la verdadera característica de fase lineal requerida en un amplificador de F.I. ideal puede provocar pérdidas de la altura del ojo debido a sobreimpulsos, inclinación y desplazamiento de la posición óptima de muestreo. Para una buena recepción, la respuesta de retardo del grupo de video debe ser plana hasta 3,5 MHz (con desviaciones de hasta ±40 ns).

Filtro de onda superficial

Es posible diseñar un filtro LC que tenga una amplitud y características de retardo de grupo suficientemente buenas para recepción de teletexto, pero los problemas de mantener adecuadamente pequeñas las tolerancias de fabricación son básicos.

Sin embargo, los filtros de onda superficial tales como el SW102/M son particularmente adecuados para la recepción de teletexto debido a sus características de respuesta de frecuencia y retardo de grupo casi ideales, y además se evitan las tolerancias producidas por errores de ajuste.

Demoduladores de video

Los demoduladores totalmente síncronos dan el mejor rendimiento de altura de ojo pero su elevado costo impide que sean ampliamente empleados en receptores de TV. Sin embargo, los demoduladores cuasisíncronos como el TCA270S y el TDA2540 se emplean corrientemente en casi todos los receptores de TV de Gran Bretaña y cada vez más en Europa. En la práctica se ha encontrado que su excelente rendimiento con señales de video de TV se extiende a información de teletexto.

Desintonía del receptor

La desintonización del oscilador local en el sintonizador es un factor más crítico para la recepción de teletexto que para la recepción de televisión. La portadora de la imagen debe mantenerse lo más cerca posible del punto correcto en el flanco vestigial de la característica del filtro de F.I.; esto evita la introducción de una distorsión de amplitud al final de la respuesta de video de la F.I. Es deseable una exactitud de sintonía de ±50 kHz y por lo tanto es adecuado emplear un sistema de control automático de frecuencia (c.a.f.) de elevada ganancia, tal como el incorporado en elcircuito integrado TDA2540.

Obsérvese que los sistemas sintetizadores de frecuencia para selección de canales (por ejemplo el sistema DICS), que generan puntos exactos de sintonía de canal, se adaptan particularmente bien para ser utilizados en teletexto.

Requisitos de visualización y de video para teletexto

En lo que se refiere a los requisitos de visualización y de video de los receptores de televisión que manejan datos de teletexto se deben considerar los siguientes puntos.

Características del amplificador de video

Los tiempos de subida de la información RGB así como las salidas monocromáticas y de borrado del circuito integrado generador de caracteres de teletexto (TROM) son sólo de 20 a 30 ns, mientras que la anchura mínima de un carácter de teletexto es 167 ns. Los tiempos de subida de amplificadores típicos de video de TV son generalmente menores que 80 ns, y por lo tanto, la mayoría de diseños existentes son capaces de manejar satisfactoriamente los caracteres de teletexto.

Las capacidades parásitas en el circuito de acoplamiento de video reducen la pendiente de los flancos de la señal de datos. Es importante evitar la caída excesiva de los tiempos de subida, así como mantener razonablemente iguales los tiempos de respuesta a transitorios en cada canal RGB.

Los circuitos amplificadores de video en clase B son capaces de producir una excelente visualización de datos; estos tienen buenas características de transistorios con tiempos de subida y de caída iguales.

Borrado de imagen

La salida de borrado del decodificador de teletexto se emplea para borrar la imagen completa de TV y para borrar a su vez el recuadro del título. Cuando se tiene que intercalar texto en la imagen de televisión, se tiene la salida «Y» o monocromática, que proporciona el borrado rápido para suprimir la imagen antes de cada carácter. En este caso, la característica de transistorios de las etapas de borrado rápido debe adaptarse con la de las etapas RGB para evitar efectos espúreos alrededor del borde de los caracteres.

Limitación de corriente del haz

Es importante la protección contra sobrecargas del tubo de imagen y del circuito de MAT tanto con visualizadores de datos como con imágenes de TV. Durante la visualización de sólo datos, y de datos e imagen mezclados, la función automática limitadora de la corriente de haz debe permanecer activada. Para mantener una relación constante entre la imagen de televisión y el contraste de los datos durante la acción limitadora de la corriente de haz, es aconsejable proporcionar un único circuito de control tanto para el contraste de la imagen como para la amplitud de excitación de datos.

Convergencia del tubo de imagen

Los errores de convergencia son más críticos para la visualización de datos que para la de imágenes de televisión, particularmente cerca de las esquinas de la pantalla. Por lo tanto, vale la pena tener cuidado en el diseño y ajuste del circuito de convergencia. Se pueden obtener visualizaciones de datos satisfactorias con tubos convencionales no autoconvergentes; sin embargo, los sistemas de tubo autoconvergente como el 20AX dan particularmente buenas visualizaciones de datos, ya que los errores de convergencia inherentes son pequeños y se logra una mayor estabilidad a lo largo de su vida.

Borrado de retorno de campo

Las señales de datos se introducen en el intervalo de borrado de campo de la señal de televisión. Por lo tanto, es necesario generar una señal de borrado de retroceso de campo

que sea efectiva especialmente en lo que se refiere a la temporización del flanco posterior. Para evitar posibles pérdidas de definición en la parte superior de la pantalla (debidas a la dispersión del haz de electrones en la ampolla del tubo y en la armadura de metal), se deben suprimir todas las líneas de TV que incorporen datos. Se han desarrollado circuitos integrados de sincronización de la base de tiempos tales como el TDA2571 que generan una señal de borrado de campo con unos tiempos muy precisos.

ACOPLAMIENTO AL DECODIFICADOR DE COLOR RGB

Recientemente se ha descrito un decodificador de color RGB que utiliza tres circuitos integrados de la gama TDA2500 (TDA2560, TDA2522 y TDA2530). La sustitución del TDA2530 por el TDA2532 en el decodificador de color facilita la inserción de señales de datos y de borrado. Para generar recuadros de título y de instantáneas de noticias es necesario el borrado de las imágenes de TV con una temporización muy exacta, y el TDA2532 ha sido diseñado específicamente para cumplir este requisito. Su forma de borrado es lo suficientemente precisa y rápida para permitir intercalar caracteres de datos en la imagen de televisión. La figura 33 muestra un diagrama de bloques simplificado de uno de los canales de color del circuito integrado TDA2532.

La figura 34 muestra un circuito completo de acoplamiento entre el circuito integrado TROM SAA5050 (en el decodificador de teletexto) y el decodificador de color que incorpora el TDA2532. Este circuito proporciona (sin conmutación adicional):

1. control de contraste de la visualización de datos que está unido con el control de contraste de video de TV;
2. borrado rápido y preciso, adecuado para recuadros de título y para intercalar datos en la imagen (modo de funcionamiento de mezcla);
3. borrado de toda la página.

La salida de datos del circuito integrado TROM pasa a través de un divisor de tensión (R_1 y R_2) para dar una tensión entre 6 y 9 V a la base del transistor TR_1. El diodo D_1, polarizado por el circuito de control de contraste (TR_4, TR_7 y TR_8), mantiene esta tensión en un nivel equivalente a la tensión de excitación de canal deseada. La tensión aplicada a R_{13} deste TR_1 varía desde 6 V (nivel de negro de la imagen) hasta 9 V, de acuerdo con el ajuste del contraste. Se inyecta una corriente de señal de datos en la red de realimentación de la etapa amplificadora de video por medio de R_{13} R_{18} y D_5. Por lo tanto, R_{13} proporciona un ajuste de excitación de teletexto que se realiza (junto con otros dos) para dar un punto «blanco» adecuado para la visualización de datos. El circuito, que contiene los transistores TR_7 y TR_8, proporciona una variación del control de contraste de datos paralela al control de contraste de imagen de TV. El circuito integrado de control de contraste TDA2560 es lineal en el margen de 2 a 4 V con una pequeña dispersión, y por lo tanto, el decodificador de color de la serie TDA es particularmente adecuado para acoplar los controles de contraste de texto y de imagen. Los transistores TR_7 y TR_8 proporcionan una ganancia de tenión y un desplazamiento de nivel que convierte la variación de 2 a 4 V en la variación de 6 a 9 V para la fijación de nivel de los datos. El resistor R_{20} ajusta la ganancia del circuito (y por lo tanto la relación de contraste texto/imagen) mientras que el control de desplazamiento en

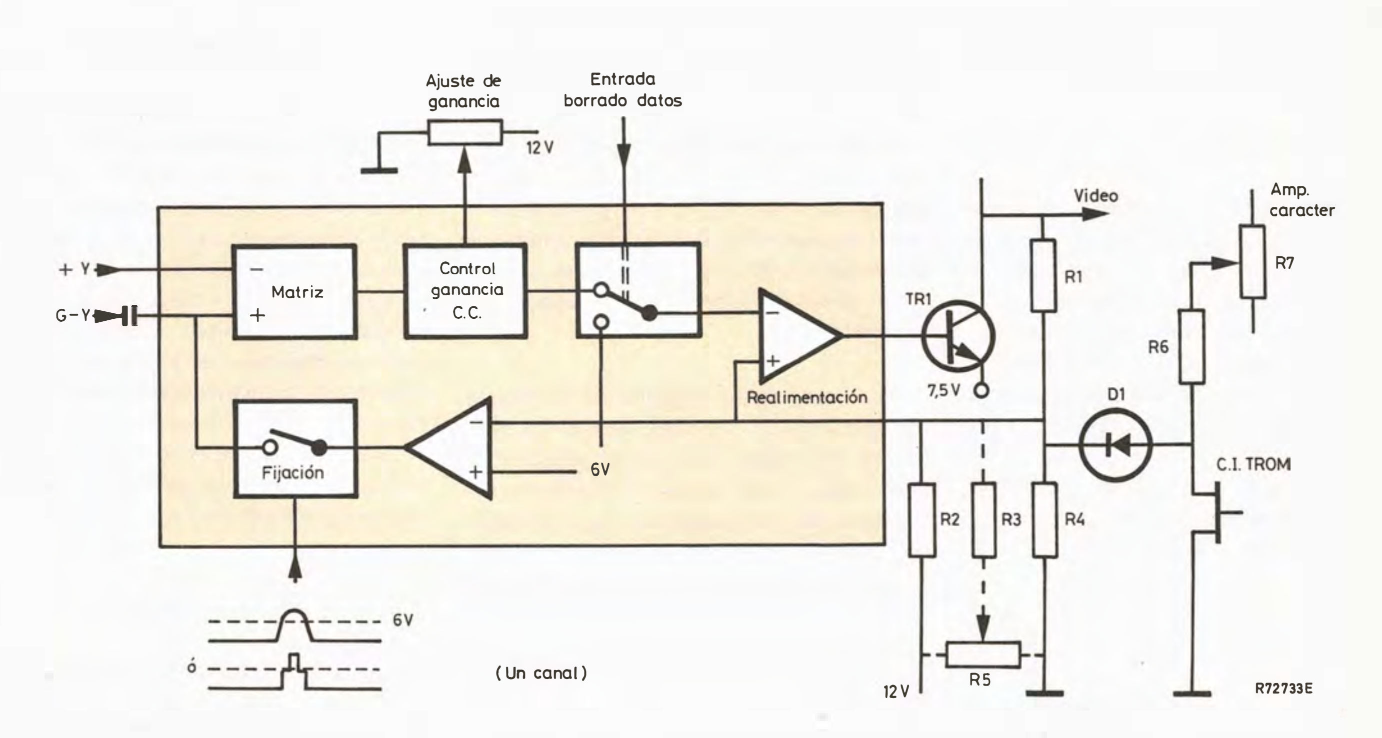


Figura 33. Diagrama de bloques interno del circuito integrado TDA2532 (mostrando sólo los principios).

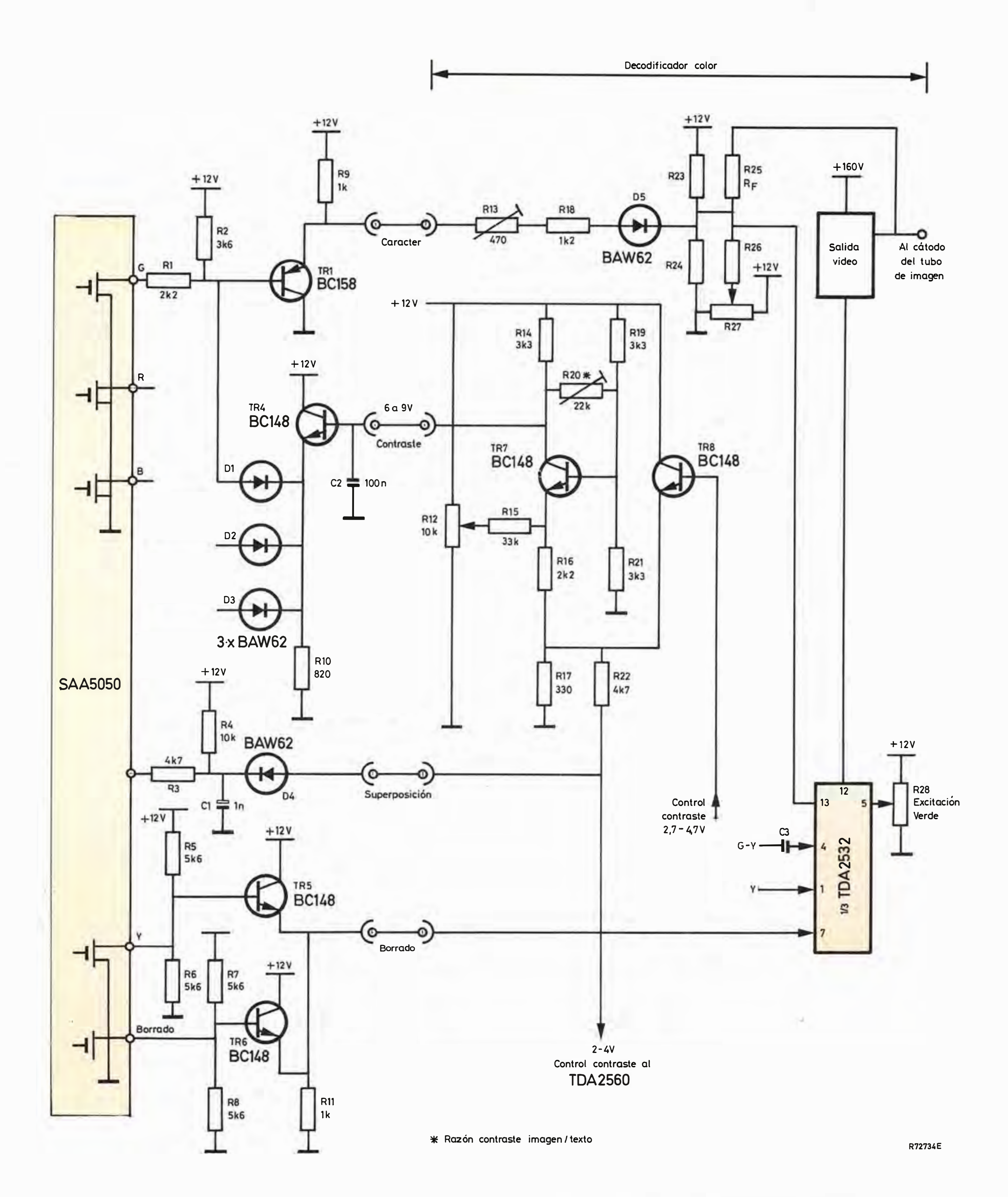


Figura 34. Circuito completo de acoplamiento entre elcircuito integrado TDA2532 y el decodificador de teletexto.

c.c., R_{12}, permite ajustar la condición de contraste cero de forma que ocurra simultáneamente para texto e imagen. La relación texto/imagen se mantiene durante la operación limitadora de la corriente de haz debido a que la limitación del haz se aplica por medio del control de contraste. Obsérvese que la limitación del haz también tiene lugar cuando sólo se visualiza texto.

Puede borrarse la página completa o los recuadros de dentro de la página, utilizando la salida de borrado del circuito TROM; la señal Y sólo se utiliza para borrar la señal de video. La salida de «superposición» del circuito TROM está en nivel bajo cuando se elige el modo de mezcla, y esta salida se puede conectar al control de contraste del TDA2560 para reducir el contraste de la imagen de TV y de este modo hacer el texto más fácilmente legible.

El circuito de la figura 34 permite flexibilidad total de la visualización de teletexto. Todas las visualizaciones que se pueden obtener son las siguientes:

- Sólo texto.
- Imagen con el texto dentro de un recuadro (por ejemplo, instantáneas de noticias).
- Imagen con texto insertado (por ejemplo, el modo de superposición).
- Texto insertado en fondos coloreados.
- Sólo imagen.

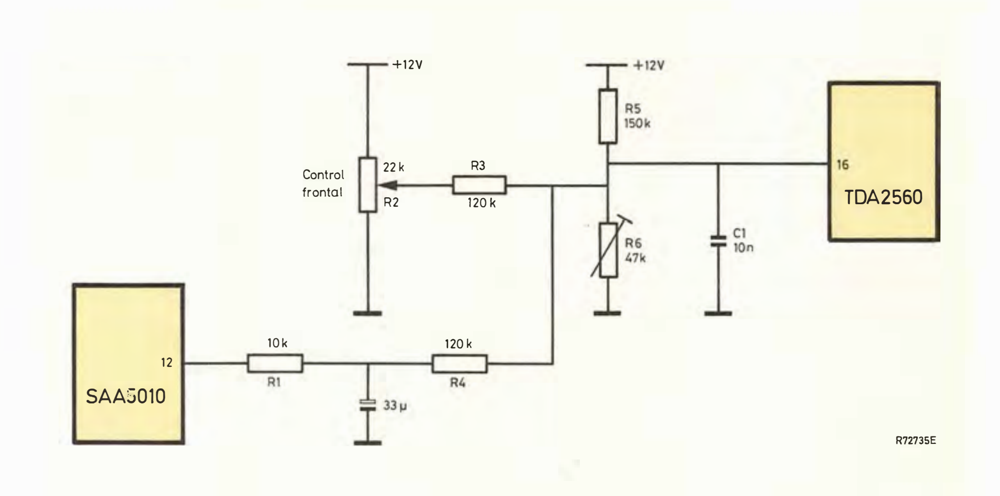


Figura 35. Circuito de acoplamiento entre el control remoto y el decodificador de color RGB. Los números de patillas se refieren solamente a las conexiones de color.

La figura 35 muestra un ejemplo del circuito de acoplamiento entre el circuito integrado decodificador/receptor de control remoto (SAA5010) y el circuito integrado TDA2560 en el decodificador de color (obsérvese que sólo se muestra un canal). Este decodificador de color tiene muchas ventajas, pero es particularmente adecuado para control remoto debido a que la linealidad de sus controles proporciona un funcionamiento suave.

PROTECCION CONTRA DESCARGAS DEL TUBO DE IMAGEN

Los circuitos integrados (y otros componentes) que tienen conexiones directas por medio de largos terminales son muy vulnerables a dañarse por descargas del tubo de imagen si los terminales son capaces de captar considerable energía electromagnética y electrostática. Los tubos de descarga blanda disminuyen este efecto, pero no eliminan la necesidad de componentes y circuitos de protección adecuados.

Niveles de energía muy bajos pueden dañar los circuitos integrados MOS, pero la experiencia con dispositivos de teletexto y otros sistemas MOS ha demostrado que se puede asegurar el funcionamiento seguro utilizando las medidas de seguridad tradicionales tales como:

1) mantener las interconexiones entre subsistemas lo más cortas que sea posible;
2) disponer los terminales fuera del tubo de imagen;
3) emplear resistores en serie al final de los terminales largos (lo más cerca posible a las patillas del CI) junto con condensadores de desacoplo de baja inductancia;
4) emplear líneas de alimentación bien desacopladas;
5) conectar a tierra los subsistemas con una conexión central a tierra;
6) utilizar transistores amplificadores intermedios si no se pueden utilizar circuitos de protección RC.

Debido a que el circuito integrado decodificador de control remoto (SAA5010) actúa como un centro de control, está particularmente expuesto a ser dañado por descargas del tubo de imagen. La figura 36 muestra los puntos en el sistema decodificador/control remoto que merecen especial atención en este aspecto; donde es necesrio, se dan los valores máximos permitidos de los componentes de protección. Obsérvese que las salidas de teletexto R, G, B, Y, y de borrado están normalmente suficientemente protegidas por los amplificadores intermedios del circuito de acoplamiento.

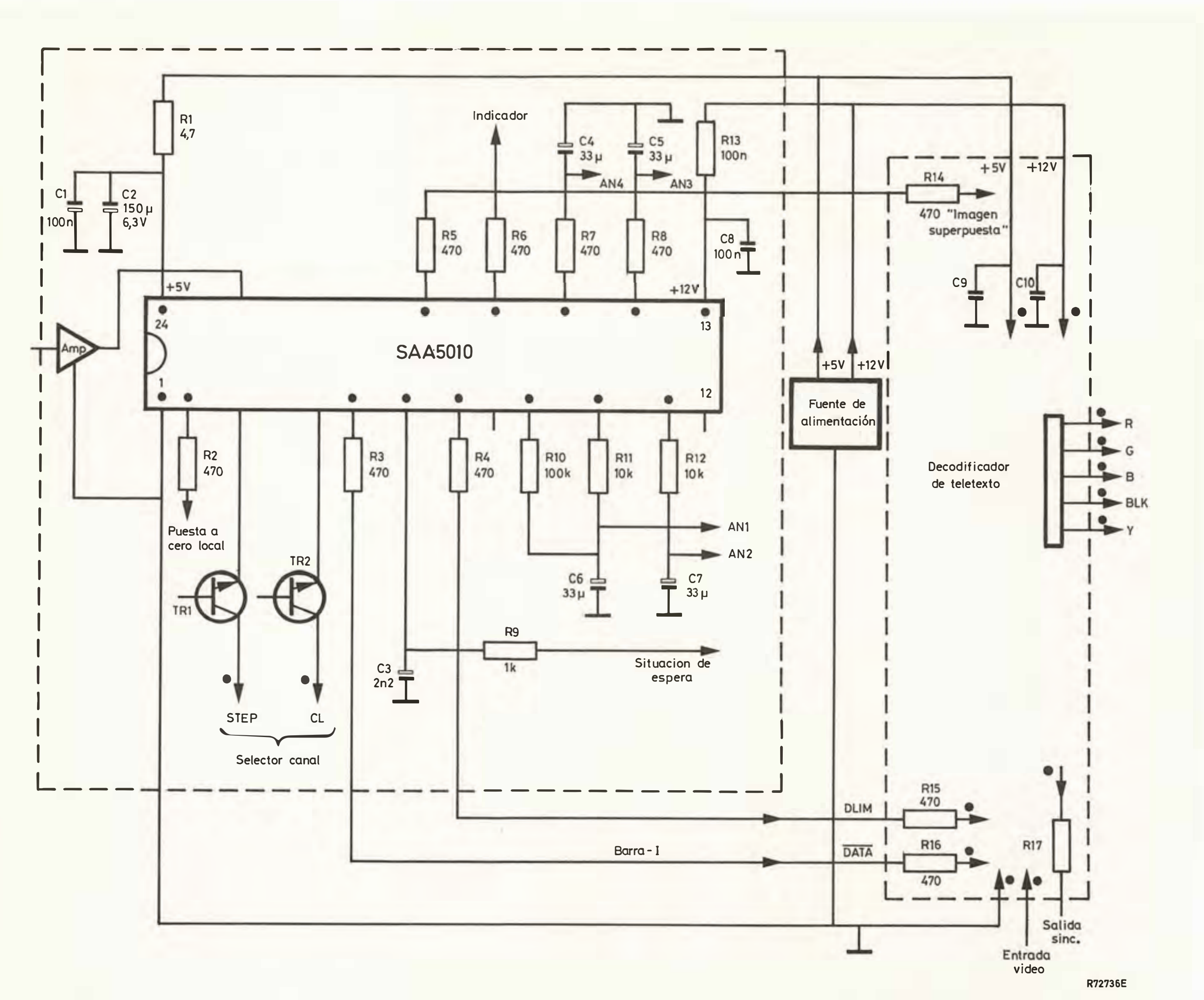


Figura 36. Puntos de protección de descargas del tubo de imagen. Los puntos negros muestran los puntos que necesitan especial atención. El valor de R_{17} depende de la carga. Obsérvese que todos los condensadores de desacoplo deben estar cerca de la patilla de 0 V del circuito integrado adecuado.

GENERADOR DE PRUEBA DE TELETEXTO

Este apartado describe un generador de prueba de teletexto que permite realizar los cuatro ajustes en el módulo de teletexto. Este sencillo generador da una señal de sincronismo compuesta de TV con un patrón de datos de teletexto pseudo-aleatorios en cada línea, excepto durante el intervalo de borrado de campo. Para facilitar la observación, el patrón de datos es el mismo en cada línea e incluye los códigos normales de sincronización de reloj y los de cuadro.

La figura 37 muestra un esquema del generador. Este diseño da una señal de 1 V, 75Ω adecuada para alimentar a los amplificadores de distribución. Si se utilizan otros valores de los componentes (mostrados entre paréntesis) en el filtro de salida, se obtiene una salida de 2,4 V pico-pico, que es adecuada para alimentar directamente al decodificador de teletexto. El filtro conformador del espectro utilizado es del tipo de coseno elevado y da lugar a un buen patrón de ojo con muy pequeños sobreimpulsos. La frecuencia del reloj de datos se debe ajustar a 6,9375 MHz con C_1, y el oscilador de 6 MHz debe ajustarse con C_2 hasta obtener una onda simétrica en el punto de prueba X.

Resistencias

R_1	10 kΩ
R_2	390 Ω
R_3	1 kΩ
R_4	470 Ω
R_5	33 kΩ
R_6	10 kΩ
R_7	10 kΩ
R_8	10 kΩ
R_9	27 kΩ
R_{10}	18 kΩ
R_{11}	10 kΩ
R_{12}	10 kΩ
R_{13}	2,2 kΩ
R_{14}	4,7 kΩ
R_{15}	1 kΩ
R_{16}	130 Ω
R_{17}	220 Ω
R_{18}	3,3 kΩ
R_{19}	2,2kΩ
R_{20}	1 MΩ
R_{21}	470 Ω
R_{22}	470 Ω
R_{23}	10 kΩ
R_{24}	560 Ω
R_{25}	27 kΩ
R_{26}	18 kΩ
R_{27}	3 kΩ
R_{28}	220 Ω
R_{29}	220 Ω
R_{30}	4,7 kΩ
R_{31}	4,2 kΩ
R_{32}	75 Ω (180 Ω)
R_{33}	2,7 Ω
R_{34}	3,3 kΩ
R_{35}	2,2 kΩ
R_{36}	560 Ω
R_{37}	10 kΩ
R_{38}	75 Ω (180 Ω)

Condensadores

C_1	5 a 65 pF
C_2	220 pF
C_3	220 pF
C_4	10 nF
C_5	10 nF
C_6	5 a 65 pF
C_7	68μF, 6,3 V
C_8	100 nF
C_9	220 pF
C_{10}	220 pF
C_{11}	68μF, 6,3 V
C_{12}	10 nF
C_{13}	390pF (164pF)
C_{14}	10 nF
C_{15}	1070 pF (440 pF)

Diodos

D_1	BAW62
D_2	BAW62
D_3	BAW62
D_4	BAW62
D_5	BAW62
D_6	BAW62
D_7	BB105

Circuitos integrados

CI_1	54/7474
CI_2	54/74151
CI_3	54/74161
CI_4	54/74164
CI_5	54/7486
CI_6	54/7400
CI_7	54/74154
CI_8	54/74154
CI_9	54/7403 (colector abierto)
CI_{10}	54/7402
CI_{11}	54/7400
CI_{12}	54/7402
CI_{13}	54/7402
CI_{14}	HEF4013B
CI_{15}	SAA5020

Transistores

TR_1	BC148/BC158
TR_2	BSX20
TR_3	BC148/BC158
TR_4	BC148/BC158
TR_5	BC148/BC158
TR_6	BC148/BC158
TR_7	BC148/BC158
TR_8	BC148/BC158
TR_9	BC148/BC158
TR_{10}	BSX 20
TR_{11}	BC148/BC158
TR_{12}	BC148/BC158
TR_{13}	BC148/BC158
TR_{14}	BSX20

Bobinas

L_1	1,174 μH (2,82 μH)
L_2	3,243 μH (7,80 μH)

Los valores entre paréntesis son para sinc-blanco de 2,4 V.

Figura 37. Generador de sincronismo y de información de teletexto.

VIEWDATA

Viewdata es el término genérico de los sistemas de emisión y recepción de información basada en un ordenador que utiliza una línea telefónica para la comunicación y un aparato de televisión para la visualización. El término específico para el sistema viewdata en Gran Bretaña es Prestel. Las principales características del sistema viewdata son:

- Acoplamiento directo con el decodificador de teletexto y con el control remoto.
- Empleo del control remoto existente con las órdenes del «modo viewdata».
- Adquisición de viewdata basado en microprocesador y módulo de control para potencia y flexibilidad.
- Cumplimiento de todas las características de visualización de teletexto.
- Posibilidad de añadir un teclado completo ASCII.

La figura 38 muestra un diagrama de bloques de un receptor de teletexto-viewdata; las secciones principales son la unidad de acoplo a línea (LCU), el módulo de control y proceso de viewdata (VAC) y el decodificador de teletexto compatible con viewdata (VCT), las cuáles se describen a continuación.

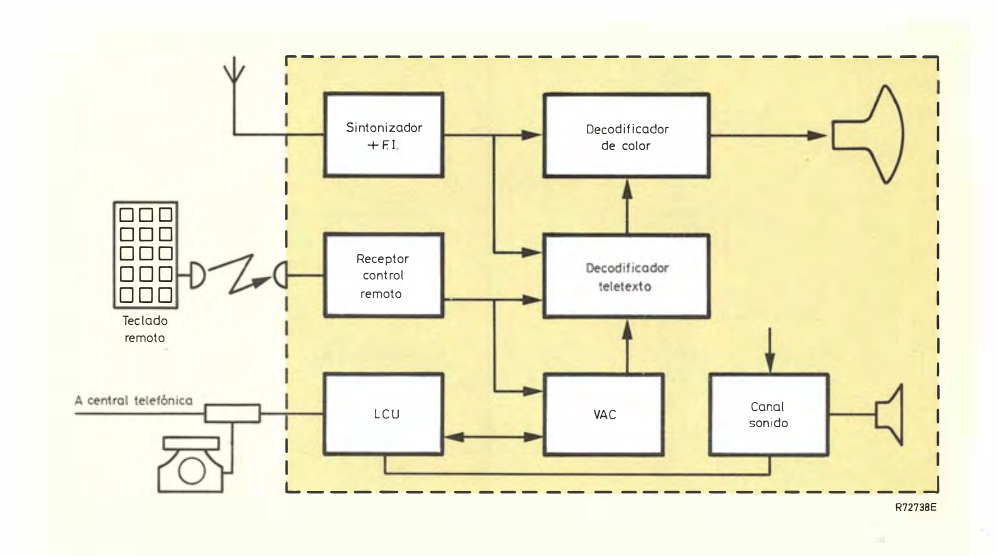


Figura 38. Receptor de TV de teletexto/viewdata.

Unidad de acoplo de línea

La LCU consta de un modem de 1200/75 baudios, aislamiento de línea, acoplamiento para altavoz, marcador automático y protección; esta unidad proporciona todo el acoplamiento necesario con la línea telefónica. Las señales analógicas recibidas del ordenador se convierten en señales digitales para ser procesadas por el módulo VAC, y viceversa. Los datos de entrada se aceptan a 1200 baudios, y los datos que salen se transmiten a 75 baudios. Está provisto de circuitos que protegen contra una conexión accidental al ordenador, que borran la línea si se pierde la conexión con el ordenador, y que permiten que el procedimiento de marcado se monitorice en el altavoz de televisión.

Es posible el marcado manual por medio de una entrada separada. El aislamiento entre la línea telefónica y el aparato de televisión se consigue mediante un transformador de aislamiento.

Módulo de control y proceso de viewdata

El VAC actúa como un acoplamiento entre la unidad de acoplo a línea y el decodificador de teletexto compatible con viewdata; está controlado por un microprocesador 2650. En modo teletexto, las principales interconexiones entre VAC y VCT se vuelven inoperantes, las entradas y salidas de tres estados amplificadas en los módulos VAC pasan al estado de elevada impedancia. En modo viewdata, el VAC adquiere el control de las funciones de visualización del decodificador VCT, y el circuito integrado TAC pasa al estado de elevada impedancia.

El módulo LCU acepta datos en serie a 1200 baudios y son convertidos a la forma paralelo para transmitirlos al decodificador VCT. Las demandas de nueva información (del control remoto) son transmitidas al ordenador de viewdata por medio de la LCU a 75 baudios. Obsérvese que el módulo VAC puede transmitir datos también desde un teclado completo al ordenador. Las señales generadas por el microprocesador 2650 se emplean también para controlar la LCU como sea necesario (pidiendo la línea telefónica, marcando, y desconectando la llamada).

Como características especiales incluye un circuito de puesta a cero cuando se conecta, y números de usuario y código almacenados en una PROM 1702A que es interrogada automáticamente por el ordenador cuando se realiza la primera conexión. El control del funcionamiento del módulo VAC se realiza mediante un programa almacenado en dos memorias PROM 82S115.

Decodificador de teletexto compatible con viewdata

El decodificador VCT es un decodificador de teletexto estándar con cinco circuitos integrados adicionales para visualizar un cursor.

En el modo teletexto, el decodificador VCT es funcionalmente idéntico al decodificador de teletexto; obsérvese que el decodificador VCT puede funcionar como un decodificador de teletexto por sí mismo, es decir, sin el módulo VAC. Este módulo proporciona señales de información y de control para el decodificador VCT, las cuales son interpretadas y actúan casi de la misma manera que las señales de teletexto.

En la figura 39 se muestra el acoplamiento de los circuitos de teletexto, ilustrando la organización de la barra de datos. El uso de estas barras, y la partición en los circuitos de teletexto elegida, permiten añadir el sistema viewdata sin ninguna modificación de los circuitos integrados de teletexto. Se añade un bit de información extra para la barra del bloque de memoria (para proporcionar posibilidad de visualizar el cursor), y por lo tanto la barra de información tiene ocho bits en lugar de siete.

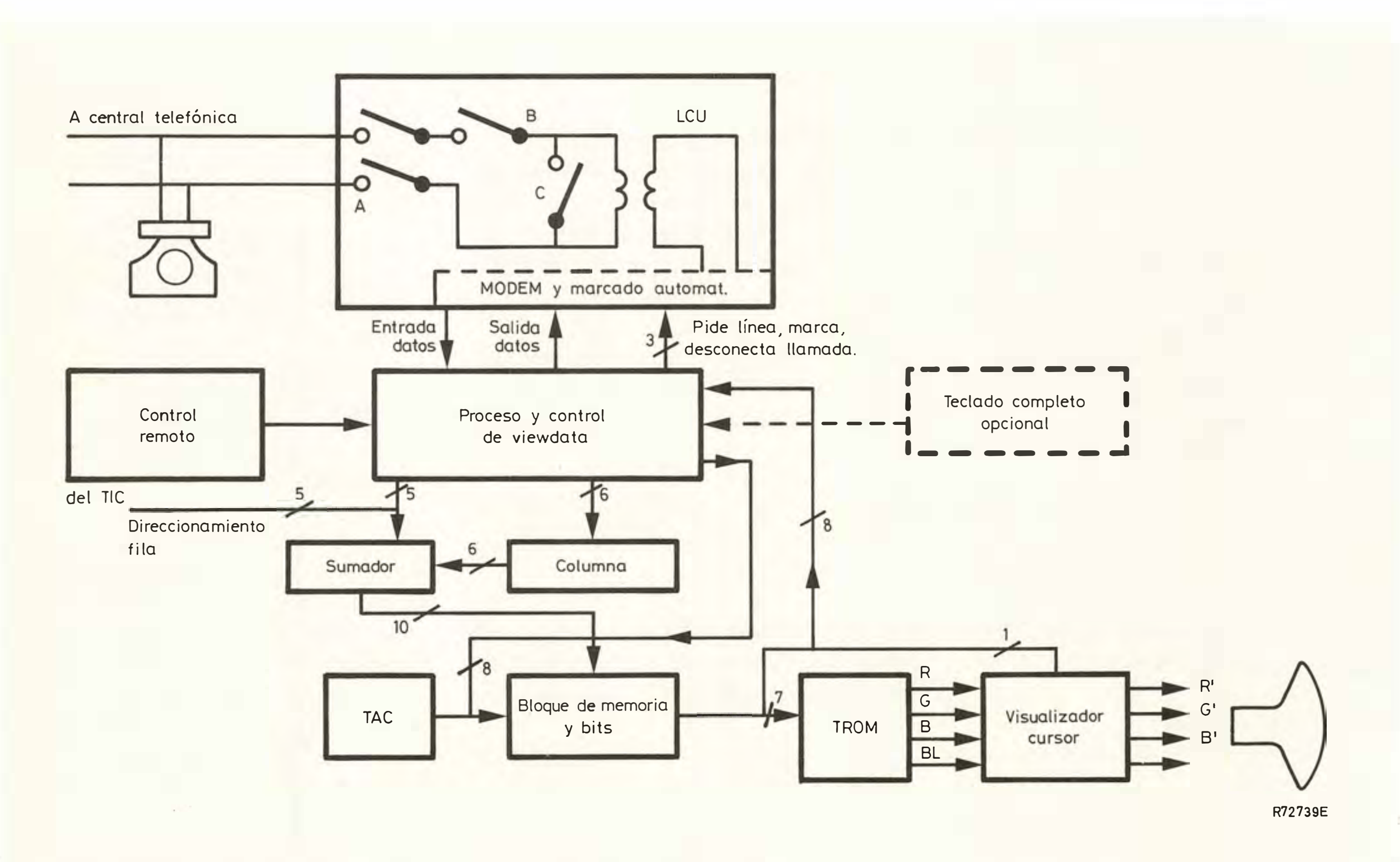


Figura 39. Recorrido de la información e interconexión entre viewdata y teletexto



Figura 40. Secuencia típica de visualizadores Prestel, ilustrando el formato de «árbol» del viewdata.

FUNCIONAMIENTO DEL SISTEMA PRESTEL

Ambos sistemas de control remoto son compatibles con viewdata. Para el sistema de control remoto SAA5.000/5.010 se dan las órdenes de control en la columna derecha de la tabla 1 (parte 1, Revista Miniwatt vol. 19 nº 2). El formato de la página visualizada del sistema Prestel es idéntico al de teletexto. Es decir, cuarenta caracteres por fila y 24filas por página. No obstante, la información está organizada de diferente manera; en vez del formato tipo revista del teletexto, la información Prestel se presenta en un formato de «árbol». Cuando se visualiza la página principal de índice del sistema Prestel, se elige una de las diversas categorías de información. Entonces se visualiza un nuevo índice, y esta selección continúa hasta localizar la página deseada. La figura 40 muestra algunos ejemplos de visualizaciones Prestel, que ilustran este proceso.

Para controlar el sistema Prestel se debe seguir el siguiente procedimiento.

1) Apretar VIEWDATA.

En el visualizador se borrará cualquier texto anterior, y la LCU se pondrá en funcionamiento para pedir línea telefónica. Se encenderá un LED para indicar que la línea ha sido concedida y puede comenzar el marcado automático. En este instante se conecta la línea telefónica al altavoz del receptor, y se escuchará el tono de marcar. Una vez que se escucha este timbre,

2) Apretar de nuevo VIEWDATA.

El marcador automático enviará entonces el número memorizado y se accederá al ordenador Prestel. Cuando se oye el «pitido» de una portadora de información, el circuito responderá automáticamente; el número de usuario y la palabra de paso se transmiten y se comprueban, y el sistema está entonces conectado. Se visualizará la página de introducción.

3) Apretar *, #, y las teclas de número necesarias para seleccionar la información deseada.

Para asegurar que se ha realizado la desconexión de la línea cuando sea necesario, se deben efectuar las siguientes previsiones.

1) A través del control remoto. Apretando la orden RING OFF (desconexión llamada) o cualquier orden de no viewdata tal como TEXT, TV, etc., se tendrá un impulso que se aplica a la LCU, provocando la puesta a cero de los circuitos de marcado automático y la desconexión del interruptor elegido.

2) Cuando la llamada falla, la LCU desconectará la línea 60 segundos después de tomarla si el marcador automático no es solicitado apretando VIEWDATA por segunda vez.

3) Si se pierde la portadora durante una llamada. La desaparición de la portadora recibida hará que la LCU desconecte la línea.

4) Por pérdida de alimentación. La desconexión de la fuente de alimentación dará lugar a que el interruptor alejado desconecte la línea.

También se debe hacer una previsión para la visión momentánea de la imagen de TV apretando la orden PICTURE DISPLAY (visualización de imagen), para comprobar un cambio del programa de T.V., por ejemplo. Para evitar la posibilidad de que la línea telefónica se desconecte accidentalente, la visualización de viewdata vuelve immediatamente a la pantalla al soltar el pulsador de PICTURE DISPLAY (visualización de imagen).



PRESTEL Page 5a

BUSINESS PRESTEL

1 BUSINESS NEWS
2 MARKETPLACE
3 STOCKS/SHARES AND COMMODITIES
4 COMPANY & MARKET INFORMATION
5 INDUSTRY BY INDUSTRY GUIDE
6 SERVICE GUIDE FOR BUSINESSMEN
7 BUSINESS ABSTRACT & REFERENCE
8 GOVERNMENT INFORMATION
9 FINANCIAL & ECONOMIC STATISTICS

Business Prestel

PRESTEL Page 58a

GOVERNMENT INFORMATION

1 GUIDE TO GOVERNMENT SERVICES (COI)
2 PARLIAMENT
3 GOVERNMENT DEPARTMENTS WITH INFORMATION ON PRESTEL

Government Information



Government Information Page 50004a

Legislation

1 How laws are made
2 Types of Bill
3 Subordinate legislation
4 Parliament and EEC law
5 How to make your views on EEC proposals known to Parliament

Key 0 to return to PARLIAMENT

Government Information Page 500045a

HOW TO MAKE YOUR VIEWS ON EC PROPOSALS KNOWN TO PARLIAMENT

Information on EC policies may be obtained from the London, Edinburgh, and Cardiff offices of the European Commission or the EEC Enquiries Unit, Department of Trade Tel: 01-217-...

Views on draft EC legislation should be sent to the Clerk of either of the Committees- European Legislation etc in the Commons,- European Communities in the Lords Tel: 01-219 3326 & 3130

*The secretaries to the UK European Parliament delegation 01 219 3291/3150 will advise how to contact a delegate

Key 9 for LEGISLATION index

CONVERTIDOR DE TENSION Y UNIDAD DE MEMORIA PARA PRESINTONIA DE EMISORAS DE RADIO

Este artículo describe un sistema de memorización de sintonía que proporciona hasta 16 frecuencias preajustadas sin deriva para receptores de radio FM o AM/FM. Un circuito de este tipo puede ser fácilmente añadido a cualquier receptor de radio existente sin perturbar la sintonía manual y el c.a.f. Se dispone de visualización LED de la banda y del número de programa e incorpora una batería para asegurar la retención de la memoria durante la desconexión temporal de la alimentación.

Hace unos diez años, una radio europea de altas prestaciones utilizaba diodos de capacidad variable para la sintonización de la banda de FM y poseía pocos potenciómetros para prememorizar emisoras seleccionadas. Desde entonces, el incremento de emisoras de radio de FM disponibles para los oyentes europeos y el desarrollo de diodos de capacidad variable adecuados a la sintonización de bandas de AM (el doble diodo de capacidad variable BB212 a 8 V, recientemente presentado) han conducido a una demanda de muchas más unidades preajustables que las que se necesitaban hasta ahora. Dado que a veces las superficies restringidas de los paneles frontales de las modernas radios de reducido perfil no se acomodarán a un gran número de unidades preajustables electromecánicas, se ha desarrollado un sistema compacto de presintonía controlado digitalmente, que puede ser incorporado a radios de una o dos bandas con sintonía controlada por tensión.

El sistema de memorización de sintonía se basa en un convertidor de tensión y en una memoria, ambos integrados en el circuito SAA1089 (VOCOM, Voltage Converter and Memory). Las características del sistema son las siguientes:

—Funcionamiento estático.

—Estabilidad de las frecuencias preajustadas.

—Preajuste y selección de hasta 16 emisoras sin interrupción del programa.

—Tres modalidades de funcionamiento: una banda con 16 preajustes; dos bandas seleccionadas por el VOCOM con 8 preajustes por banda; dos bandas seleccionadas electromecánicamente con 8 preajustes por banda.

—IndicaciónLED de la banda que se está usando.

—Sintonía manual convencional y control automático de frecuencia (c.a.f.).

—Corriente típica de reposo de solamente 0,5 μA.

—Ausencia de interferencias mediante un sistema silenciador.

PRINCIPIOS DE FUNCIONAMIENTO

El sistema VOCOM está basado en el principio de la síntesis de tensión. Para preajustar una emisora primero hay que sintonizar manualmente la radio a la frecuencia deseada. Luego, el nivel de tensión de sintonía controlado manualmente se convierte en unnúmero binario que se almacena en una memoria RAM en una de las 16 direcciones seleccionada por uno de los pulsadores del panel de control del VOCOM. Para seleccionar una emisora preajustada, se direcciona la RAM desde el panel de control y el número binario almacenado en la dirección elegida se convierte en un nivel de tensión mediante un convertidor digital-analógico (CDA). Esta tensión se aplica al sintonizador en lugar de la tensión de sintonía controlada manualmente. La dirección de la RAM seleccionada (número de la emisora preajustada), se indica con un visualizador de 1 1/2 dígitos que utiliza diodos LED de 7 segmentos, excitado a través de un circuito integrado decodificador/excitador estándar.

Las funciones digitales del sistema se efectúan mediante un circuito LSI específico DIL (Double In Line, doble línea) de 24 patillas, tipo SAA1089. Las funciones analógicas y de conversión digital-analógico se efectúan mediante circuitos integrados estándar. La figura 1 muestra un diagrama simplificado del sistema.

Preajuste de una emisora

Para preajustar una emisora primero hay que disponer el sistema para operación manual pulsando el botón MAN del panel de control VOCOM. Este pulsador fija la salida puesta a cero/manual REM (Reset/Manual) del SAA1089 al nivel 1, con lo cual se ponen a cero los contadores interno y externo de 12 bits y se fija el conmutador electrónico en la posición manual. Luego hay que sintonizar la radio manualmente y a continuación apretar uno de los pulsadores numéricos del panel de control del VOCOM simultáneamente con el pulsador MEMORIA.

La salida del silenciador (MUN) pasa entonces a nivel 0, la salida REM pasa al estado 0 y los impulsos de reloj empiezan a incrementar los contadores interno y externo de 12 bits. El contenido creciente del contador externo se convierte en una función analógica en escalera mediante un convertidor

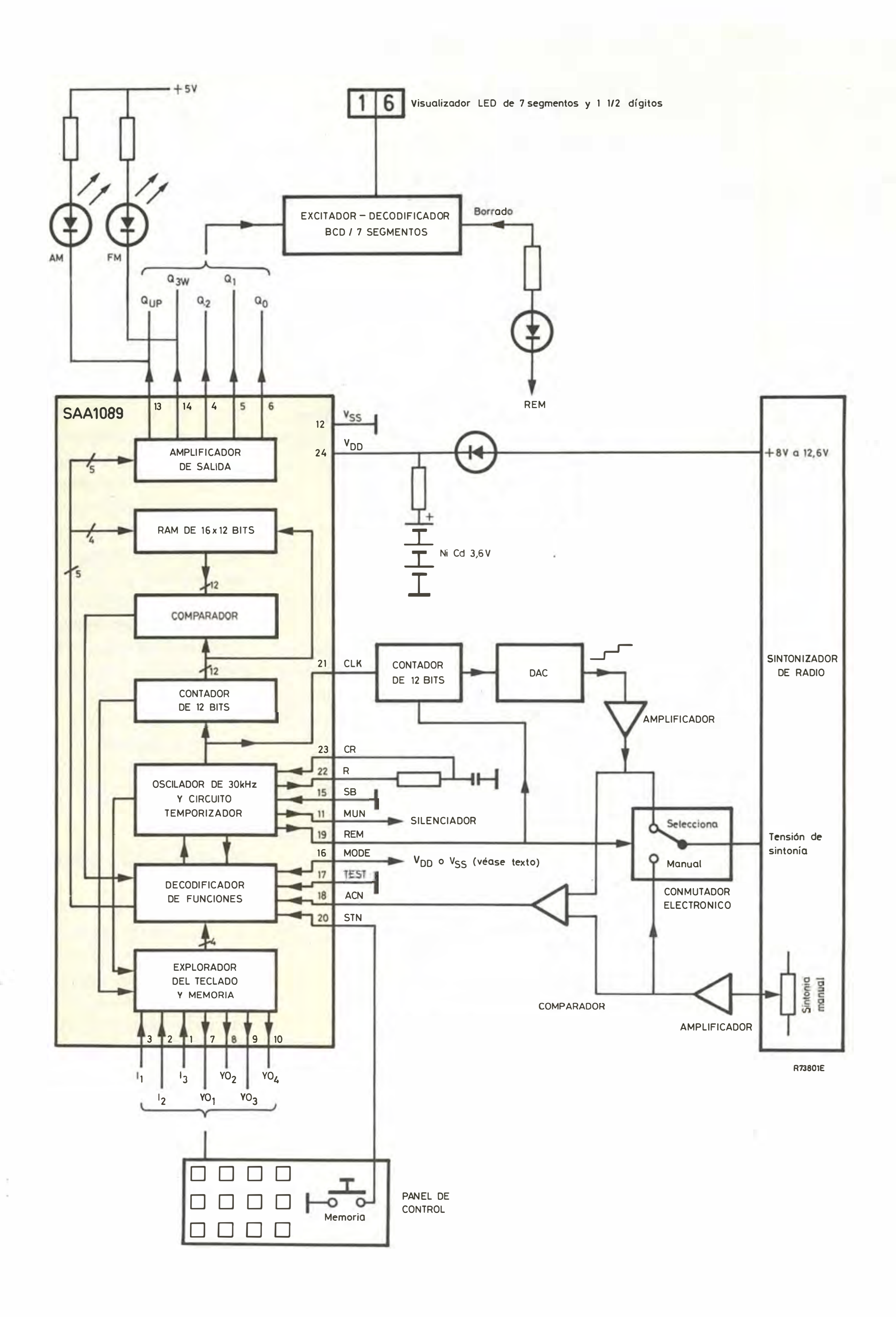


Figura 1. Principio de funcionamiento del VOCOM.

digital-analógico de resistencia escalonada, que se aplica, a través de un amplificador (buffer), a un comparador externo. La tensión de sintonía manual se conecta a la otra entrada del comparador mediante un amplificador de corriente (buffer). Cuando la forma de onda en escalera del convertidor digital-analógico alcanza el mismo nivel que la tensión de sintonía manual, la salida del comparador (ACN) cambia el nivel 0, los impulsos de reloj cesan y el contenido del contador interno de 12 bits (equivalente digital de la tensión de sintonía manual) se almacena en el lugar de la RAM direccionada por el pulsador del panel de control. Cuando la conversión está terminada, la señal de silenciamiento (MUN) pasa al estado inactivo y entonces la tensión de sintonía de la radio se deriva del convertidor digital-analógico.

Obtención de memoria no volátil

Dado que el SAA1089 es un circuito LOCMOS, la RAM es volátil y debe ser alimentada con una batería para evitar el borrado de su contenido durante un fallo de la energía o una desconexión temporal de la alimentación del receptor.

Para asegurar la retención de la información debe conectarse el terminal V_{DD} del SAA1089 a una fuente de alimentación de al menos 3 V (p.e. tres pilas de NiCd). El diodo de la fuente de alimentación evita que la batería se descargue a través de los circuitos sintonizadores de la radio. La resistencia en serie limita la corriente de carga de la batería aproximadamente a 10 mA para la tensión máxima de alimentación (12,6 V).

Selección de una emisora preajustada

Para seleccionar una emisora preajustada se aprieta el pulsador correspondiente de la emisora numerada del panel de control del VOCOM. Este pulsador aplica un impulso de puesta a cero (REM) en nivel 1 a los contadores internos y externos de 12 bits y activa la salida de silenciamiento (MUN) de nivel 0. Si la radio está presintonizada a una emisora preajustada, el conmutador electrónico pasa momentáneamente a la posición manual, pero ésto no tiene consecuencias porque el receptor está silenciado. Luego, los impulsos de reloj incrementan los contadores interno y externo de 12 bits. El contenido creciente del contador interno y el contenido de la RAM en la dirección seleccionada se conectan a un comparador interno. Cuando llegan a ser iguales, la salida del comparador inhibe los impulsos de reloj y la señal de silenciamiento (MUN) pasa al estado inactivo. Dado que los contadores interno y externo están sincronizados, el contenido de la RAM ha sido, en efecto, transferido al contador externo. Este número binario (equivalente digital de la tensión de sintonía) se convierte en una tensión analógica mediante el convertidor digital-analógico de resistencia escalonada y se aplica, a través de un amplificador y del conmutador electrónico, al terminal de sintonía del sintonizador de la radio.

Modos de funcionamiento

El VOCOM tiene dos modos básicos de funcionamiento controlados por el estado de la entrada MODE delcircuito integrado-SAA1089.

(MODO 1). Entrada MODE es «0»

El sistema proporciona el control de 16 emisoras preajustadas en una sola banda (MODO 1A) o bien el control por teclado de dos bandas con 8 emisoras preajustadas en cada banda (MODO 1B).

(MODO 2). Entrada MODE es «1»

El sistema proporciona el control de 8 emisoras preajustadas en cada una de las dos banda seleccionadas electrónicamente, en lugar de hacerlo como en el caso (MODO 1B) mediante el panel de control del VOCOM.

Organización y funcionamiento del teclado (figura 2)

El panel de control del sistema VOCOM consta de un pulsador de memorización y doce pulsadores conectados según una matriz de 4 × 3, organizados de la siguiente forma:

—8 pulsadores (A a H) que direccionan la parte superior de la RAM (posiciones 9 a 16) o la parte inferior de la RAM (posiciones 1 a 8). de acuerdo con las órdenes emitidas por los pulsadores J y K o TOG.

—Pulsador MAN que activa el sistema para sintonía manual.

—Pulsador J que encamina las órdenes de los pulsadores A a H a la parte superior de la RAM (posiciones 9 a 16).

—Pulsador K que encamina las órdenes de los pulsadores A a H a la parte inferior de la RAM (posiciones 1 a 8).

—Pulsador que puede utilizarse en lugar de los pulsadores J a K para seleccionar el grupo superior o inferior de posiciones en la RAM.

La tabla 1 da las funciones de los pulsadores del panel de control de VOCOM para las tres modalidades de funcionamiento del sistema.

Las salidas excitadoras de exploración de tres estados YO_1, YO_2, YO_3 e YO_4 están normalmente en la posición «0» y las entradas de órdenes I_1, I_2 e I_3 están normalmente en la posición «1». Cuando se cierra un pulsador, la corriente resultante que circula motiva la puesta en marcha del oscilador de 30 kHz del SAA1089. Después de un tiempo de retardo predeterminado, se realiza un barrido de las salidas excitadoras cambiándolas de estado, de una en una, y las entradas de las órdenes resultantes se decodifican para detectar el pulsador cerrado. Si se acciona más de un pulsador, solamente se detectará uno de ellos, asegurando el siguiente orden de preferencia:

D, C, B, A, H, G, F, E, TOG, K, J, MAN

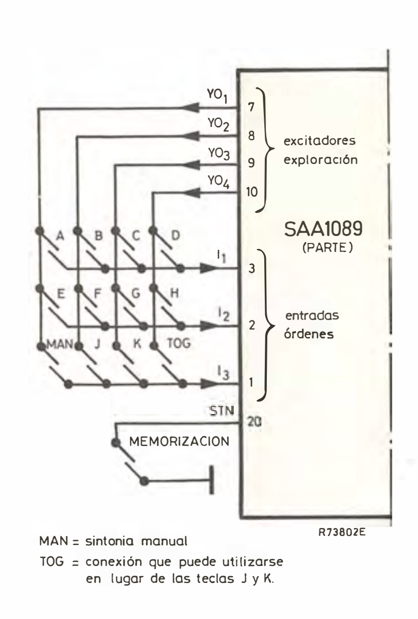


Figura 2. Matriz de pulsadores del VOCOM.

TABLA N.º 1

Funciones de los pulsadores que se muestran en la figura 2

pulsador de la figura 2	modo		
	1A	**1B**	**2**
A	**1**/9	1	1
B	2/10	2	2
C	3/11	3	3
D	4/12	4	4
E	5/13	5	5
F	6/14	6	6
G	7/15	7	7
H	8/16	8	8
MAN	MAN	MAN	MAN
J	UP	AM	no se utiliza
K	LOW	FM	no se utiliza
TOG	TOG	TOG	no se utiliza

MAN=manual
TOG=conexión que se utiliza en lugar de las teclas J y K

APLICACION

Sistema básico del VOCOM

En la figura 3 se muestra el esquema del sistema básico VOCOM. El convertidor digital-analógico está formado por un contador de 12 bits, tipo HEF4040B con una red externa de resistencias escalonadas R-2R conectada a sus salidas. El contador de 12 bits se incrementa con los impulsos del reloj del SAA1089. Dado que la conexión de puesta a cero del contador (MR) está activada en nivel «1» a través de una resistencia de 100 kΩ, la V_{REF} se mantiene en el nivel «0» durante el contaje mediante la salida REM del SAA1089.

La red de resistencias escalonadas incorpora una sección adicional R-2R conectada entre la salida Q_0 y la señal de reloj (CLK). Esta disposición permite la resolución de 13 bits del número de impulsos de reloj contado de forma que, durante el preajuste, la tensión de salida del convertidor digital-analógico puede estar definida dentro de $\pm(V_{DD}\text{-}V_{SS})2^{-13}$, donde V_{DD}=8 V a 12,6 V. La salida del convertidor digital-analógico es amplificada por 1/4 LM324 y se aplica a la entrada de un comparador analógico de tensión tipo LM211. La tensión de sintonía manual del radio-receptor es amplificada por 1/4 LM324 y se aplica a la otra entrada del comparador. La salida del comparador se conecta a la entrada ACN del SAA1089, de forma que detiene el proceso de conversión de la tensión cuando la salida del convertidor digital-analógico es igual a la tensión de sintonía manual de la radio.

Tres de los cuatro interruptores electrónicos HEF4016B se utilizan para conmutar de sintonía manual a sintonía memorizada. La conmutación se efectúa con las señales REM y $\overline{\text{REM}}$. la primera gobierna el conmutador de sintonía manual, la segunda (que se obtiene mediante la utilización del tercer conmutador como inversor) gobierna el conmutador de sintonía memorizada.

Las salidas de ambos conmutadores conectadas entre sí proporcionan la tensión de sintonía para el radio-receptor.

La frecuencia del oscilador del SAA1089 se ajusta a 30 kHz mediante la resistencia y el condensador conectados a las patillas 22 y 23. La radiación del oscilador no interfiere la recepción de la radio ya que la radio está silenciada mientras el oscilador está funcionando.

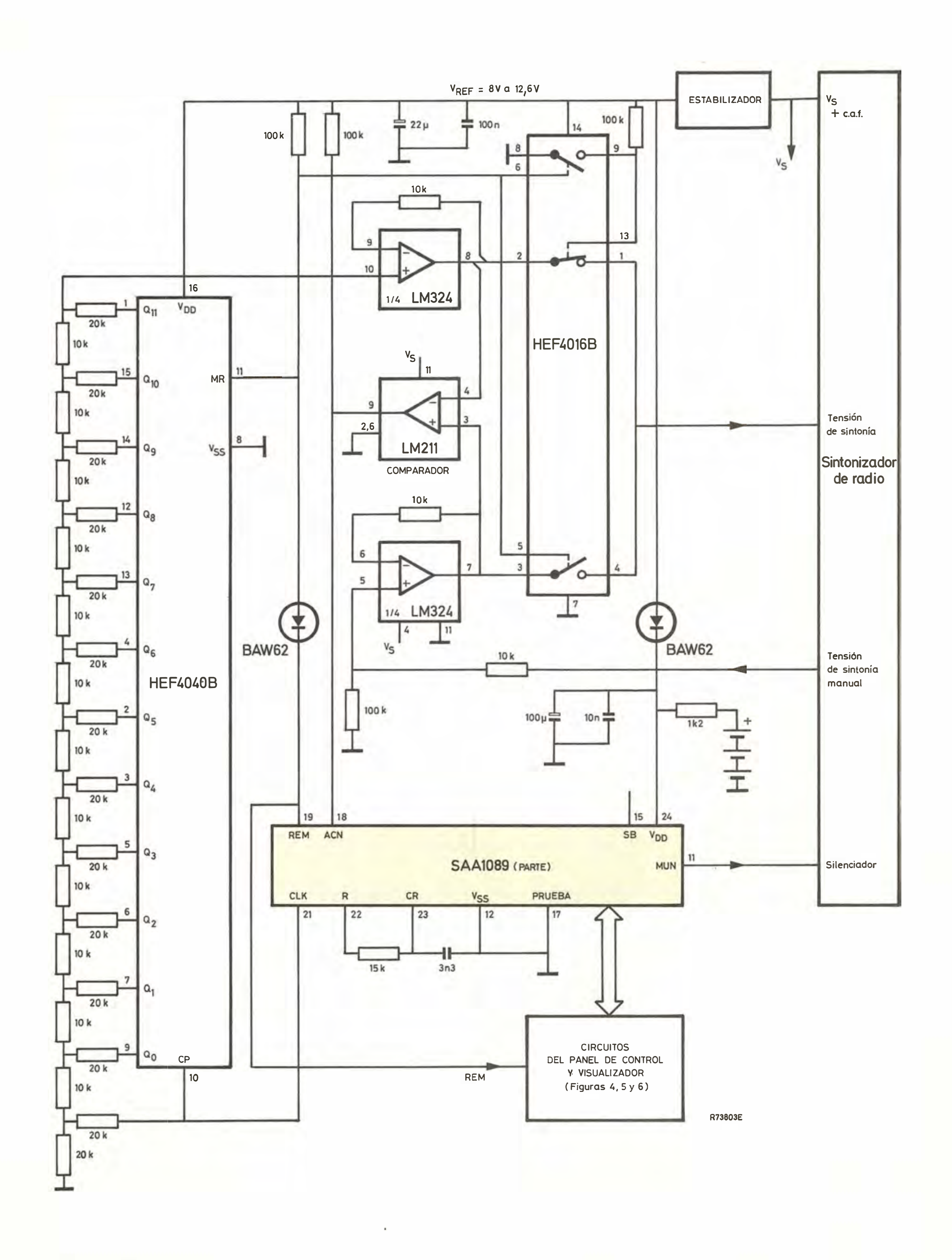


Figura 3. Sistema básico VOCOM.

Visualización de la banda y de la emisora elegida

La dirección de la RAM seleccionada (número de emisora) aparece como un código binario de 4 bits en las salidas Q_O, Q_1, Q_2 y Q_{3W} del SAA1089. Esta información se convierte en un formato de 7 segmentos mediante un excitador/decodificador BCD de 7 segmentos y se usa para presentar el número de la emisora seleccionada a través de un visualizador LED numérico. La visualización se desconecta durante el funcionamiento manual, conectando la señal REM a la entrada del control de brillo del decodificador/excitador. Dado que el bit más significativo de la información del visualizador (Q_{3W}) es «0» cuando se direcciona la parte inferior de la RAM (posiciones 1 a 8), la salida Q_{3W} se utiliza también para excitar un indicador LED que indica que se ha seleccionado una emisora del grupo inferior (modo 1A) o que se está utilizando la banda de FM (modo 1B y modo 2). El quinto bit en la salida de Q_{UP} está en estado «0» cuando se está direccionando la parte superior de la RAM (posiciones 9 a 16). Esta salida se utiliza para excitar un indicador LED que señala que se ha seleccionado una emisora del grupo superior (modo 1A) o que se está utilizando la banda de AM (modo 1B y modo 2). La información de la banda procedente de las salidas en drenador-abierto Q_{3w} y Q_{up} se transmite también a la radio, donde efectúa la conmutación de la banda cuando opera en el modo 1B. En el funcionamiento en el modo 2, Q_{3W} se convierte en una entrada que se utiliza para encaminar la dirección seleccionada por el teclado a la parte superior o inferior de la RAM sin utilizar ningún interruptor adicional del teclado. Este dispositivo permite utilizar el VOCOM en radios en las cuales la conmutación de las bandas se controla electromecánicamente.

Circuitos del panel de control y del visualizador

En las figuras 4, 5 y 6 se dan los circuitos del panel de control y del visualizador del sistema VOCOM para los tres modos de operación. En la tabla 2 se indican las funciones de las conexiones del visualizador y del panel de control al SAA1089.

TABLA 2

Modo 1A. 16 preajustes para una radio de una sola banda (figura 4)	
Q_{UP} estaciones (9 a 16)	Salida activada al nivel «0» para excitar un LED que indica la selección del grupo superior de estaciones (9 a 16).
Q_0, Q_1, Q_2, Q_{3w}	El código binario de 4 bits del número de la emisora seleccionada (1 a 16) activa un visualizador LED de cátodo común de 7 segmentos y 1 1/2 digitos, mediante un decodificador/excitador. Este visualizador se borra cuando el sistema se fija en operación manual. También se usa Q_{3w} como una salida activada al nivel«0» para excitar un LED que indique la selección del grupo inferior de estaciones (1 a 8).
Modo 1B. 8 preajustes en cada banda de una radio de dos bandas con selección de banda mediante el VOCOM (figura 5)	
Q_{UP}	Salida activada al nivel «0» para efectuar la selección de la banda de AM en la radio y para excitar un LED que indique la selección de la banda de AM.
Q_{3W}	Salida activada al nivel «0» para efectuar la selección de la banda de FM en la radio y para excitar un LED que indique la selección de la banda de FM.
Q_0, Q_1, Q_2	Código binario de 3 bits del número de emisora seleccionada (1 a 8) en la banda de onda que se está utilizando. Excita un visualizador LED de cátodo común de 7 segmentos y 1 dígito, mediante un decodificador/excitador. Este visualizador se borra cuando el sistema se fija en funcionamiento manual.
Modo 2. 8 preajustes en cada banda de una radio de dos bandas con selección de banda mediante selector mecánico en la radio (figura 6)	
Q_{UP}	Salida activada al nivel «0» para excitar un LED que indique la selección de una banda de AM.
Q_{3W}	Entrada del selector de banda en la radio, «0» = FM, «1» =AM. Utilizado también como conexión para excitar un LED que indique a la selección de la banda de FM.
Q_0, Q_1, Q_2	Código binario de 3 bits del número de emisora seleccionada (1 a 8) en la banda de onda que se está utilizando. Excita un visualizador LED de cátodo común de 7 segmentos y 1 digito, mediante un decodificador/excitador. Este visutalizador se borra cuando el sistema se ajusta para funcionamiento manual.

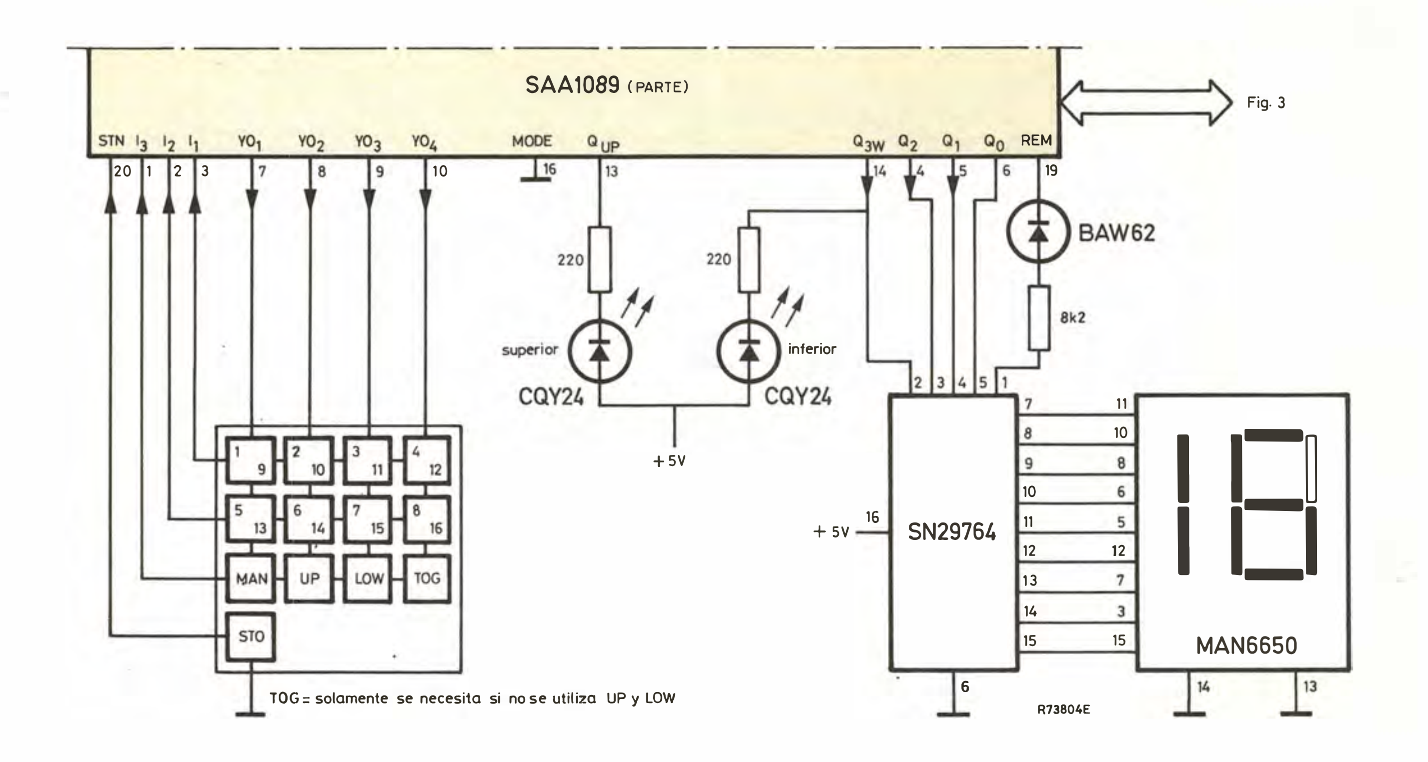


Figura 4. Circuito del panel de control y del visualizador para el modo 1.A

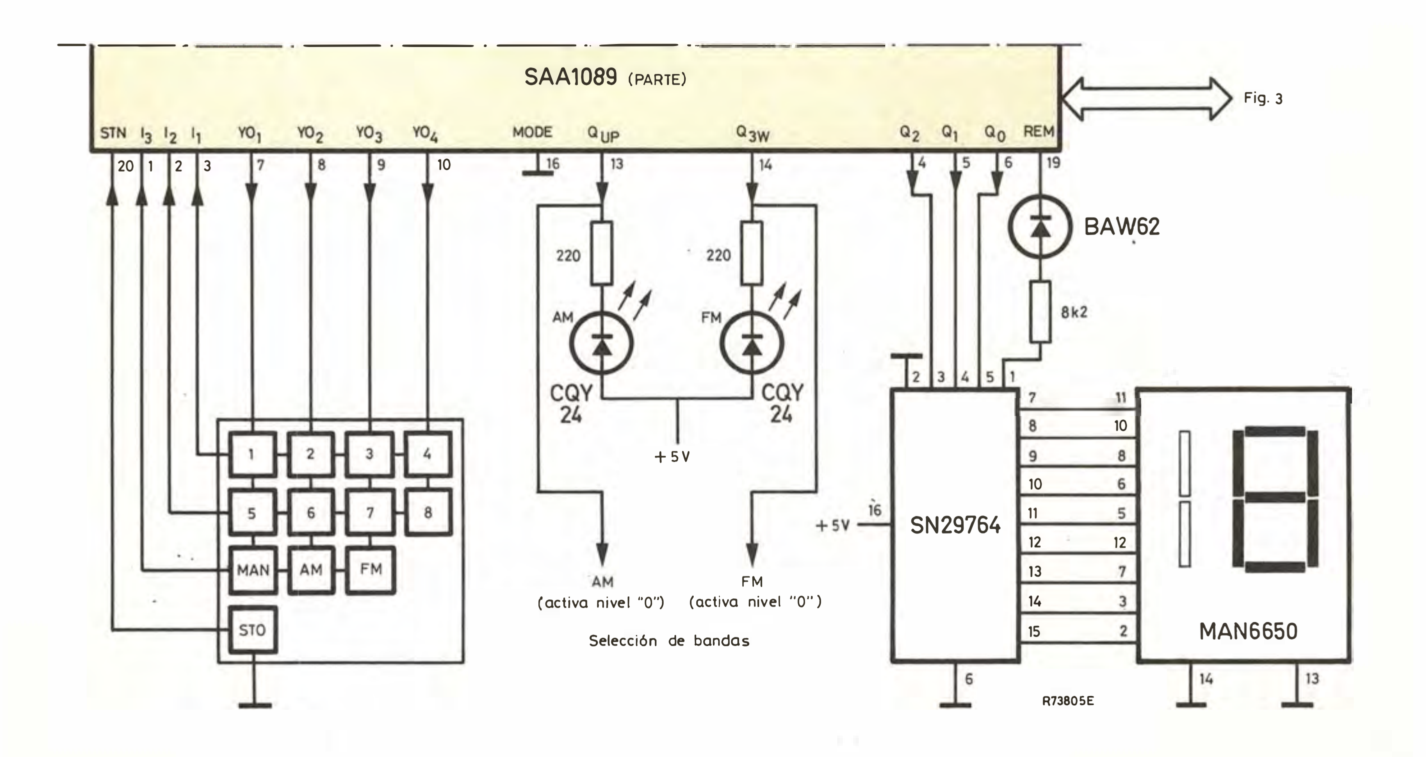


Figura 5. Circuito del panel de control y del visualizador para el modo 1B.

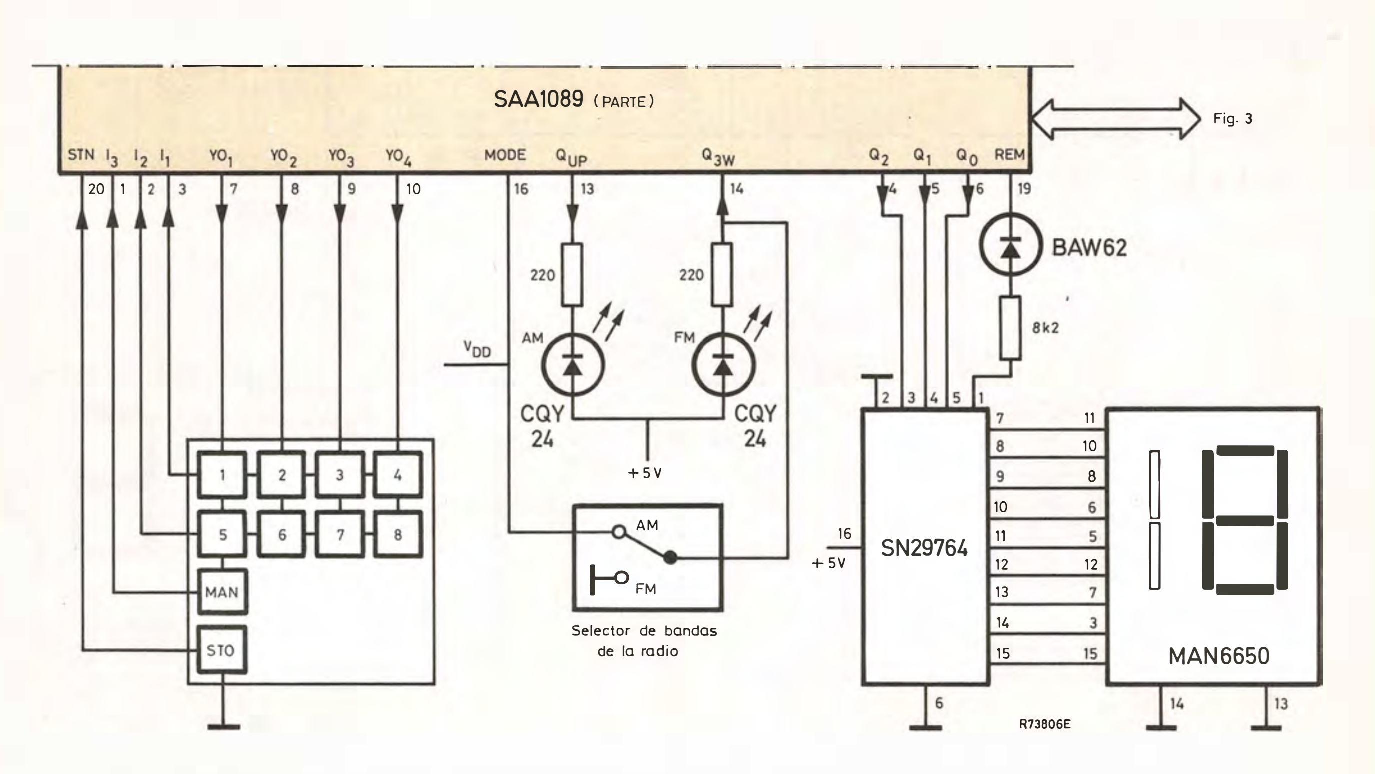


Figura 6. Circuito del panel de control y del visualizador para el modo 2.

ETAPAS DE SALIDA DE VIDEO RGB CON EL CIRCUITO INTEGRADO TDA2530

En este artículo se estudian las ventajas de utilizar el circuito integrado TDA2530 para excitar las etapas de salida de video RGB.

Se dan en primer lugar los principios básicos de las etapas de salida en clase A, B y AB, para luego pasar a estudiar cada una de ellas por separado utlilizando el circuito TDA2530 como excitador. Se incluyen esquemas y placas de circuito impreso de circuitos prácticos completos.

CONSIDERACIONES BASICAS

Para obtener una buena imagen en un receptor de color se requiere, en cuanto a contraste y definición, que los amplificadores de video sean capaces de manejar señales superiores a los 100 V de amplitud (incluyendo los impulsos de borrado) y una respuesta en frecuencia de una anchura de banda mayor de 4 MHz. Además, hay que considerar otras prestaciones como linealidad, estabilidad, fiabilidad, etc.

En el diseño de una etapa de salida de video es esencial tener en cuenta que la carga capacitiva total es aproximadamente de 14 pF (capacidad del tubo de imagen más la capacidad parásita más la capacidad de conmutación). La carga resistiva originada por la corriente del cátodo del tubo de imagen tiene un papel secundario.

Por lo tanto, se ha pensdo como circuito más adecuado, una etapa de salida excitada por un amplificador diferencial de ganancia relativamente alta con una de las entradas realimentada desde la salida. Con esta fuerte realimentación se logra disminuir básicamente la distorsión no lineal, estabilizar el punto de trabajo y linealizar la respuesta en frecuencia.

La función específica del circuito integrado TDA2530 consiste en excitar las etapas de salida de video y tiene, además de los amplificadores diferenciales para cada canal de color, las matrices para la obtención de las señales de color R, G y B a partir de las señales diferencia de color y luminancia. Además, tiene separada la ganancia en corriente alterna y fija el nivel de negro de la salida utilizando un fijador de nivel comutado con unos valores adecuados de los divisores de tensión. Gracias a este fijador se tiene una estabilidad muy alta del nivel de negro que, junto con las etapas internas de fijación de ganancia controlables exteriormente, permite un ajuste del blanco cómodo y sin problemas.

En una etapa de salida de video en clase A, cuyo diagrama básico puede verse en la figura 1, el transistor T y la resistencia de colector R son recorridos por la corriente de polarización.

La carga del condensador C_L se realiza a través de la resistencia R. De esta forma, para que la carga sea bastante rápida se debe hacer R adecuadamente pequeña, y debido a que se necesita una gran amplitud de tensión de salida U_A (lo que implica una alta tensión de alimentación en esta etapa), se obtiene una alta corriente de polarización, y por este motivo se disipa una gran potencia.

En la figura 5 se muestra la gráfica de variación de la disipación de potencia de corriente continua (con señal de salida $U_a=0$) del transistor T y de la etapa completa en función de la tensión continua de salida

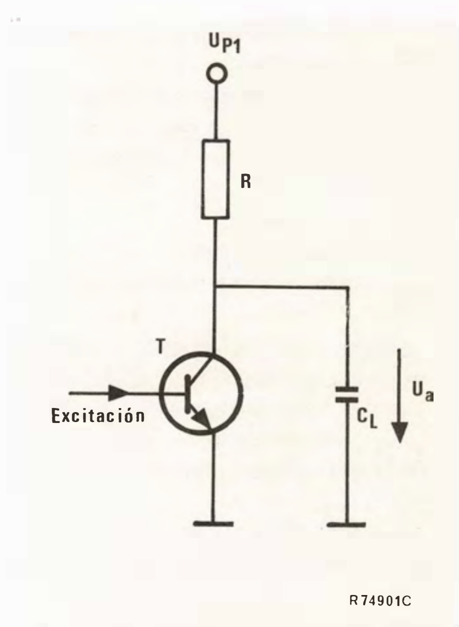


Figura 1. Circuito básico de una etapa de salida en clase A con un transistor NPN.

U_a. La potencia total disipada es:

$$Ptotal_{CC}=U_{P1}\,\frac{U_{P1}-U_A}{R}$$

y disminuye cuando sube la tenxión continua de salida U_A, desde un valor de unos 8 W (que se da en la práctica) hasta aproximadamente cero, mientras que la disipación del

transistor en corriente contínua P_{CC} en función de U_A tiene forma de curva parabólica:

$$P_{TCC} = U_A \frac{U_{P1} - U_A}{R}$$

En esta curva, el valor máximo viene dado cuando $U_A = U_{P1/2}$ y es

$$P_{TCCMAX} = \frac{(U_{P1})^2}{4R}$$

Con un contenido de imagen de tipo medio, que corresponde a los tonos grises, o sea con una tensión contínua de salida $U_A \approx U_{P1/2}$, el transistor funcinará básicamente en las proximidades de este máximo.

Suponiendo una distorsión despreciable, la potencia total disipada en la etapa no se modifica con la tensión alterna de salida. La disipación del transistor P_T es independiente de la carga capacitiva.

La gran potencia disipada en una etapa en clase A es perjudicial, ya que da lugar a una serie de inconvenientes que detallamos a continuación:

— gran disipación de calor;
— necesidad de unos transistores robustos;
— se necesita un gran disipador, con lo cual aumenta la radiación de altas frecuencias y la capacidad parásita de la carga;
— gran consumo de corriente, lo que implica una mayor potencia suministrada por la red;
— resistencia de carga de gran disipación;
— se necesita, relativamente, mucho espacio.

Estas desventajas se reducen bastante si en lugar de usar una etapa en clase A se usan etapas complementarias, con lo cual el proceso de carga del condensador C_L no se realiza por medio de una resistencia sino a través de un segundo transistor. Se tienen dos etapas de salida a considerar: la clase AB y la B, dependiendo de si pasa una corriente de polarización por ambos transistores o no.

La figura 2 muestra el diagrama básico de una etapa de salida en clase AB con dos transistores iguales NPN. Para las señales de baja frecuencia, este circuito se comporta como una etapa amplificadora en clase A con el transistor T_1 acoplado a un seguidor de emisor, el transistor T_2. La resistencia de colector de T_1; R_1, puede tener aquí un valor considerablemente mayor que la resistencia correspondiente en una etapa de salida en clase A bien diseñada, con lo que la capacidad parásita que se carga a través de R_1 es considerablemente menor que la capacidad C_L. La resistencia R_2 del emisor del transistor T_2 también puede ser relativamente grande.

Con señal de alta frecuencia, el condensador de carga C_L no se puede descargar de forma suficientemente rápida sobre R_2 y, en cuanto baja la tensión en la base de T_2, éste se corta, el diodo D conduce y la carga de C_L puede circular rápidamente a través del transistor T_1. La etapa funciona entonces en modo complementario; la carga de C_L se realiza a través de T_2 y la descarga por medio de T1.

También se puede realizar una etapa de salida en clase AB con una estructura de dos transistores complementarios, como se muestra en la figura 3.

El transistor NPN, T_1, está excitado directamente mientras que el transistor PNP, T_2, lo está a través de un condensador de acoplamiento C_K. Cuando la frecuencia de la señal está bastante por debajo de la mitad de la frecuencia de corte del circuito para altos, formado por el condensador de acoplamiento C_K y las resistencias R_{10} $//R_{11}//r_i$ (r_i es la resistencia de entrada del transistor T_2), el transistor T_2 prácticamente no recibe excitación. Para que en este caso también se pueda obtener una tensión de salida U_A positiva grande (sólo con el transistor T_1), el transistor T_2, que trabaja como fuente de corriente, debe dar una corriente de polarización suficientemente grande. Esto se consigue con ayuda del divisor de tensión R_{10} R_{11} ajustado a un nivel adecuado. La corriente i_{cc} que sale del terminal común de los colectores de ambos transistores puede entonces alcanzar un valor positivo o negativo con cualquier señal de frecuencias bajas, dependiendo de que i_{c1} sea menor o mayor que i_{c2}. Esta etapa funciona también como un amplificador en clase A cuando se alcanzan las bajas frecuencias.

Con una señal de frecuencia superior a la de corte del filtro pasa altos, la etapa funciona con excitación de ambos transistores

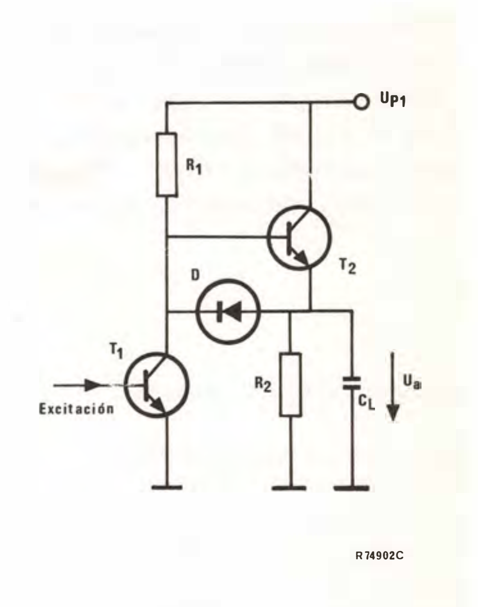


Figura 2. Circuito básico de una etapa de salida en clase AB con dos transistores iguales NPN.

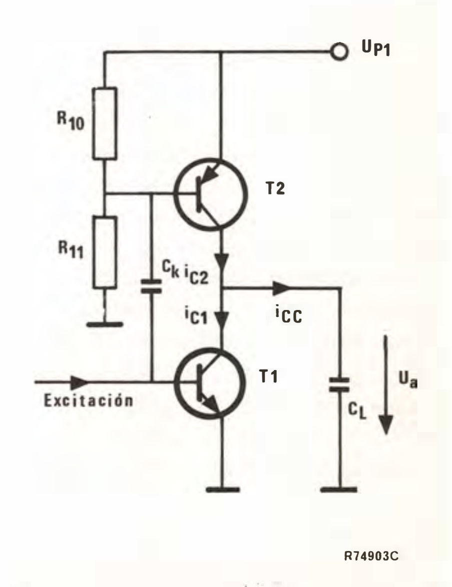


Figura 3. Circuito básico de una etapa de salida en clase AB con un par de transistores NPN-PNP.

debido a que la señal de entrada se aplica en contrafase, de esta forma se puede conseguir cargar el condensador C_1 por medio de T_2 (bastante rápidamente) y descargarlo mediante T_1.

La disipación de potencia en corriente continua de ambas etapas de clase AB, descritas anteriormente, se debe a la baja corriente de polarización y es mucho más pequeña que la de una etapa de salida en clase A (figura 5). Se puede disminuir todavía más esta disipación bajando la corriente de polarización de los transistores (en su punto de trabajo central) hasta cero, lo que nos lleva a una etapa complementaria en clase B, cuyo diagrama básico se muestra en la figura 4. Esta disposición se parece batante a la etapa de salida complementaria en clase AB de la figura 3.

La diferencia entre ambos circuitos consiste básicamente en que el transistor PNP,T_2, de la figura 4 no obtiene tensión en la base por medio de un divisor resistivo y por lo tanto desaparece la corriente de polarización I_{c2}. Con una señal de frecuencia suficientemente alta (y con una gran amplitud de señal), el transistor T_2 pasa a conducción con todas las semiondas negativas de la señal de entrada, de manera que el condensador de acoplamiento C_K se cargará mediante la corriente de base del transistor T_2 y, si no se tomaran medidas adicionales, T_2 pronto estaría completamente bloqueado. Por tanto, es necesario descargar el condensador C_K a través del diodo D_2 con ayuda de un impulso periódico de amplitud suficiente. Como se muestra en la figura 4, esto se puede realizar por ejemplo con un impulso positivo que excite la base del transistor T_1 por medio de un diodo de acoplamiento D_1. Más adelante se explicará como se obtiene ese impulso en la práctica. Con señal de video de televisión es importante que este impulso no moleste cuando se presenta durante el período de retroceso de línea.

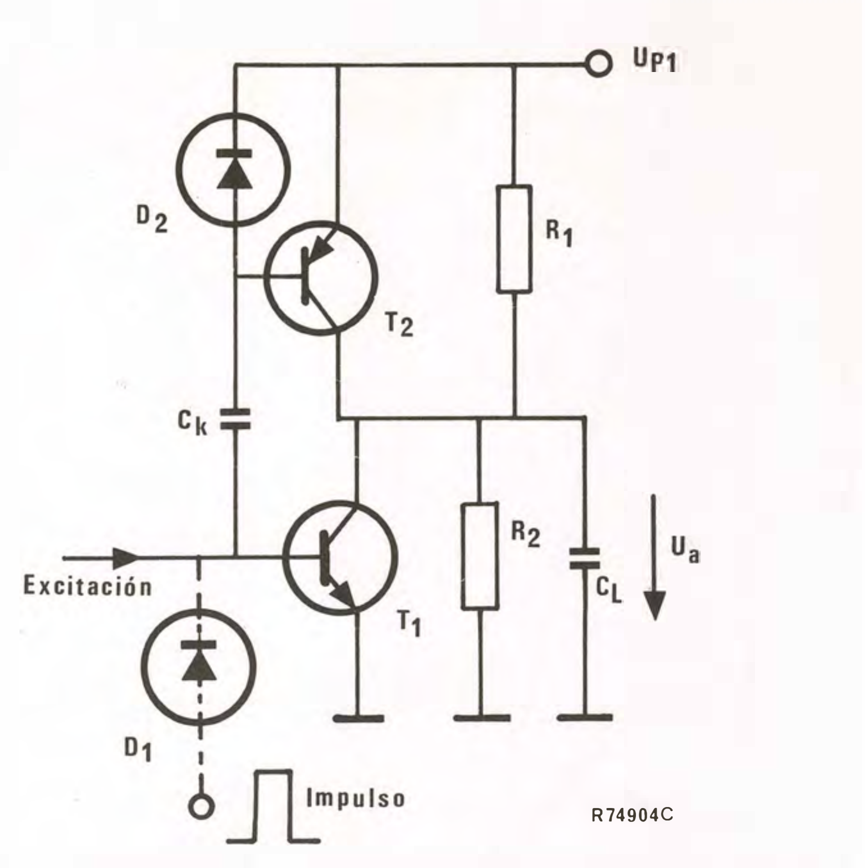


Figura 4. Circuito básico de una etapa de salida complementaria en clase B con un par de transistores NPN-PNP.

Las resistencias de colector R_1 y R_2, que en estado de no conducción de los transistores fijan la tensión contínua de salida U_A, tienen en general el mismo valor.

En la figura 5 están representadas respectivamente, la disipación de potencia en corriente contínua de la etapa completa de salida y del transistor por separado para una etapa en clase AB con dos transistores NPN y para otra complementaria en clase B en comparación con una etapa en clase A, en función de la tensión de salida U_A. Como se esperaba, la disipación de potencia en corriente contínua disminuye desde la etapa en clase A hasta la clase B complementaria.

Con las tres etapas de salida mencionadas, la disipación total media de potencia alcanza 4 W, 1,2 W y 0,4 W, mientras que la máxima disipación en corriente contínua de cada transistor es aproximadamente 2 W, 0,5 W y menos de 0,1 W.

A causa de los diferentes valores de ambas resistencias R_1 y R_2 (que en la figura 5b aparecen con la relación R_2:$R_1 \approx 3{,}8$), la disipación total de la etapa en clase AB no depende tan fuertemente de la tensión continua de salida. Por el mismo motivo, las disipaciones de potencia en corriente contínua de los transistores de esa etapa, que tienen forma de parábola en función de U_A con un máximo en $U_{P1/2}$, son diferentes. Con la etapa complementaria en clase B, la disipa-

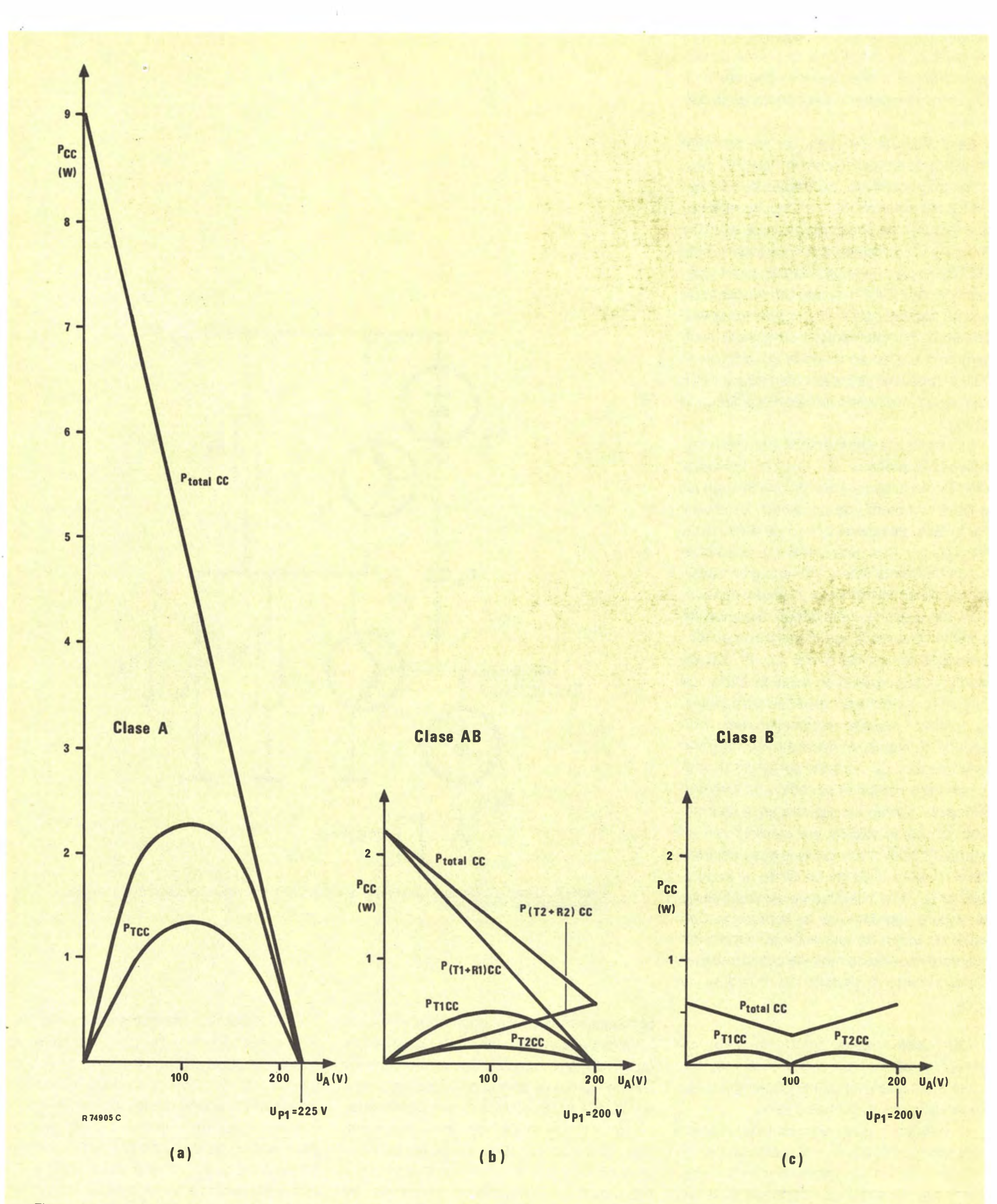


Figura 5. Curvas de la disipación de potencia en corriente contínua de la etapa completa y de los transistores por separado con etapas de salida de video de las clases A, AB y B, en función de la tensión contínua de salida U_A.

ción de potencia de corriente contínua del transistor, cuya forma se puede ver en la figura 5c, es menor de 100 mW y desaparece en el caso en que $R_1 = R_2$ con $U_A = U_{P1/2}$. La disipación total de la etapa tiene igualmente un mínimo con $U_A = U_{P1/2}$ y sube ligeramente a ambos lados.

No obstante, no deben engañarnos las pequeñas disipaciones de potencia de corriente contínua que se tienen con los circuitos de la clase AB y particularmente de la clase B, ya que al excitar estas etapas con señal de video, la disipación de potencia sube apreciablemente puesto que las corrientes que son necesarias para la carga y descarga del condensador C_L (que son aproximadamente proporcionales a la frecuencia) pasan a través de los transistores y ocasionan en ellos una gran disipación y por lo tanto también en la etapa.

Con una excitación de forma sinusoidal, la disipación de potencia con corriente alterna P_{CA} y con altas frecuencias, es aproximadamente proporcional a la capacidad de carga C_L, a la frecuencia de la señal y a la amplitud de la señal U_{as}; también depende del punto de trabajo y de la tensión de alimentación. En la figura 6 se muestra la forma principal de la disipación del transistor P_T en función de la frecuencia con una señal de amplitud U_{as} y para etapas en clase B. A pesar de todo, se puede ver que la disipación P_T por transistor puede alcanzar valores por encima de 0,5 W. La disipación de una etapa de este tipo resulta pequeña, a pesar de la exitación con señal de video, comparada con la de una etapa de salida en clase A.

Puesto que la disipación de potencia depende fuertemente de un número determinado de factores, especialmente de la señal de excitación, sólo se puede dar una indicación exacta a la disipación de una etapa de salida en clase AB o B, si todos los demás factores se pueden determinar también de forma exacta.

Con objeto de comparar, en la tabla 1 se dan las fórmulas aproximadas para la disipación de potencia en corriente contínua P_{CC} y para la disipación de potencia adicional de corriente alterna P_{CA} de los transistores en los tres tipos de etapas de salida mencionados; a partir de ellas, se puede hacer un cálculo aproximado de las disipaciones de potencia de los transistores.

Las fórmulas para el caso de disipación de potencia en corriente alterna se cumplen bajo los siguientes supuestos.

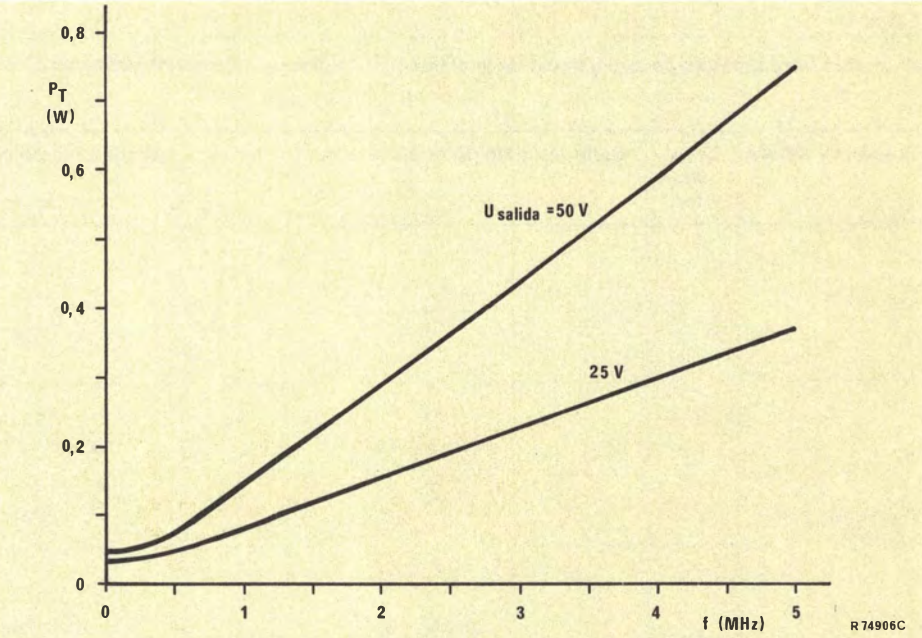


Figura 6. Curvas de la disipación de potencia P_T de un transistor en una etapa de salida en clase B en función de la frecuencia de la señal f para dos amplitudes de la tensión de salida $U_{as} = U_{ass/2}$, calculada según la fórmula:

$$P_T = \frac{U_{P1} \cdot U_{as}}{\pi R} \sqrt{1 + (\pi f R C_L)^2} - \frac{U_{as}^2}{2R},$$

válida con un punto de trabajo fijado $U_A = U_{P1}/2$ y con $R_1 = R_2 = R$. Las curvas dadas son válidas para los datos siguientes: $U_{P1} = 200$ V, $U_A = 100$, V, $C_L = 15$ pF, $R = 68$ kΩ.

a) Tensión de salida de forma sinusoidal, así como también
—ninguna sobreexcitación,
—ninguna distorsión debida a la carga del condensador C_L a través de la resistencia óhmica de colector con el transistor cortado.

b) Desplazamiento de fase entre la corriente de colector y la tensión colector-emisor aproximadamente igual a 90°, o lo que es igual $\omega^2 R^2 C_L^2 \gg 1$.

c) Funcionamiento en contrafase; es decir, consumo de corriente en el instante del valor de pico de la tensión alterna de salida (el valor de pico de las corrientes capacitivas $U_{as} \cdot \omega C_L$ es bastante mayor que la corriente media de polarización en el punto de trabajo elegido).

En los apartados siguientes estudiaremos los tipos de etapas de salida por separado y su circuito práctico exacto.

Tabla 1.

Fórmulas aproximadas para el cálculo de la disipación de potencia de los transistores en etapas de salida de video.

Etapas de salida	Transistor	Disipación de potencia en c.c.		Disipación de potencia adicional en c.a.	Componente principal en altas frecuencias
Classe A		$\frac{U_A(U_{P1}-U_A)}{R}$		$-\frac{U_{as}^2}{2R}$	
Classe AB (2×NPN)	T_1	$\frac{U_A(U_{P1}-U_A)}{R_1}$		$-\frac{U_A^2}{2R_2}-\frac{U_{as}^2}{4}\cdot\frac{R_1+2R_2}{R_1 R_2}$	$+2U_A U_{as} fC_L$
	T_2	$\frac{U_A(U_{P1}-U_A)}{R_2}$		$-\frac{U_A(U_{P1}-U_A)}{2R_2}-\frac{U_{as}^2}{4R_2}$	$+2(U_{p1}-U_A)U_{as} fC_L$
		$U_A<U_{P1}/2$	$U_A>U_{P1}/2$		
Classe B	T_1	$\frac{U_A(U_{P1}-2U_A)}{R}$	0	$-\frac{U_A(U_{P1}-2U_A)}{2R}-\frac{U_{as}^2}{2R}$	$+2U_A U_{as} fC_L$
(NPN/PNP, $R_1=R_2=R$)	T_2	0	$\frac{(U_{P1}-U_A)(2U_A-U_{P1})}{R}$	$-\frac{(U_{P1}-U_A)(2U_A-U_{P1})}{2R}-\frac{U_{as}^2}{2R}$	$+2(U_{P1}-U_A)U_{as} fC_L$

Para la validez de las fórmulas, véase el texto.

Vas=valor de pico de la tensión alterna de salida

ETAPA DE SALIDA EN CLASE A

Se da por supuesto que se conoce el principio de una etapa de salida en clase A, como la de la figura 1.

Es muy conveniente usar una fuerte realimentación, tanto para reducir las distorsiones no lineales como para linealizar la respuesta en frecuencia. Por lo tanto, se excita la base del transistor de salida por medio de un amplificador diferencial de ganancia suficientemente grande y como realimentación, se lleva a la entrada no invertida de este amplificador la señal que se obtienen de la red resistiva (R_2 a R_6 en la figura 7), conectada a la salida de la etapa.

Para la excitación de las etapas de salida de video RGB se usa un circuito integrado que incorpora los adecuados amplificadores diferenciales de excitación.

Como las salidas de este circuito integrado se encuentran a un nivel de tensión contínua de 8,2 V, las tensiones de los emisores de las etapas de salida se han elevado hasta alrededor de 7,5 V por medio de una tensión contínua auxiliar U_H.

En paralelo con la resistencia relativamente grande, R_2, del divisor de tensión de realimentación se tiene una inevitable capacidad del circuito C_s, que se comporta como un factor de división dependiente de la frecuencia. Si añadimos una capacidad adecuada, C_1, en paralelo con R_3, es posible conseguir un factor de división prácticamente independiente de la frecuencia y por lo tanto, la ganancia también lo será. El valor de la capacidad C_1 depende fuertemente de la distribución del circuito y de los elementos usados en él. Esto mismo se consigue con un diseño adecuado de la distribución del circuito y una correcta forma de la resistencia R_2, sin necesidad de incorporar la capacidad de compensación C_1. Por ello, la resistencia R_2 se debe colocar con una capacidad parásita pequeña y la capacidad de la resistencia conectada a masa debe ser lo mayor posible. Esto ocurre cuando R_2 tiene una forma alargada y está montada directamente sobre la placa de circuito impreso con una zona de masa enfrentada a la resistencia en la otra cara de la placa.

Se puede ajustar el punto de corte de los respectivos sistemas de tubos de imagen, inyectando una corriente contínua ajustable en el punto de unión de la red de realimentación, para variar el nivel de la tensión de salida durante el período de borrado por medio del potenciómetro R_6 y de la resistencia R_5.

Figura 7. Circuito básico de una etapa en clase A con realimentación por medio de un amplificador diferencial excitador.

En la figura 8 se muestra un esquema dimensionado de tres etapas iguales de salida de video RGB en clase A, que son excitadas por el circuito integrado TDA2530. La fuente de tensión auxiliar U_H está realizada aquí con ayuda de un diodo zener BZX61 C7V5, que proporciona la tensión de emisor necesaria para todas las etapas de salida, ya que está colocada en el terminal común de emisor de las tres etapas.

La capacidad C_2 en paralelo con el diodo zener sirve para que, incluso con altas frecuencias, no se haga perceptible ninguna tensión alterna en los emisores.

Con las inductancias L_1, L_1' L_1'' de los circuitos de colector de los transistores de salida se mejora la respuesta en las altas frecuencias. La resistencia de protección necesaria entre la salida de la etapa final y el cátodo del tubo de imagen está repartida en dos resistencias separadas. Una parte de esta resistencia (R_8, R_8', R_8'', 820 Ω) se encuentra en la placa de la etapa de salida, la otra parte de la resistencia (680 Ω) está alojada, en cambio, en la placa del zócalo del tubo.

Los dos condensdores de unos 7 pF, dibujados a la salida, corresponden a la capacidad parásita de los terminales y a la capacidad del cátodo del tubo de imagen.

Los potenciómetros R_6, R_6', R_6'', sirven para el ajuste del nivel de corte y los potenciómetros R_{21} a R_{23} sirven para el ajuste del blanco (ajuste de ganancia).

La señal de luminancia que viene del decodificador PAl debe tener 1,5 V durante el período de borrado para la fijación de nivel en el TDA2530; por ello, se puede usar el circuito integrado TDA2500 ó el TDA2560 en el decodificador PAL sin ningún problema ya que tienen fijación por impulsos.

Por medio de la red resistiva mostrada en la figura 8, R_{24} a R_{26}, se reduce la amplitud de la señal de entrada de luminancia desde $U_{BA} \approx 3$ V hasta el valor adecuado para el circuito integrado RGB TDA2530 que es $U_{BA} = 1$ V, sin que por ello varie el nivel fijado de entrada de 1,5 V durante el período de borrado.

Las dos disposiciones LC, L_2 C_{25} y L_3 C_{24}, sirven para desacoplar el circuito de las etapas de salida de las fuentes de alimentación U_{β} (12 V) y U_p (225 V). La tensión de alimentación U_{p1} para la etapa de salida debe ser aquí mayor que con un circuito en clase AB o B, porque la resistencia de colector R1 forma un divisor de tensión con la red de realimentación, debido a lo cual la tensión de colector queda reducida. Es conveniente montar en una sola placa las tres etapas de salida con el circuito integrado RGB y los demás elementos. En la figura 9 se da una propuesta para una sola placa, en la que se ve también la disposición de los componentes.

Cuando se usa un tipo de componente para las resistencias R_2, R_2', R_2'' que no tenga una capacidad parásita suficiente para la compensación en frecuencia de la realimentación, se deben usar los elementos de compensación R_7, C_1, R_7', C_1' y R_7'', C_1' dimensionados de manera que la respuesta en frecuencia de pequeña amplitud de señal no descienda apreciablemente hasta por encima de los 5 MHz.

Una ventaja de la etapa de salida en clase A es la simplicidad del circuito y el empleo de un sólo transistor por etapa.

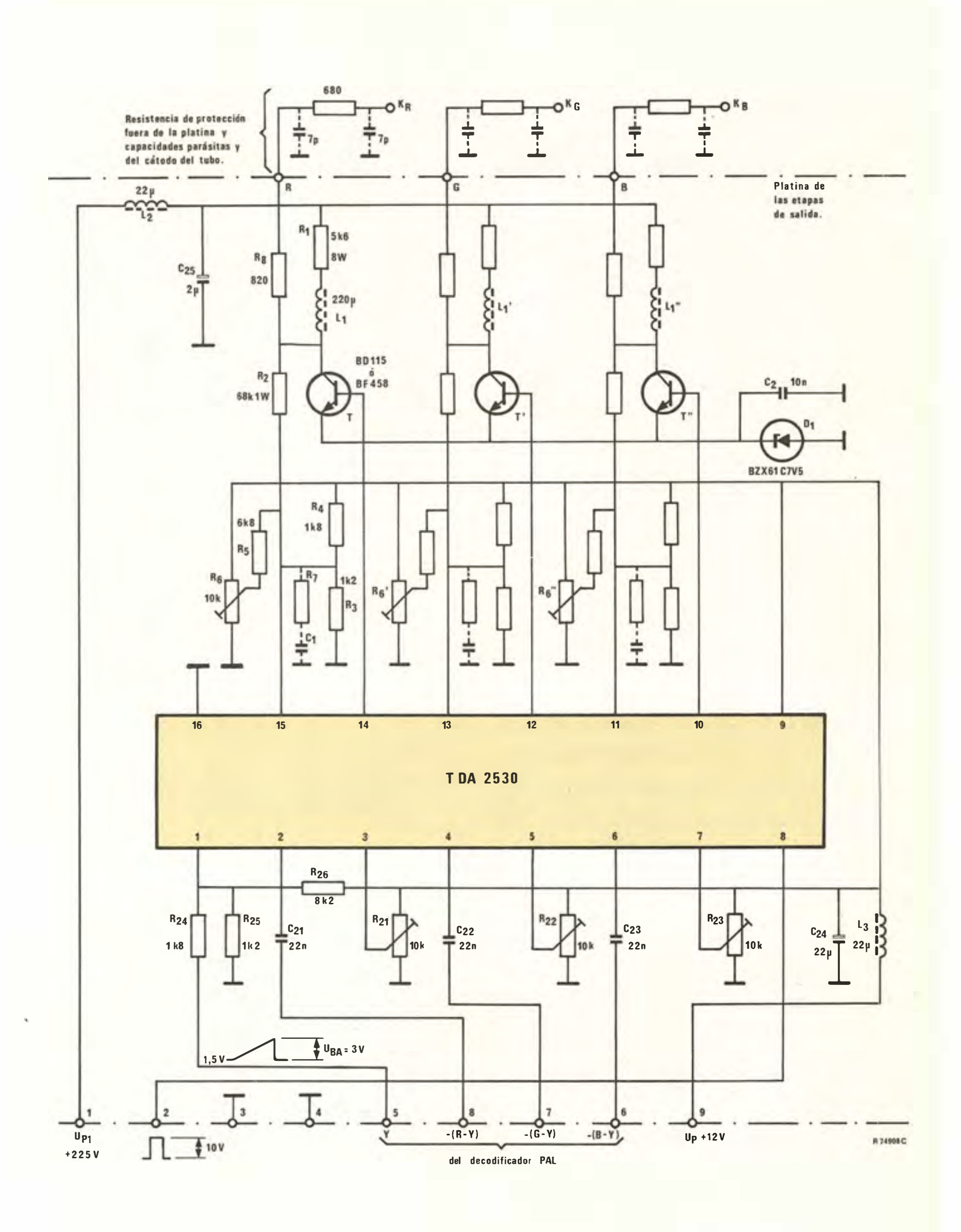


Figura 8. Circuito completo de tres etapas de salida de video RGB, que funcionan en clase A y que están excitadas por el circuito integrado TDA2530.

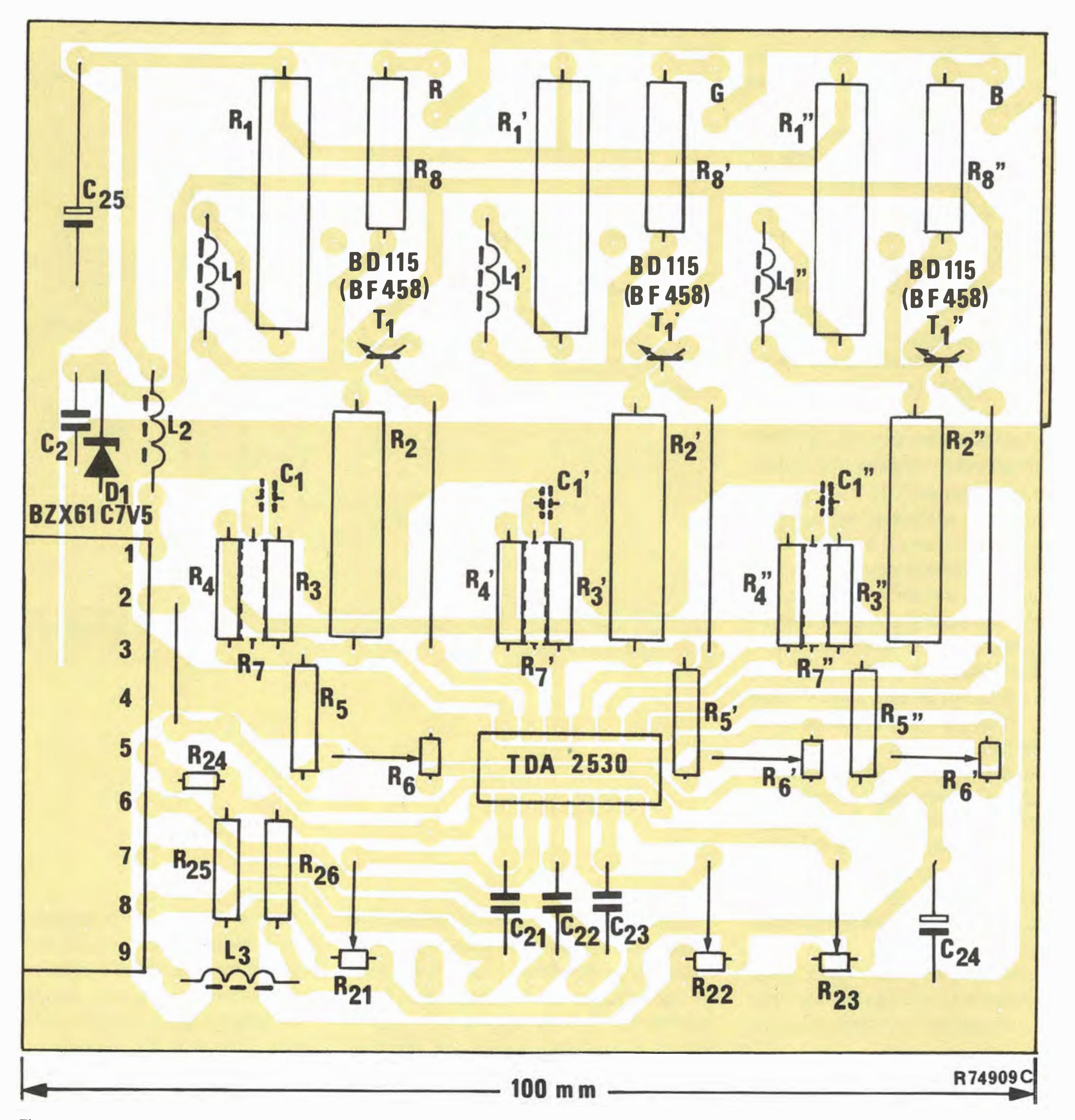


Figura 9. Placa de circuito impreso con la disposición de componentes adecuada para el circuito en clase A dado en la figura 8. Vista por el lado de los componentes.

ETAPA DE SALIDA EN CLASE AB CON DOS TRANSISTORES NPN

En un apartado anterior se describió el principio de una etapa de salida en clase AB con dos transistores NPN, cuyo circuito básico se muestra en la figura 10.

Con este circuito se emplea una fuerte realimentación a través de un amplificador diferencial, que sirve no sólo para corregir la distorsión no lineal y mejorar la respuesta en frecuencia, sino también para eliminar el efecto llamado de zona muerta.

Cuando el transistor T_2 conduce, en su base hay una tensión de codo de diodo ($U_{BE} \approx 0,7$ V) más positiva que en su emisor. Con altas frecuencias, el condensador C_L no se descarga de forma suficientemente rápida sobre la resistencia de emisor de T_2 (es decir sobre la red de realimentación), baja la tensión de colector de T_1 y se corta T_2. Antes de que el diodo D_2 se ponga a conducir y C_L se descargue a través de D_2 y T_1, la tensión de colector del transistor T_1 aún tiene que bajar dos veces la tensión de codo de un diodo. Este margen de tensión de dos veces la tensión de codo de un diodo (2 $U_{BE} \approx 1,4$ V), en la que no tiene lugar excitación en la salida (puesto que el transistor T_2 y el diodo D_2 están bloqueados), se llama zona muerta.

No obstante, cuando se aplica una fuerte realimentación, la tensión de excitación en este margen cambia con la máxima velocidad de subida del amplificador excitador, de manera que la zona muerta se recorre muy rápidamente y la etapa se comporta prácticamente sin ningún efecto molesto en todo el margen de la tensión de salida.

Para la excitación de este tipo de etapas de salida, es también muy adecuado el circuito integrado TDA2530. Algunas de las medidas que es necesario tomar al emplear este circuito integrado, tales como la producción de una tensión de emisor U_H para el transistor T_1 y la disposición de la red de retorno de realimentación con una inyección de corriente para el ajuste del corte, fueron discutidas ya adecuadamente con el circuito de la etapa en clase A.

La resistencia R_9 en el terminal de colector de T_2 sirve para limitar la corriente y proteger a T_2 en caso de un cortocircuito a la salida.

En la figura 11 se da un circuito completo de tres etapas de salida de video RGB en clase AB con transistores NPN, que están excitadas por el circuito integrado TDA2530.

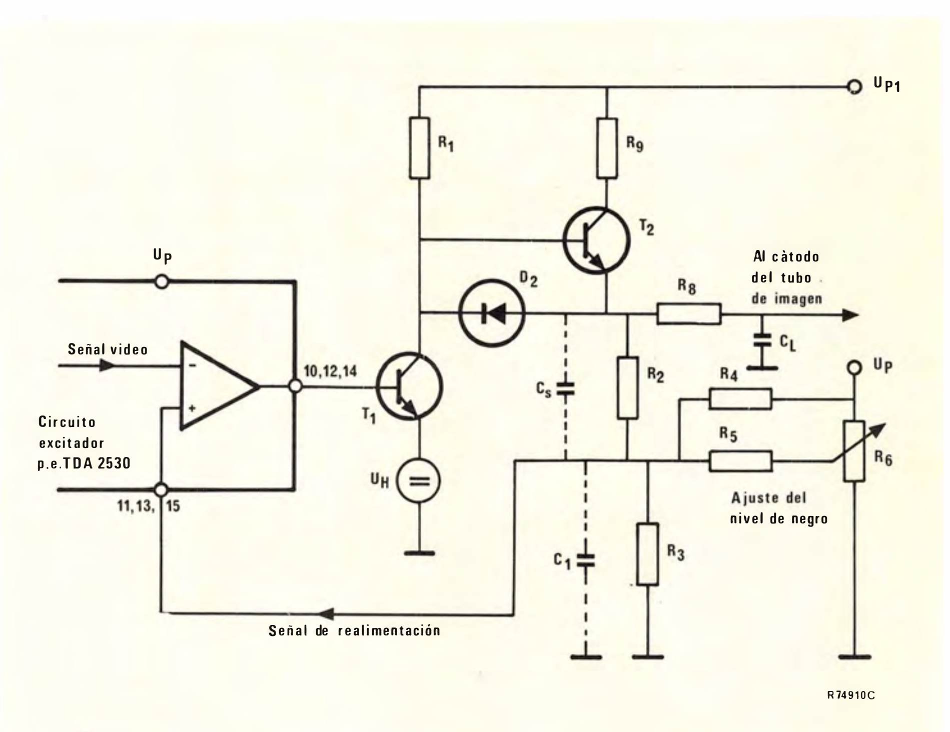


Figura 10. Circuito básico de una etapa de salida de video en clase AB con dos transistores NPN. La etapa está fuertemente realimentada por medio de un amplificador diferencial excitador.

Algunas particularidades del circuito, tales como la polarización dela tensión de emisor mediante un diodo zener, la compensación en frecuencia de los divisores de tensión de realimentación, la división de las resistencias de protección a la salida del amplificador, el conexionado del circuito integrado TDA2530 y el desacoplo por medio de un filtro LC, se trataron ya en el apartado anterior.

Para la etapa de salida se tiene una tensión de alimentación $U_{p1} = 200$ V y con bajas y medias frecuencias se consigue una señal de salida de luminancia U_{BA} de hasta 100 V.

En la figura 12 se muestra una disposición práctica de los componentes en una placa para las etapas de salida de la figura 11.

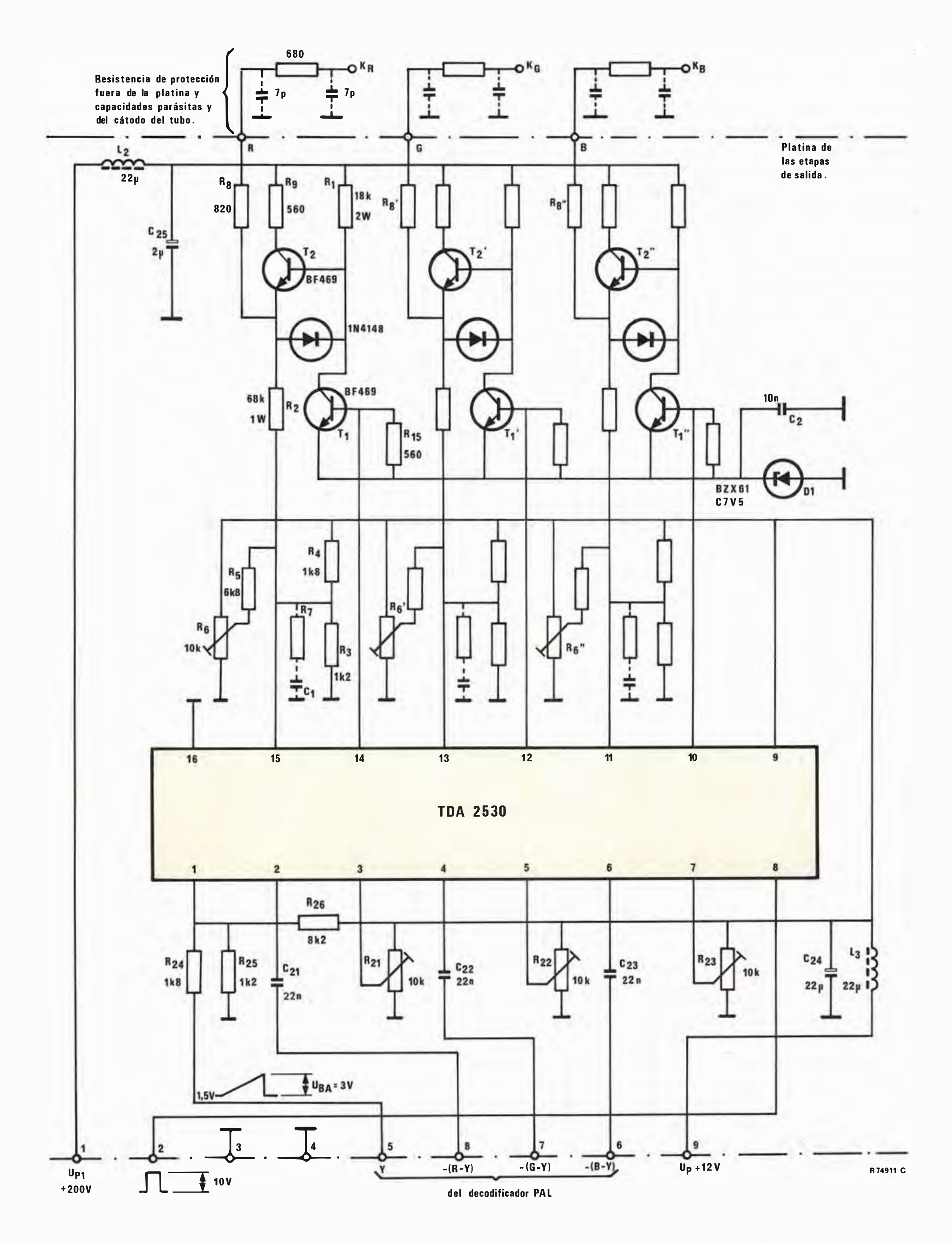


Figura 11. Circuito completo de tres etapas de salid de video RGB en clase AB con transistores NPN, excitadas con el circuito integrado TDA2530.

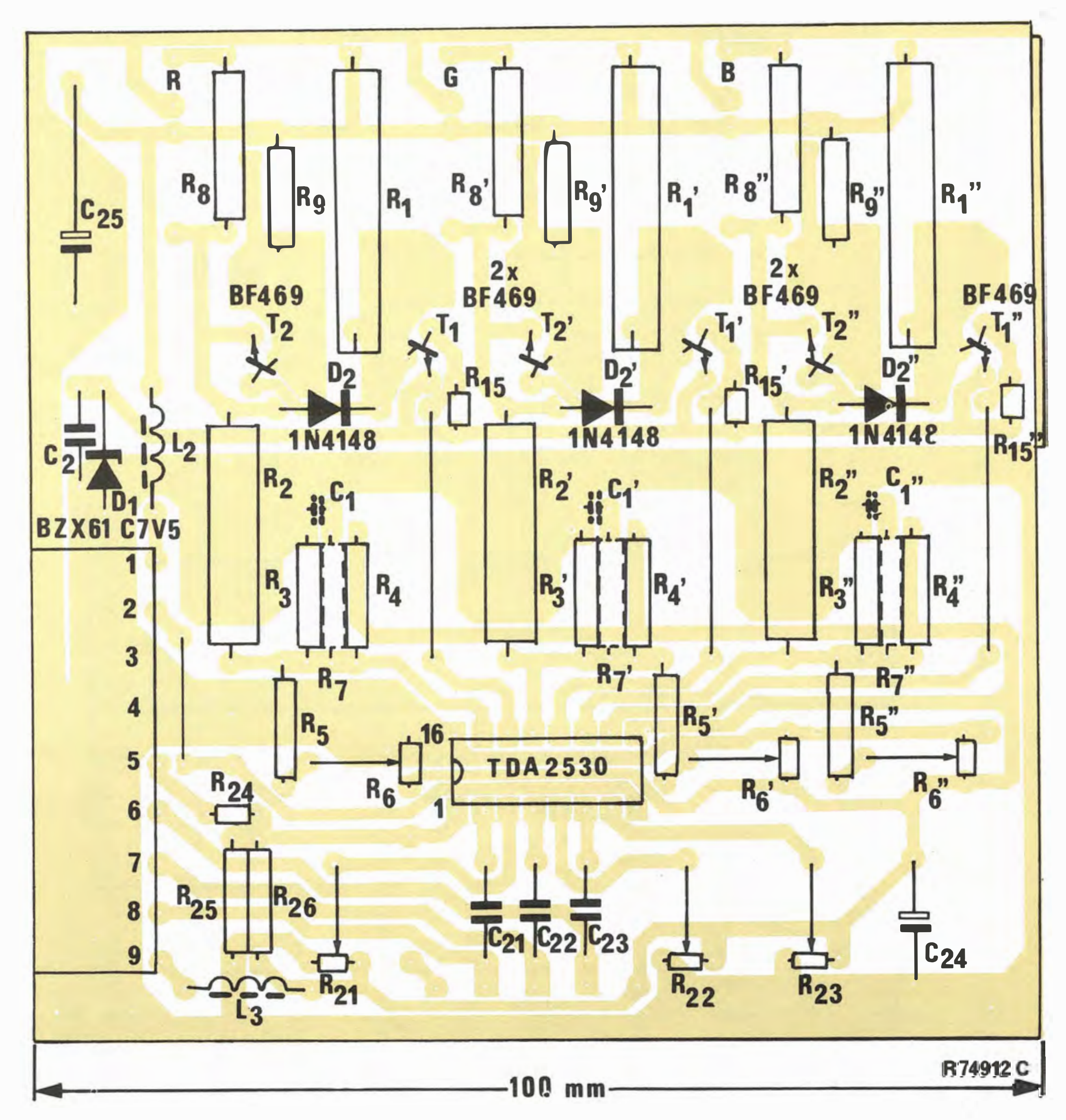


Figura 12. Placa de circuito impreso con la disposición de los componentes adecuada para el circuito de las etapas de salida en clase AB dado en la figura 11. Vista por el lado de los componentes.

ETAPA DE SALIDA EN CLASE AB CON PAREJA DE TRANSISTORES NPN-PNP

A continuación se expone en forma breve, pero completa, una etapa de salida en clase AB con un par de transistores NPN-PNP, de cuyos principios se ha tratado adecuadamente en un apartado anterior.

Por el hecho de excitar la etapa con el circuito integrado TDA2530, se tiene la inevitable tensión de emisor para el transistor T_1 conseguida de nuevo con ayuda de un diodo zener adecuado. La resistencia R_5 del emisor del transistor PNP, T_2, sirve para estabilizar el punto de trabajo de este transistor.

Para que la realimentación producida por R_5 no sea efectiva del todo, se conecta la combinación RC en serie, R_7 C_4, en paralelo con R_5. La corriente de polarización y la combinación de emisor se deja regulada de tal forma que, con variaciones bruscas pero breves de señal, permite que haya una gran amplitud de salida de las altas frecuencias, mientras que con una excitación permanente de éstas, la tensión de salida queda limitada por la carga del condensador C_4 en el emisor y por lo tanto queda limitada a su vez la disipación de potencia.

Con el circuito dado en la figura 13 no se preve ningún ajuste del corte; sin embargo, se pueden realizar fácilmente los correspondientes de las figuras 8 y 11.

El significado de las resistencias de colector R_9 y R_{10} se introducirá en la explicación de la clase B en el próximo apartado.

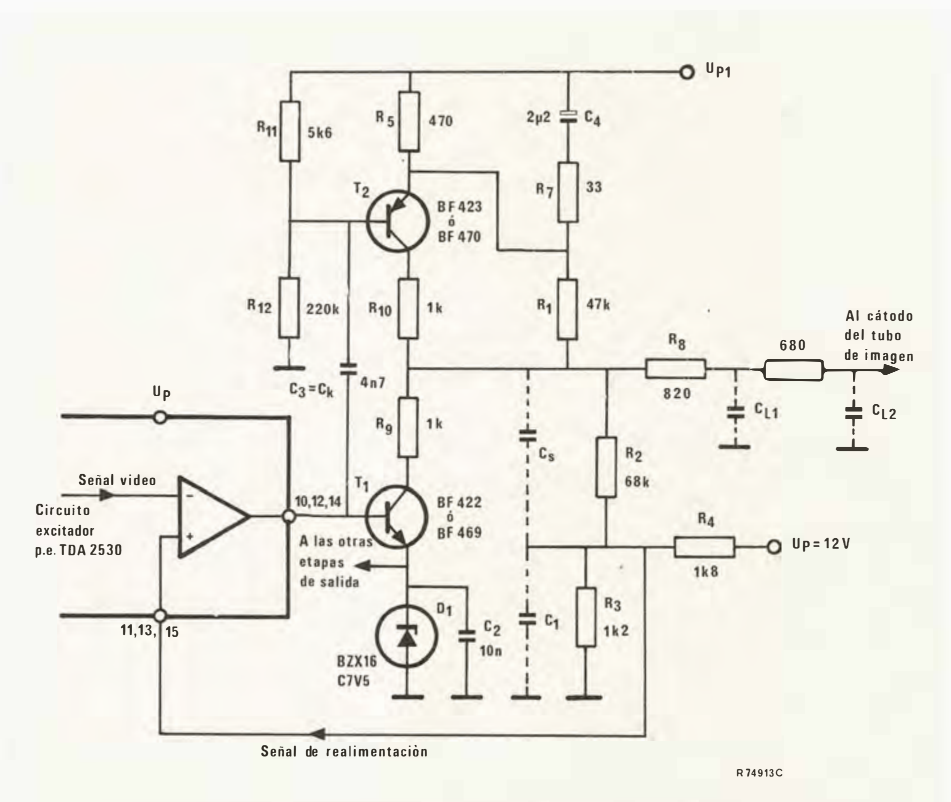


Figura 13. Circuito básico de una etapa de salida de video en clase AB con un par de transistores NPN-PNP. La etapa está fuertemente realimentada por medio de un amplificador diferencial excitador.

ETAPA DE SALIDA EN CLASE B CON UN PAR DE TRANSISTORES NPN-PNP

En la figura 14 se muetra el circuito básico de una etapa de salida de video en clase B, realizada con dos transistores complementarios y cuyo funcionamiento básico se ha tratado en un apartado anterior. En este caso, la fuerte realimentación mediante un amplificador diferencial excitador no sirve sólo para corregir el comportamiento no lineal, mejorar la respuesta en frecuencia y eliminar la desventaja de la zona muerta, sino que también ofrece una sencilla posibilidad: hacer estable el punto de trabajo mediante un impulso.

Con este circuito, el problema consiste en que la carga del condensador de acoplamiento C_K por medio de la corriente de base de T_2 necesita una descarga periódica para compensarla y mantener la tensión de C_K en el valor adecuado. Mientras actúa una fuerte realimentación, si el amplificador no se encuentra también sobreexcitado, la tensión de salida U_A es proporcional a la tensión de entrada de video U_E, entonces se cumple:

$$U_A = \frac{U_E}{K_r}$$

donde K_r es el factor de realimentación. Durante el período de borrado, con un nivel de negro relativamente alto $U_{AS} > U_{P1}/2$ (que se cumple cuando $R_1 \approx R_2 + R_3//R_4$), el transistor T_2 conduce de forma normal. Inyectamos entonces a través de la resistencia R_1 una corriente adicional bastante grande Δi_{R1}. De esta manera, la corriente a través de T_2 debe bajar hasta cero y la corriente restante pasa a través de T_1, ya que por efecto de la realimentación, la tensión de salida U_{AS} y por lo tanto la corriente a través de R_2 permanece constante. Los cambios de estado en los transistores se pueden presentar únicamente de forma que la base de T_1 y la base de T_2 se hagan más positivas debido al desacoplo capacitivo a través de C_K. Con una correcta elección de la corriente adicional

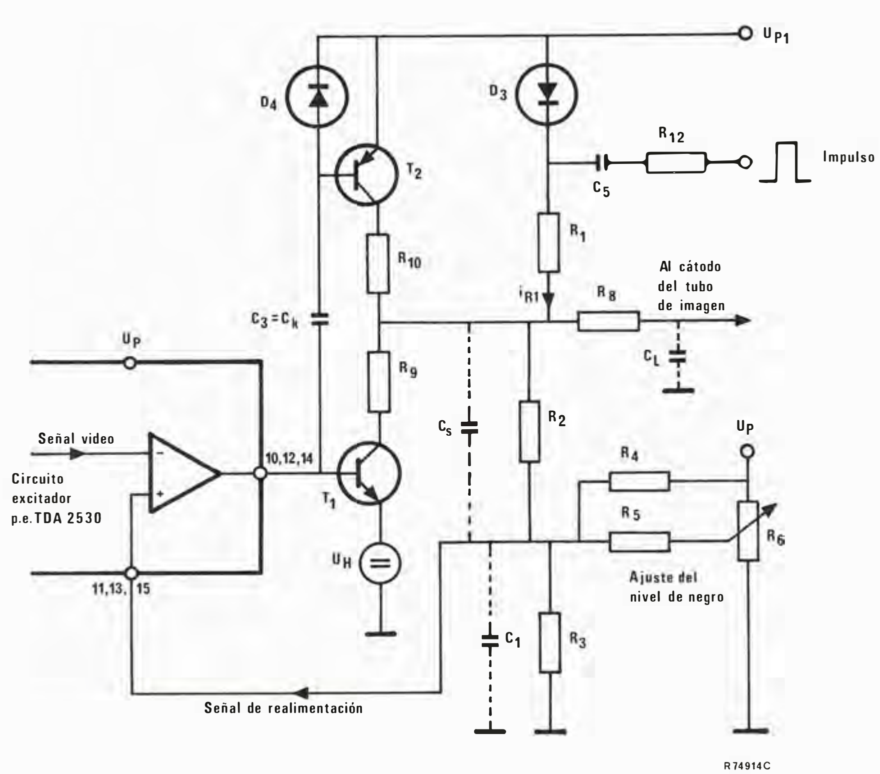


Figura 14. Circuito básico de una etapa de salida de video de la clase B con un par de transistores NPN-PNP. La etapa está realimentada fuertemente por medio de un amplificador diferencial excitador.

Δi_{R1}, la tensión en la base de T_2 subirá tanto que el condensdor de acoplo se descargará a través de D_4 hasta la mitad de la tensión de su punto de trabajo.

El impulso durante el período de borrado para la corriente adicional Δi_{R1} necesaria, se obtiene por medio de un impulso de tensión adecuadamente grande (impulso de retroceso de línea $>U_{P1}$), que se lleva a través del condensdor C_5 y la resistencia R_{12} al extremo superior de la resistencia R_1. El diodo D_3 sirve, por una parte para que el impulso de tensión no quede cortocircuitado por medio de la tensión de alimentación, y por otra parte para fijar la tensión en el extremo superior de R_1, fuera del período de borrado, a un valor prácticamente igual a la tensión de alimentación U_{P1}.

Para la tensión de emisor U_H del transistor T_1 y la disposición de los valores de la red de alimentación con la posibilidad del ajuste del punto de corte, sirven las exposiciones ya realizadas con los circuitos anteriores.

Las resistencias R_9 y R_{10} colocadas en los terminales de colector de los transistores T_1 y T_2 sirven para diferentes propósitos. Con gran corriente de señal de salida y debido a la carga capacitiva en altas frecuencias, en las resistencias R_9 y R_{10} cae una tensión apreciable, de manera que con las condiciones exteriores constantes (tensión de salida, corriente de carga, y tensión de alimentación) reduce la tensión colector-emisor y también la disipación de potencia del transistor. A ese efecto colabora algo también la disminución del desplazamiento de fase φ entre la corriente de colector y la tensión colector-emisor, ya que sin resistencias R_9 y R_{10} es prácticamente 90° debido a la carga capacitiva en altas frecuencias.

Por otra parte, el desplazamiento de fase permanece tan grande que durante los mínimos de tensión coletor-emisor, la corriente de colector aún es pequeña y por eso, durante la excitación, las resistencias reducen poco la tensión de colector mínima.

Incluso cuando la tensión de alimentación se hace más grande y se tiene la misma tensión máxima de salida que sin sobreexcitación, la disipación de potencia del transistor es considerablemente menor con las resistencias R_9 y R_{10} que sin ellas. Ambas resistencias R_9 y R_{10} tienen además la función de limitar la corriente de coletor y gracias a esto protege los transistores de la etapa contra cortocircuitos a la salida. Finalmente, con la incorporación de estas resistencias se consigue reducir la radiación de señales fuera de la banda de video que particularmente se produce en los terminales de la etapa de salida de video.

En la figura 15 se muestra un circuito completo dimensionado de tres etapas iguales de salida de video RGB en clae B excitadas con el circuito integrado TDA2530. La provisión de la tensión de emisor para los tres transistores NPN se realiza aquí también con ayuda de un diodo zener adecuado (D_1). Las resistencias de protección a la salida del amplificador, las disposiciones LC de desacoplo y los otros conexionados del TDA2530 se utilizan también aquí como en las versiones anteriormente descritas. Para el funcionamiento del circuito y para el desacoplo del impulso de tensión de la tensión de alimentación U_{p1}, es suficiente un condensador de acoplamiento (C_5), una resistencia en serie (R_{12}) y un diodo (D_3) para las tres etapas de salida.

Con ayuda de la resistencia R_{11}, del diodo de paso D_5 y la capacidadC_4, se fijan los cátodos de los diodos D_4, D_4' y D_4'' al valor de la tensión de alimentación U_{p1} menos la caída de tensión de codo del diodo D_5. Gracias a esta medida, la zona mueta disminuye de $2 \times U_{BE}$ hasta U_{BE}.

En la figura 16 se da una placa de circuito impreso con la disposición de componentes para el circuito de salida de la figura 15.

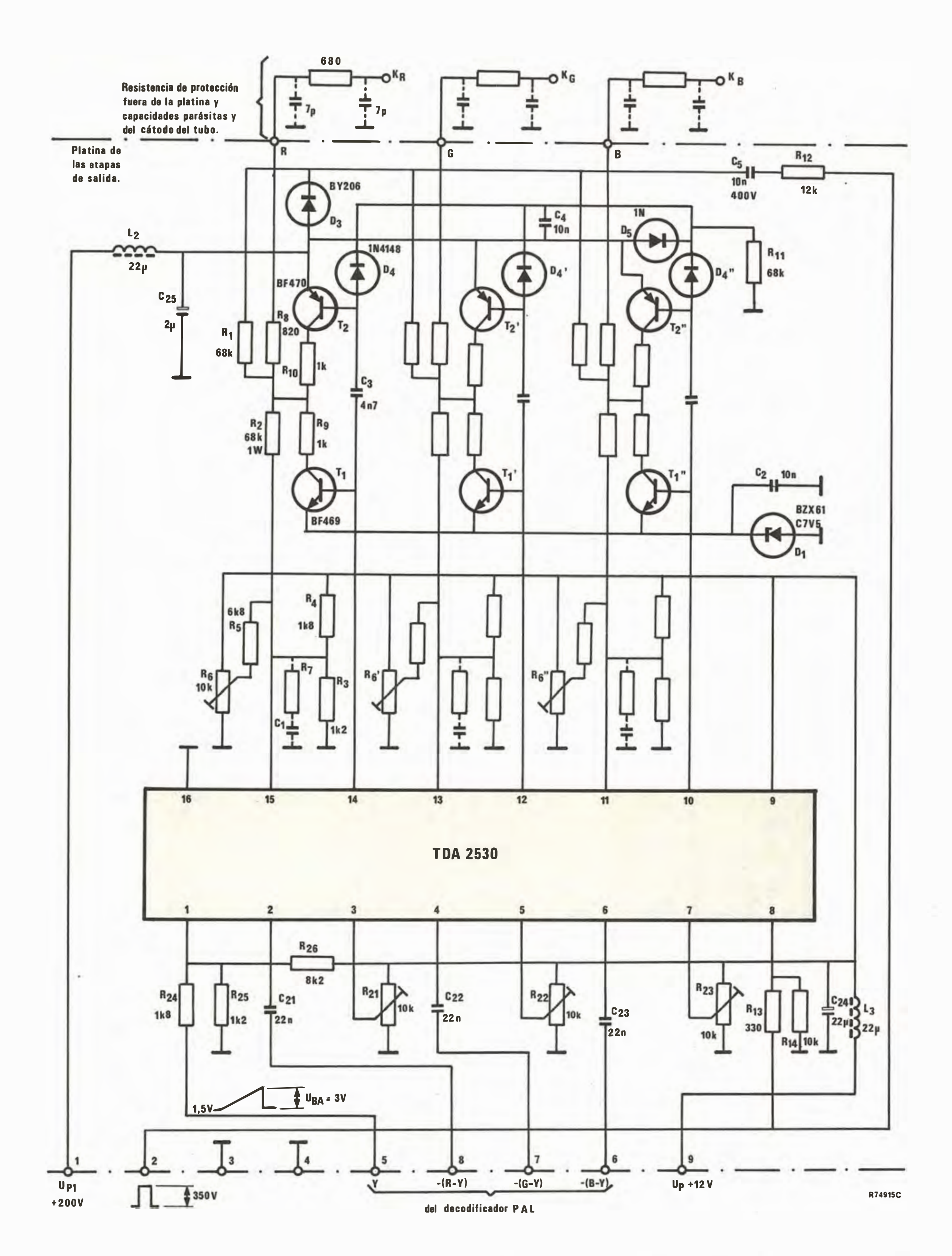


Figura 15. Circuito completo de tres etapas de salida de video en claeB realizadas con pares de transistores NPN-PNP, que están excitadas por el circuito integrad TDA2530.

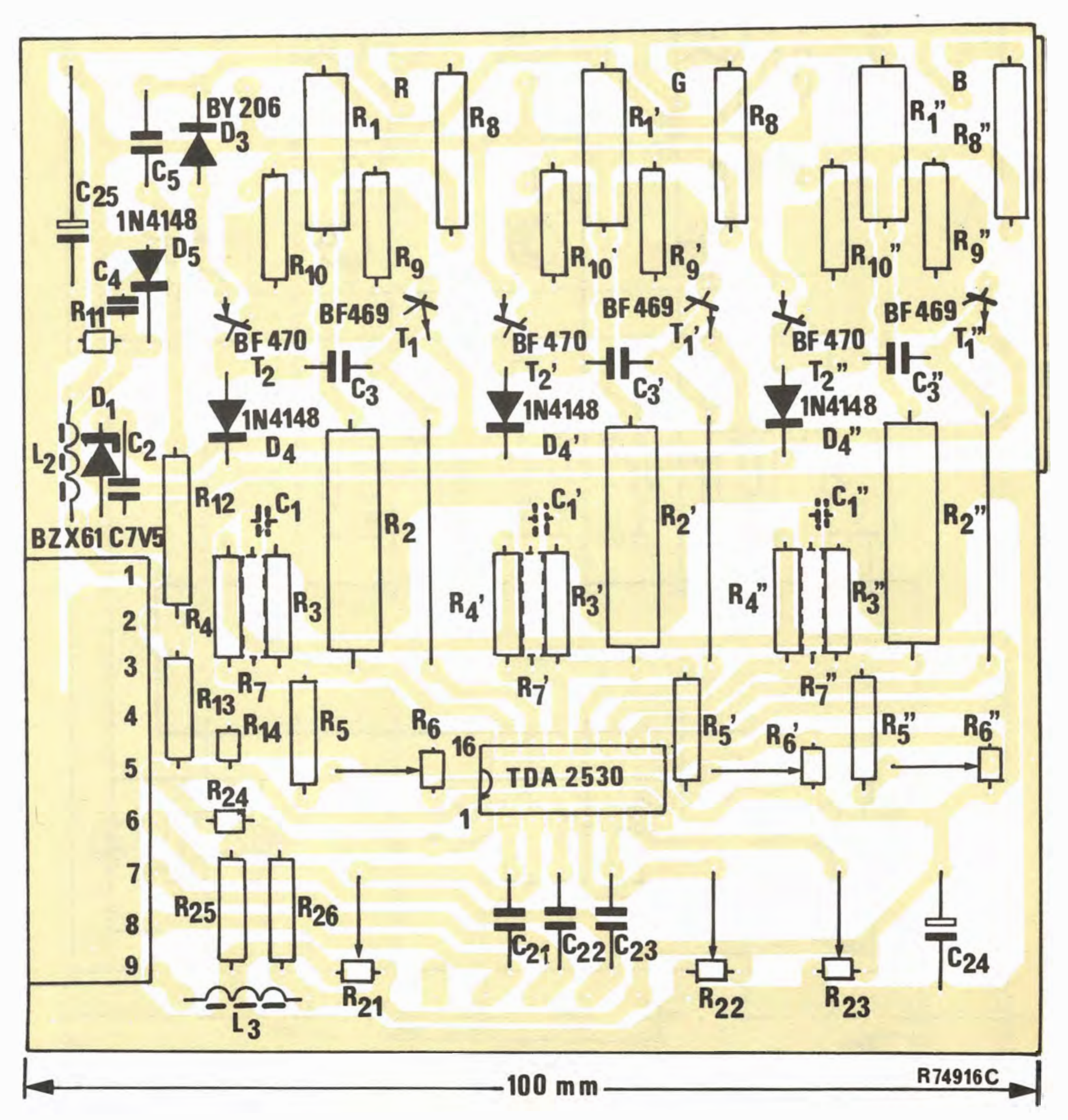
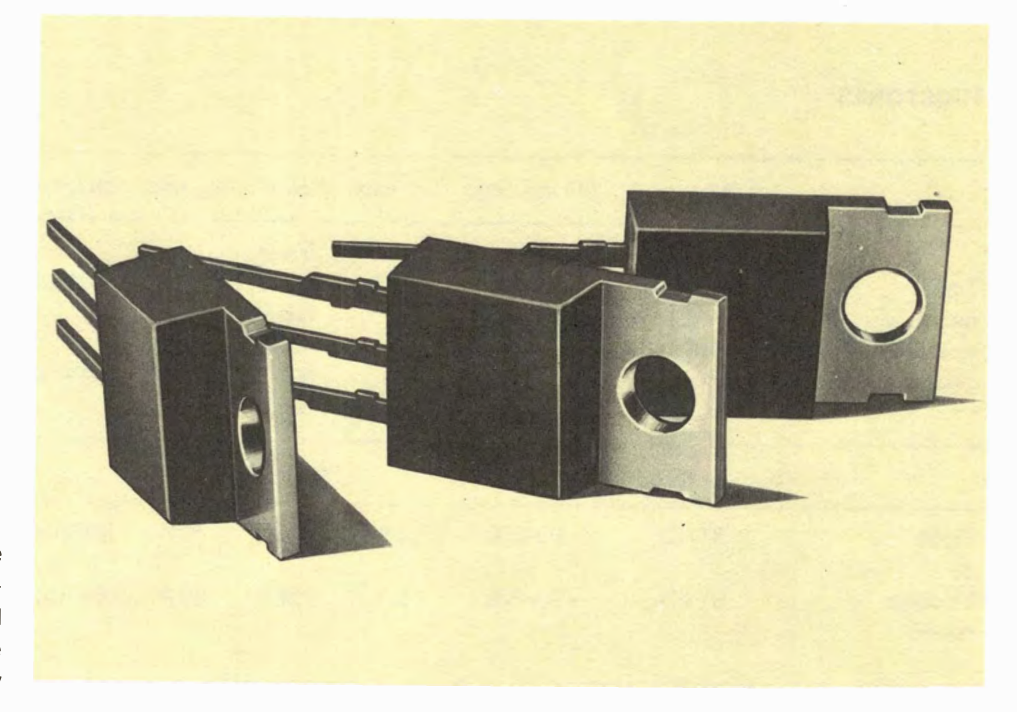


Figura 16. Placa de circuito impreso con la disposición de componentes, adecuada para el circuito de las etapas de salida en clase B que se da en la figura 15. Vista por el lado de los componentes.

Tiristores y triacs de gran fiabilidad en cápsula de plástico TO220



Los métodos de fabricación por medio de soldadura eutéctica y difusión permiten superar todos los límites de fiabilidad y calidad que normalmente tenían otros métodos de soldadura en la fabricación de tiristores y triacs.

La soldadura eutéctica también mejora las condiciones térmicas, ya que ofrece una resistencia térmica menor que con los métodos convencionales, 0,75 °C/W (las soldaduras convencionales tienen de 1,8 a 2,0 °C/W).

Los tiristores de esta gama se emplean especialmente cuando las condiciones de trabajo son muy duras debido a contínuas conmutaciones y cambios térmicos, como por ejemplo en equipos de control de temperatura, control de motores, etc.

Los triacs se utilizan en aplicaciones que requieran un gran margen de tensiones de conducción y de bloqueo en ambos sentidos con grandes cambios térmicos: controles de potencia para calefacciones, control de motores, sistemas de conmutación e iluminación, etc.

En los cuadros adjuntos se indican las principales características de los tiristores y triacs en cápsula TO220.

Símbolos utilizados

$I_{T(AV)}$ máx	corriente media en conducción
V_{RRM} máx	tensión inversa de pico repetitiva
I_{TSM} máx	corriente de pico no repetitiva en conducción
$dI_{T/di}$ máx	velocidad de aumento de la corriente de conducción
t_q máx	tiempo de paso a bloqueo
$dV_{D/dt}$ máx	velocidad de aumento de la tensión en estado de bloqueo
V_{GT} min	tensión de disparo de puerta
I_{GT} min	corriente de pico repetitiva en estado de bloqueo
V_{DRM} máx	tensión de pico repetitiva en estado de bloqueo
$I_{T(RMS)}$ máx	corriente eficaz en conducción

TIRISTORES

	Nº tipo	Encapsulado	$I_{(AV)}$ máx	V_{RRM} máx	I_{TSM} máx	$dI_{T/di}$ máx	t_1 máx	$dV_{D/dt}$ máx	V_{GT} mín	I_{GT} mín
Tipos de aplicación general	BT151-500R			500 V						
	-650R	TO-220	7,5 A	650 V	100 A	50A/µs	—	200 V/µs	1,5 V	15 mA
	-800R			800 V						
	BT152-400R			400 V						
	-600R			600 V	200 A	200A/µs	—	200 V/µs	1,5 V	32 mA
	-800R			800 V						
				V_{DRM} máx						
Tipos de bloqueo rápido	BT153	TO-220	4 A	500 V	40 A	200 A/µs	20 µs	200 V/µs	2,5 V	40 mA
	BT154	TO-220	5 A	750 V	60 A	60 A/µs	2,4 µs	200 V/µs	2,5 V	40 mA

TRIACS

Nº Tipo	Encapsulado	$I_{T(RMS)}$ m	V_{DRM} máx	I_{TSM} máx	$dI_{T/dt}$ máx	$dV_{D/dt}$ máx		V_{GT} min	I_{CT} min
						Normal	Conmutación		
BT136-500*	TO-220	3 A	500 V	25 A	20A/µs	50 V/µs	6 V/µs(3A/ms)	1,5 V	35 mA
-600*			600 V						
BT137-500*	TO-220	6 A	500 V	55 A	20A/µs	50 V/µs	6 V/µs(5A/ms)	1,5 V	35 mA
-600*			600 V						
BT138-500	TO-220	10 A	500 V	90 A	30A/µs	50 V/µs	6 V/µs(5A/ms)	1,5 V	35 mA
-600			600 V						
-800			800 V						
BT139-500	TO-220	15 A	500 V	115 A	30A/µs	50 V/µs	6 V/µs(8A/ms)	1,5 V	35 mA
-600			600 V						
-800			800 V						

* También está disponible la versión con sufijo X (por ejemplo, BT136-500X) con I_{GTmin}=25 mA

Diodos rectificadores en cápsula de cristal

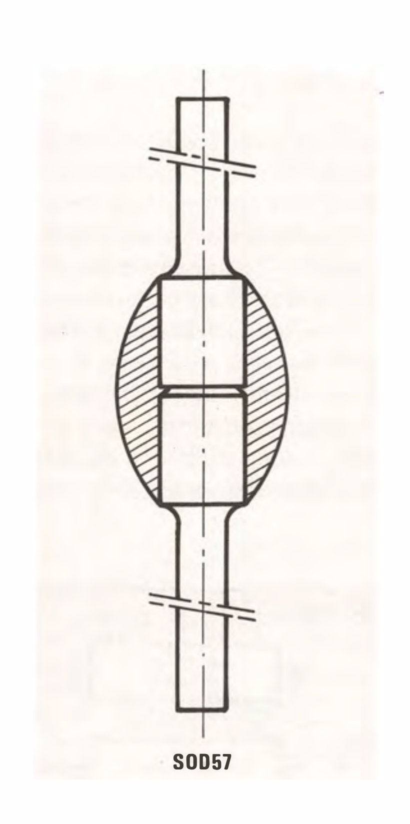
La construcción de estos diodos se realiza de la siguiente forma:

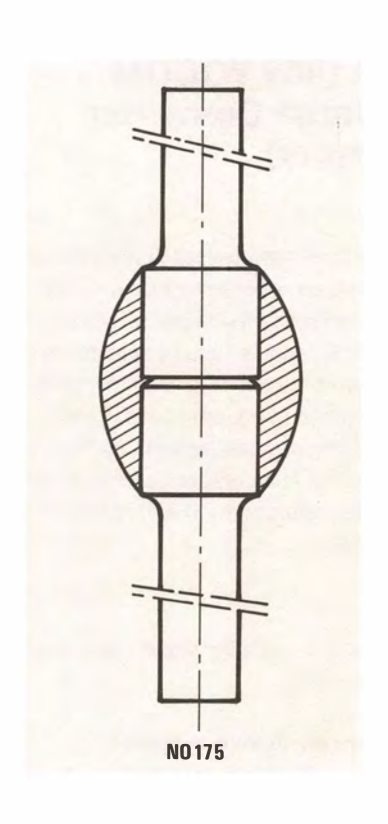
1. El terminal de hierro recubierto de cobre se fija a la pieza de molibdeno.
2. El cristal se coloca entre las dos piezas de molibdeno.
3. Se aplica polvo de cristal de forma que recubra todo el conjunto molibdeno-cristal. El cristal entonces se calienta hasta formar una perla de cristal de color blanco opaco.

El resultado de cristalizar un material es muy superior al de utilizar goma o compuestos de laca como los que se utilizan en los diodos de plástico.

Los tres factores anteriormente indicados ofrecen una gran ventaja para los diodos en cápsula de cristal... FIABILIDAD.

Los tipos de rectificadores de cristal disponibles que sutituyen a los actuales de nuestro programa son:





Nuevos tipos	Familia	Tipos a sustituir
BYW54	BYX36 BY126M BY226	BY126M BY226
BYW55		
BYW56	BY127M BY227 BYX94	
BYV95 A		
BYV95 B	BY206 (algunos zócalos)	BY210-400 BYX55-350 (algunos zócalos)
BYV95 C	BY207	BY210-600 BYX55-600 (algunos zócalos)
BYV96 D		BY210-800
BYV96 E		
BYW95 A		
BYW95 B	BYX55-350 (algunos zócalos)	
BYW95C	BYX55-600 (algunos zócalos)	
BYW96 D		
BYW96 E		

SAA1089 VOCOM (Voltage Converter memory)

Este integrado realiza la preselección de emisoras en un sintonizador de radio. Básicamente está formado por un sistema sintetizador de tensión, una unidad de memoria, un convertidor digital-analógico y un comparador (véase el equema de bloques).

Nótese que este sistema es muy interesante pues evita utilizar botoneras convencionales obteniendo mayor fiabilidad y menor coste.

Principales características de funcionamiento:

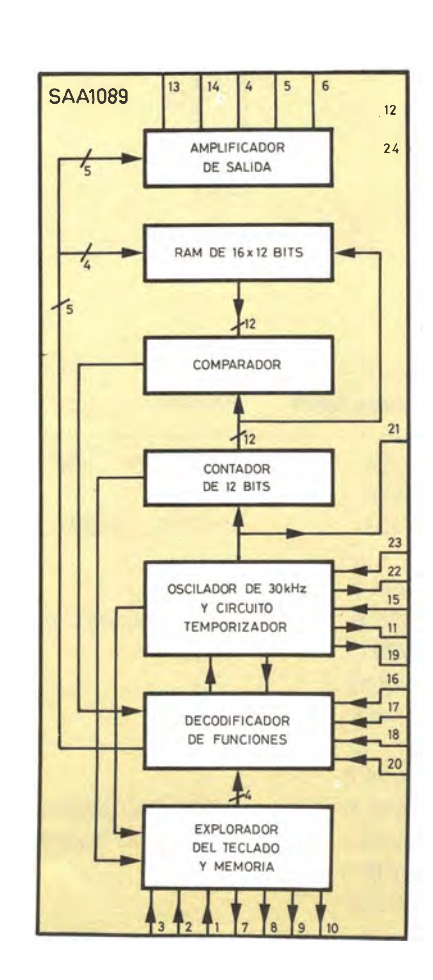
—Opera en régimen estático.
—Gran estabilidad en el tiempo de las frecuencias preseleccionadas.
—Memorización de 16 estaciones sin interrumpir el programa emitido.
—Tres maneras distintas de operar:
  a) en una banda con 16 emisoras posibles a memorizar
  b) en dos bandas seleccinadas por el mismo integrado, pudiendo memorizar 8 estaciones en cada una.
  c) en dos bandas seleccionadas mecánicamente con igual capacidad que el modo anterior.
—Indicación por LED (Light Emitting Diode) de la banda que se está utilizando.
—Silenciador en el momento de memorización y selección de banda.
—Sintonía manual por sistema convencional con control automático de frecuencia (c.a.f.) incorporado.
—Corriente de mantenimiento menor que 5 μA.

Disponibilidad

Actualmente se dispone en COPRESA de información técnica y muestras para los primeros ensayos y preseries, así como placas de circuito impreso con el sistema montado y puesto a punto para que puedan ser inmediatamente acopladas a cualquier receptor.

En el mes de Julio de este mismo año se dispondrá de plena producción, lo que permitirá suministrar grandes cantidades.

Para información técnica sobre el funcionamiento de todo el sistema, véase la información publicada en este mismo número.



Necrológica

Por ver primera desde su aparición, las páginas de nuestra Revista visten de luto por la muerte de un gran amigo, pleno de humanidad y afecto, que fue pionero de la Electrónica en nuestro Pais.

Don José Bertrán Marqués, ha muerto y tras de sí ha dejado un profundo vacío, que nunca podrá llenarse; entre otras razones porque tras él ha sido cerrada una puerta del tiempo y porque tras él se cerró también toda una época.

Que estas cortas líneas sean de humilde homenaje al hombre, que con frágil figura y fuerte coluntad, estuvo virtualmente presente en toda la vida profesional de esta Nación, durante muchos años.

Descanse en paz nuestro entrañable amigo.

Charla

El *día 20 de Junio* tuvo lugar en la Asociación de Ingenieros civiles, c/. Gral. Goded 38. Madrid, una charla sobre Microordenadores (IMS-SAI 50) a cargo de D. Casimiro Pastor Millán. Esta charla forma parte del ciclo que se ha desarrollado en diversas capitales españolas, (San Sebastián, Bilbaò, Gijón, Valencia, etc.), con gran asistencia de público, lo cual demuestra el vivo interés que el tema despierta entre los profesionales. Estas charlas se darán en Barcelona, durante el Certamen de Sonimag y dentro de un ciclo de charlas que actualmente se está programando y que no dudamos atraerá a un público adicto y entregado a estas manifestaciones técnicas.

PREMIOS COPRESA 1980

Debiéramos recordar a nuestros lectores, que el plazo de presentación de originales finalizará:
El día 10 de Setiembre 1980 — Premios Microprocesadores
El día 20 de Agosto 1980 — Sistema de aplicación en T.V.

La cuantía de los Premios es de:

MICROPROCESADORES - 1º GRUPO

1º Premio 100.000 Ptas.
2º Premio 30.000 Ptas.

MICROPROCESADORES - 2º GRUPO

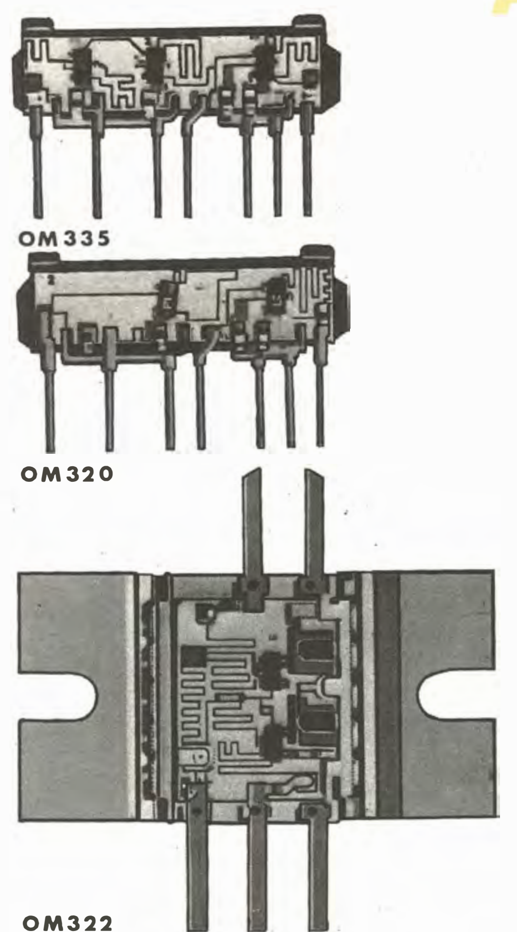
1º Premio 30.000 Ptas. y un Instructor 50
2º Premio un Instructor 50

SISTEMAS DE APLICACION EN T.V.

1º Premio 100.000 Ptas.
2º Premio 30.000 Ptas.

La presentación pública de los premios se efectuará durante SONIMAG'80

AMPLIFICADORES DE ANTENA HIBRIDOS 40 a 860 MHz



Estos amplificadores de antena de banda ancha para el margen de frecuencias de 40 a 860 MHz con tecnología híbrida de película delgada ofrecen, además de una construcción compacta y un montaje racional, una elevada fiabilidad. Se caracterizan por:

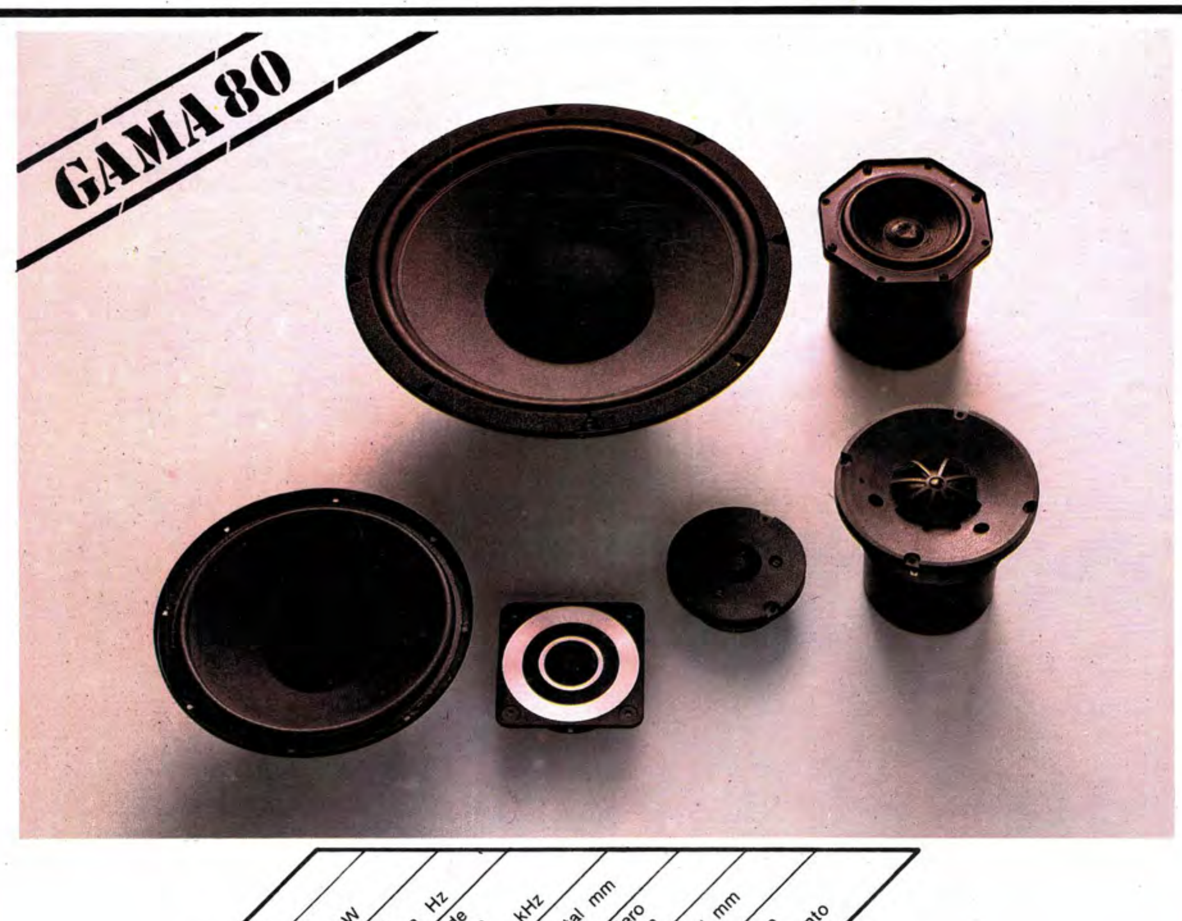
- gran linealidad y estabilidad
- bajo ruido y elevada amplificación
- tensión de alimentación de 24 V ± 10%
- temperatura de trabajo −20 a +70° C
- impedancia de entrada y salida de 75 Ω
- reducidas dimensiones (30 × 12 × 4 mm)

	OM320	OM321	OM322	OM335	
Etapas	2	2	2	3	
Ganancia	15,5 (>13, <18)	15,5 (>13, <18)	15 (>14, <16)	27 (>23, <31)	dB
Variación de la respuesta de frecuencia	1	1	0,3	1,6	dB
Factor de ruido	5,5	6	7	5,5	dB
Tensión de salida para intermodulación 60 dB	94 (>92)	100 (>98)	103	101 (>98)	dB μV
Consumo de corriente	23	33	60	35	mA

Aplicaciones:

- Sistemas de distribución de televisión y radioenlaces
- Transmisores y reemisores de televisión
- Radiocomunicación (radiodifusión, televisión, radar, microondas)
- Instrumentación (generadores de señal, analizadores de espectro, comprobadores TV)

ALTAVOCES HI-FI
para equipos de auténticos profesionales



	situación	sistema potencia W	frecuencia resonancia Hz	recorrido de frecuencia estimado kHz	dimen. total mm	diam. agujero baffle mm	prof. total mm	material de recubrimiento	masa movible	zona cónica efectiva	n.º catálogo
AGUDOS											
AD 0140/T4; T8; T15	D	20/40	1200	2 to 22	94 ∅	75	25	polycarb.			
AD 0162/T4; T8; T15	D	20/50	1000	2 to 22	94 ∅	75	32	polycarb.			
AD 01632/T4; T8; T15	N	50/70	1300	2 to 22	96 □	85	33	paper			
AD 01633/T4; T8; T15	N	50/70	1300	2 to 22	96 □	85	33	paper			
MEDIOS											
AD 0211/Sq4; Sq8	D	40	350	0,5 to 5	134	112	108	textile			
AD 5060/Sq4; Sq8	D	60	210	0,4 to 5	129	96	107	textile			
GRAVES											
AD 5060/W4; W8	D	10	60	0,05 to 5	129	108	56	rubber			
AD 70650/W4; W8	N	40	45	0,07 to 5	166	142	72	rubber			
AD 80602/W4; W8	N	50	42	0,05 to 4	204	180	86	foam			
AD 80652/W4; W8	N	60	39	0,05 to 4	204	180	88	foam			
AD 80672/W4; W8	N	70	35	0,04 to 3	204	180	88	foam			
AD 10100/W4; W8	D	40	25	0,03 to 1	261	227	131	rubber			
AD 12250/W4; W8	N	100	26	0,04 to 2	311	280	121	rubber			
PASIVOS											
AD 8002	N				204	180		foam	33,9	$2{,}5 \times 10^{-2}$	2422 259 80002
AD 1200	N				311	279		rubber	51,6	5×10^{-2}	2422 259 12001

D = Tipos disponibles actualmente

N = Tipos de nuevo diseño

COPRESA S.A. COMPAÑIA DE PRODUCTOS ELECTRONICOS

barcelona – 7 balmes, 22 telf. 301 63 12 telex nº 54666 copre e / **madrid** – 4 sagasta, 18 telf. 446 40 00

COPRESA



Miniwatt

16K Bipolar PROM
signetics

Ro

VOLUMEN 19-Número 7

Julio 1980

125 Ptas.



COPRESA





VOLUMEN 19 - Número 7

Julio 1980



INDICE

Portada:
La memoria PROM bipolar de 16K de Signetics, tiene la mitad de potencia por bit y doble capacidad que la de 8K.
Aunque tiene doble densidad, es casi el doble de rápida, con un tiempo de acceso de direccionamiento de sólo 80ns. El drenaje de corriente se mantiene a 175 mA.
Existen dos opciones: la 82S190 con salidas de colector abierto y la 82S191 con salidas de tres estados. Ambas versiones son programables por el usuario, de modo que se pueden realizar programas utilizando los procedimientos de fusión descritos por el fabricante.



Revista Miniwatt

Publicada por:

COMPAÑIA DE PRODUCTOS ELECTRONICOS «COPRESA», S.A.
Balmes, 22 — Teléfono 301 63 12 — Barcelona-7
Suscripción anual (11 números) .... Ptas. 1.100
Precio Ejemplar .... Ptas. 125
Cambio domicilio .... Ptas. 25

Director

D. José Mª Llevat Grau
Doctor Ingeniero de Telecomunicación

Editor

Cia. de Productos Electrónicos COPRESA, S.A.

Redacción

Dª Mª Dolores Forns-Samsó
Licenciada en Físicas

Consejo Asesor de redacción (Técnico Profesional)

D. Antonio Griñó Berjón
Ingeniero Técnico de Telecomunicación
D. Casimiro Pastor Millán
Ingeniero Técnico Eléctrico
D. Ernesto Tasis Bosch
Ingeniero Industrial

Suscripciones

Dª Mª Angeles García Ferrer

Coordinación, Maqueta y Producción

GENERAL GRAFIC S.A.
Caspe 172
Barcelona-13
Depósito Legal: B-18387-61

EDITORIAL

La necesidad en equipos de control de disponer de grandes velocidades de funcionamiento emparejado con un tratamiento de los datos a nivel de bit hacen que aparezcan en el mercado microprocesadores especiales cuya arquitectura se ha adaptado a estas exigencias.

Este es el caso del 8X300 que se describe en este número, que aunque no creemos sea un microprocesador de uso masivo, si resuelve una serie de casos en donde es esencial el tratamiento de gran número de señales y a gran velocidad. Presenta también una arquitectura interesante para cualquier estudioso de microprocesadores.

En la línea de circuitos integrados LSI adaptables mediante programación a controladores específicos, los llamados FPLA y FPLS (Field Programable Logic Array y Field Programable Logic Secuencer), creemos jugaran un papel importante en aquellas aplicaciones en lógica alambrada combinacionales o secuenciales, en donde por su baja complejidad, su resolución empleando microprocesadores no respondería más que a la necesidad de una moda. Al mismo tiempo, en grandes sistemas estos elementos pueden apuntar soluciones válidas a algunas de sus partes.

Se inicia en este número una serie de artículos de tipo divulgación abarcando diversas especialidades o temas básicos. Nuestra pretensión es dar a conocer diversas técnicas o tecnologías en forma y lenguaje comunes, siendo asequibles a cualquier técnico no especializado en el tema.

juegos de t.v.


COPRESA ofrece su microprocesador Signetics 2650 junto con periféricos específicos que permiten obtener soluciones flexibles, economicas y compactas en todas las diversas aplicaciones de Videojuegos.
Además COPRESA suministra el soporte para el diseno del software así como el resto de componentes necesarios (memorias, circuitos lógicos, tubos color y B/N, componentes de deflexión, etc.) Para la realización del sistema completo, COPRESA dispone de memorias programadas para juegos standard.
PERIFERICOS ESPECIFICOS
2636 PVI — 2637 UVI
2621 USG sistema europeo
2622 USG sistema americano

EL 8X300: UN MICROPROCESADOR DE ALTA VELOCIDAD ORIENTADO HACIA EL CONTROL

El 8X300 es un microprocesador bipolar diseñado para aplicaciones de control de alta velocidad. Este artículo describe la arquitectura y el conjunto de instrucciones del 8X300, prestando paticular atención al sistema especial deE/S que permite la entrada, el tratamiento y la salida de datos en un solo ciclo de 250 ns.

Los microprocesadores representan el último paso en la evolución de la tecnología de semiconductores. Pero en pocos años, el microprocesador ha evolucionado desde un dispositivo lento de una única aplicación general hasta una amplia serie de dispositivos especializados. Cada área de aplicación requiere diferentes características, cuya totalidad no puede ser proporcionada por un solo dispositivo. El procedimiento de fabricación determina las características básicas, tales como velocidad, consumo de potencia, densidad de funciones, etc. Los procedimientos bipolares permiten la construcción de dispositivos de alta velocidad a costa de un aumento del consumo de potencia.

Otras divisiones en el campo de los microprocesadores proceden de la arquitectura interna y del conjunto de instrucciones. El 8X300 es un buen ejemplo: su arquitectura y su conjunto de instrucciones están diseñados para proporcionar una elevada transferencia de datos con operaciones orientadas por bit en lugar de orientadas por palabra. Un procedimiento bipolar se utiliza para proporcionar una elevada velocidad de transferencia de datos y un corto tiempo de ciclo.

CARACTERISTICAS DEL CONTROL

El 8X300 está diseñado para aplicaciones de control en tiempo real. Normalmente, esto presupone tareas tales como el examen regular de estados dentro del sistema que se va a controlar, el gobierno de las funciones del sistema y la salida de órdenes, palabras y datos que dirigen las acciones del sistema. Así, el microprocesador debe ser capaz de seleccionar y comprobar cada bit o grupos de bits, hacer cálculos y tomar decisiones basadas sobre los datos seleccionados, y dar las órdenes apropiadas al sistema. En algunas aplicaciones, las elevadas velocidades de transferencia de datos o la temporización crítica, restringen de tal forma el tiempo disponible para cálculos y toma de decisiones que solamente puede hacerlo un microprocesador de alta velocidad. La capacidad del 8X300 de aceptar datos de entrada, procesarlos y dar salida a nuevos datos, todo en un tiempo de ciclo de solamente 250 ns, lo hace paticularmente adecuado para aplicaciones tan exigentes como:

- controladores de comunicación,
- concentradores de datos,
- controladores de varios terminales,
- controladores de disco magnético,
- tratamiento de imágenes digitales,
- control industrial de alta velocidad,
- control de E/S de grandes sistemas de memoria.

ARQUITECTURA DEL 8X300

La figura 1 muestra la arquitectura del 8X300. Las líneas gruesas indican los distintos recorridos posibles a lo largo de los cuales circula la información, de acuerdo con la instrucción en curso. El dispositivo utiliza tres barras separadas: la barra (IV) del vector de acoplamiento para entrada y salida de datos; la barra de dirección de instrucción para la memoria de programa, y la barra de datos de instrucción para la entrega de las instrucciones del programa.

La barra de dirección de instrucción es excitada a partir del registro de dirección que contiene la dirección de la instrucción en curso o de la siguiente instrucción para ser sacada de la memoria. Tanto la barra como el registro tienen 13 bits, dando un margen de direccionamiento de 8192 posiciones. El registro de direcciones excita también al contador del programa. También se usa como almacenamiento temporal de la dirección de la instrucción en curso, con el fin de que el circuito de control haga una modificación que genere la próxima dirección de instrucción. Salvo que esté influenciada por una instrucción que produzca un salto, la dirección de instrucción es incrementada automáticamente en uno durante cada ciclo.

La instrucción direccionada en la memoria de programa pasa a través de la barra de instrucciones al registro de instrucciones. Una instrucción del 8X300 tiene una longitud de 16 bits. La lógica de decodificación y de control proporciona las señales internas y externas de control requeridas por la instrucción en curso y por la duración del ciclo. Obsérvese que partes de la palabra de instrucción pueden pasar al recorrido de datos o al registro de direcciones de instrucción, permitiendo que el programador tenga una influencia directa sobre la información o la dirección. Otras entradas a la lógica de decodificación y control son:

X1, X2 conexiones para el cristal para determinar el tiempo del ciclo;

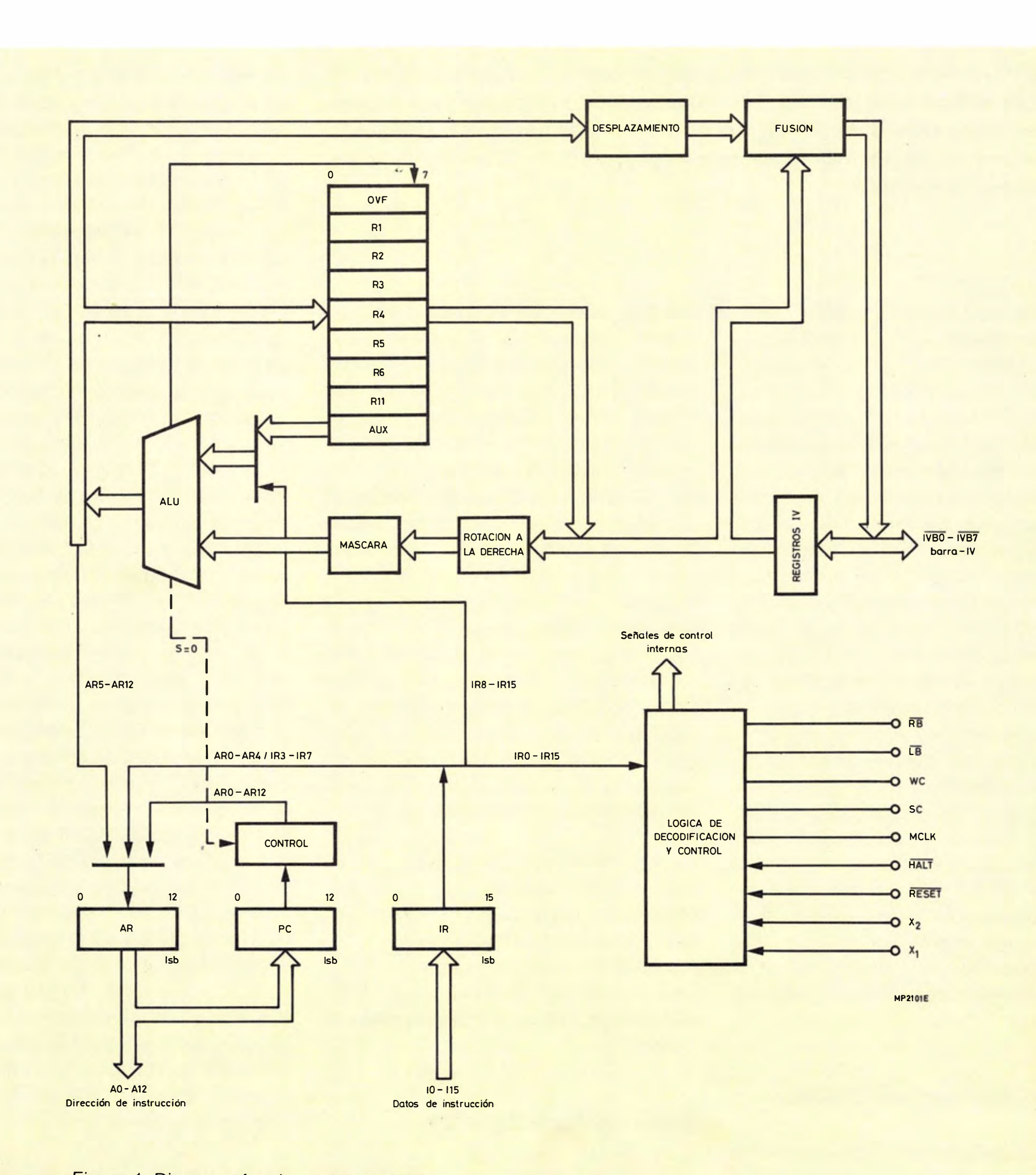


Figura 1. Diagrama funcional del 8X300.

$\overline{\text{HALT}}$ una señal generada dentro del sistema para retardar el proceso por razones definidas por el diseñador del sistema;

$\overline{\text{RESET}}$ para la puesta a cero del microprocesador.

Para control de E/S se tienen cinco salidas.

Recorrido de la información

Las fuentes de datos para el proceso son: los nueve registros internos, los registros intermedios de entrada de la barra IV y los datos de instrucción. Los registros internos comprenden un registro de exceso, siete registros de aplicación general (R_1 a R_6 y R_{11}) y un registro auxiliar. El registro de exceso está a cero excepto el bit 7 que es activado si el exceso de capacidad se produce durante una instrucción ADD. El registro de exceso puede actuar solamente como fuente de información pero no de destino. Los registros de aplicación general tienen un ancho de 8 bits cada uno y pueden ser fuente o destino de datos. El registro auxiliar (AUX) es algo especial, dado que se utiliza como un operando implícito mediante las instrucciones ADD, AND y XOR. Esto está indicado por su conexión directa a la unidad aritmética y lógica (ALU). El registro AUX puede ser tratado como un registro de aplicación general aunque no pueda especificarse como operando de fuente si es también un operando implícito. Los registros intermedios de entrada de la barra IV se cargan al principio de un ciclo con los datos en la barra IV, si éste está especificado como fuente de datos. Los datos están disponibles en los registros intermedios de entrada, a través de la función de absorción, para la salida total o parcial a la barra común IV.

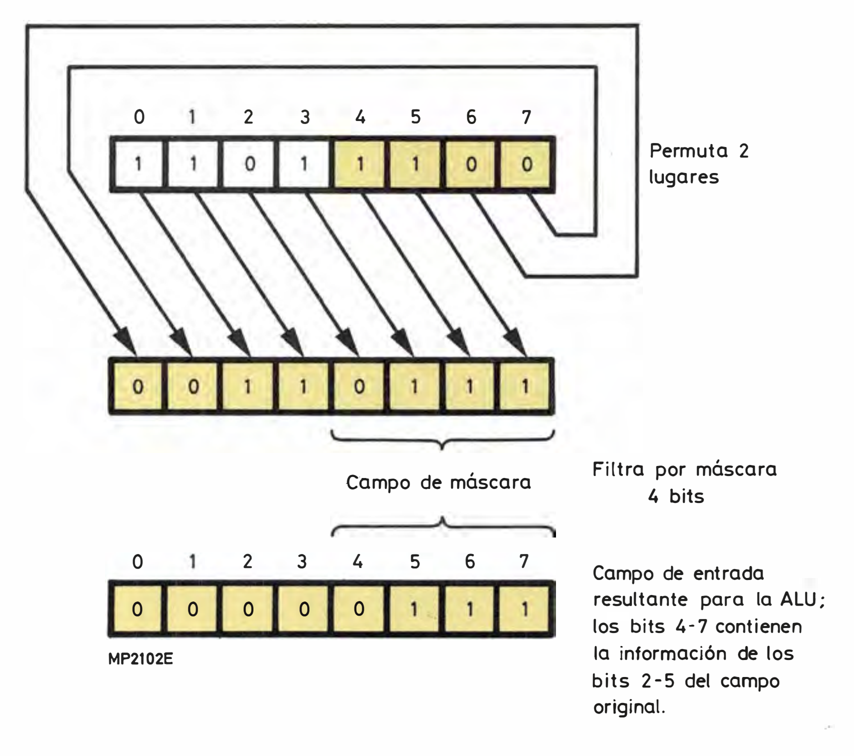


Figura 2. Efecto de las funciones de rotación a la derecha y de máscara.

La información de los registros intermedios IV puede preformarse mediante las funciones de rotación a la derecha y de máscara, antes del procesado en la ALU. Las funciones de rotación a la derecha proporcionan un desplazamiento circular de hasta 7 lugares, mientras que la función de máscara permite la selección de solamente una parte del octeto de información. Cuando la fuente de información es un registro, no puede especificarse la función de máscara. La figura 2 muestra un efecto típico de las funciones de rotación y de máscara.

La ALU realiza las tareas de suma, funciones lógias (AND y OR exclusiva), comprobación del cero y alguna modificación de la dirección. Para la suma y las funciones lógicas, la operación se lleva a cabo en la información de la fuente especificada junto con el contenido del registro AUX. Según sea la instrucción, pueden pasarse hasta ocho bits de información del registro de instrucción a la ALU. La salida de la ALU puede dirigirse al registro AUX o a los registros universales, o, mediante las funciones de desplazamiento y de fusión, a la barra IV. En cuanto a las instrucciones de transferencia (NZT), ejecución (XEC) y salto (JMP) de cifras diferentes de cero, la salida de la ALU pasa por el registro de direcciones.

Las funciones de desplazamiento y fusión permiten la selección y reposición de parte de la salida de la ALU antes de fusionarla con la información existente en los registros intermedios de entrada y de presentar la información modificada en la barra IV. La figura 3 ilustra una acción normal de desplazamiento y fusión. Durante un desplazamiento a la izquierda se pierde culaquier información que pase la posición del bit O. Después del

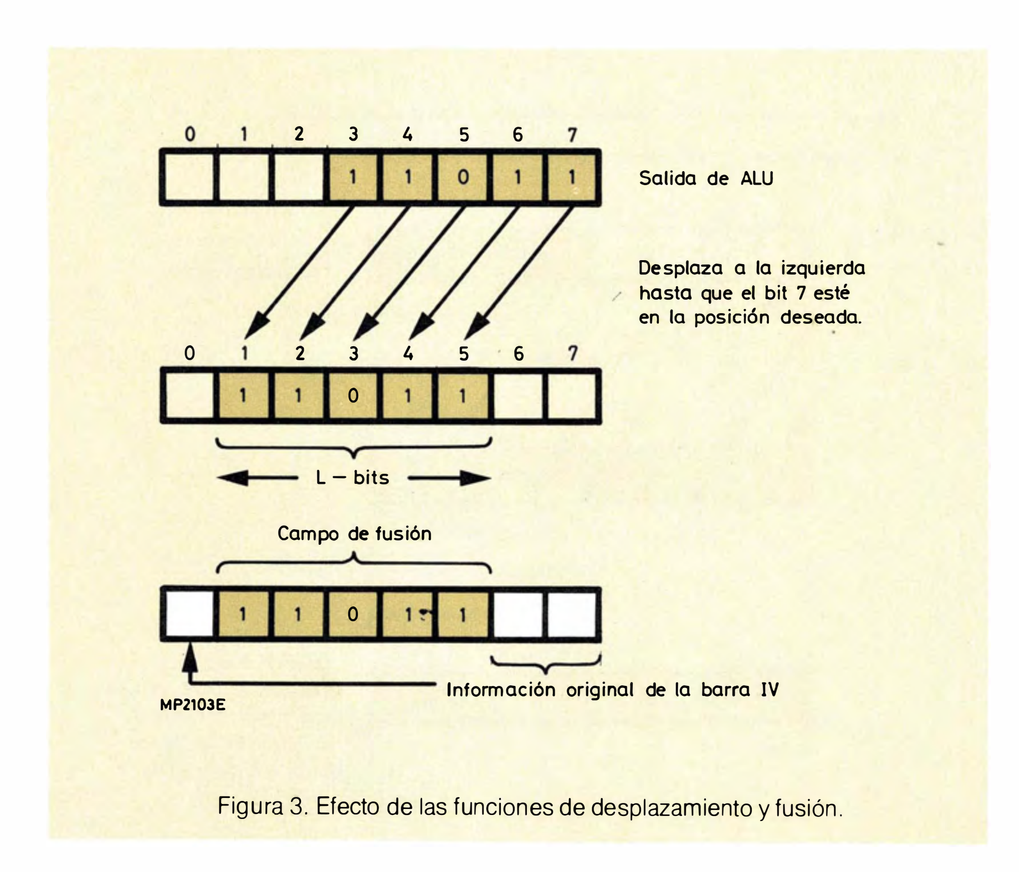


Figura 3. Efecto de las funciones de desplazamiento y fusión.

desplazamiento a la izquierda hasta que el bit original 7 (LSB-bit menos significativo) esté alineado con la posición especificada, el número necesrio de bits se fusiona con la información de los registros intermedios de entrada.

CONCEPTO E/S

El 8X300 utiliza la barra IV para todas las entradas/salidas de datos. Se trata de una barra bidireccional de 8 bits que transporta tanto la información como la dirección del registro de E/S. Los ocho bits de la barra IV pueden direccionar hasta 256 registros de E/S retenidos, conocidos como octetos IV en el sistema 8X300. Los octetos IV se agrupan en dos secciones, llamadas banco izquierdo y banco derecho, por medio de dos señales de desinhibición de banco. El uso de las señales de banco izquierdo y derecho permite al dispositivo direccionar hasta 512 octetos IV. Estos típicamente toman la forma de registros de E/S o de posiciones de almacenamiento de trabajo. La figura 4 muestra una configuración donde los registros de E/S son todos octetos IV del banco izquierdo y una RAM de 256×8 forma los octetos IV del banco derecho. De este modo, el tamaño de la memoria de trabjo queda limitado a 256 octetos por banco. Sin embargo, esta cifra puede aumentarse hasta 256^2 (65.536) utilizando dos registros de E/S como amplifiador de direcciones. Esto requiere algunas instrucciones extras pero, debido a la alta velocidad de ejecución del 8X300, muy raramente se degradan las características.

Para especificar la función instantánea de la barra IV se utilizan señales de control:

SC	Orden de selección: un nivel alto indica que la información en la barra IV es una dirección. Un nivel bajo indica la presencia de datos.
WC	Orden de escritura: un nivel alto indica que la información está saliendo hacia la barra; un nivel bajo indica que los datos están entrando al 8X300.
MCLK	Reloj maestro: utilizado como una muestra para los datos de salida y que proporciona la sincronización para la lógica externa.
$\overline{LB}$	Banco Izquierdo: un nivel bajo desinhibe los octetos IV del banco izquierdo.
$\overline{RB}$	Banco derecho: un nivel bajo desinhibe los octetos IV del banco derecho.

Cuando se requiere que el 8X300 acepte datos de un determinado octeto IV o que los transmita, primero debe desinhibir este octeto. Esto se hace con una instrucción que presenta la dirección del octeto IV en la barra IV con la señal SC y con la señal adecuada de desinhibición de banco. Todos los otros octetos IV de aquel banco quedarán inhibidos. Los octetos IV seleccionados permanecerán desinhibidos hasta que se desinhiba otro octeto IV del mismo banco.

Las señales $\overline{LB}$ y $\overline{RB}$ son complementarias y aunque proporcionan el efecto de un noveno bit de direcciones, su función difiere en que pueden cambiarse durante el ciclo de instrucción de E/S de datos (las direcciones están especificadas en instrucciones preliminares). Esto significa que es posible tener dos octetos IV desinhibidos al mismo tiempo, y seleccionar uno u otro utilizando las señales del banco izquierdo o derecho. De esta forma, los datos pueden ser entrados a partir de un octeto IV de un banco,

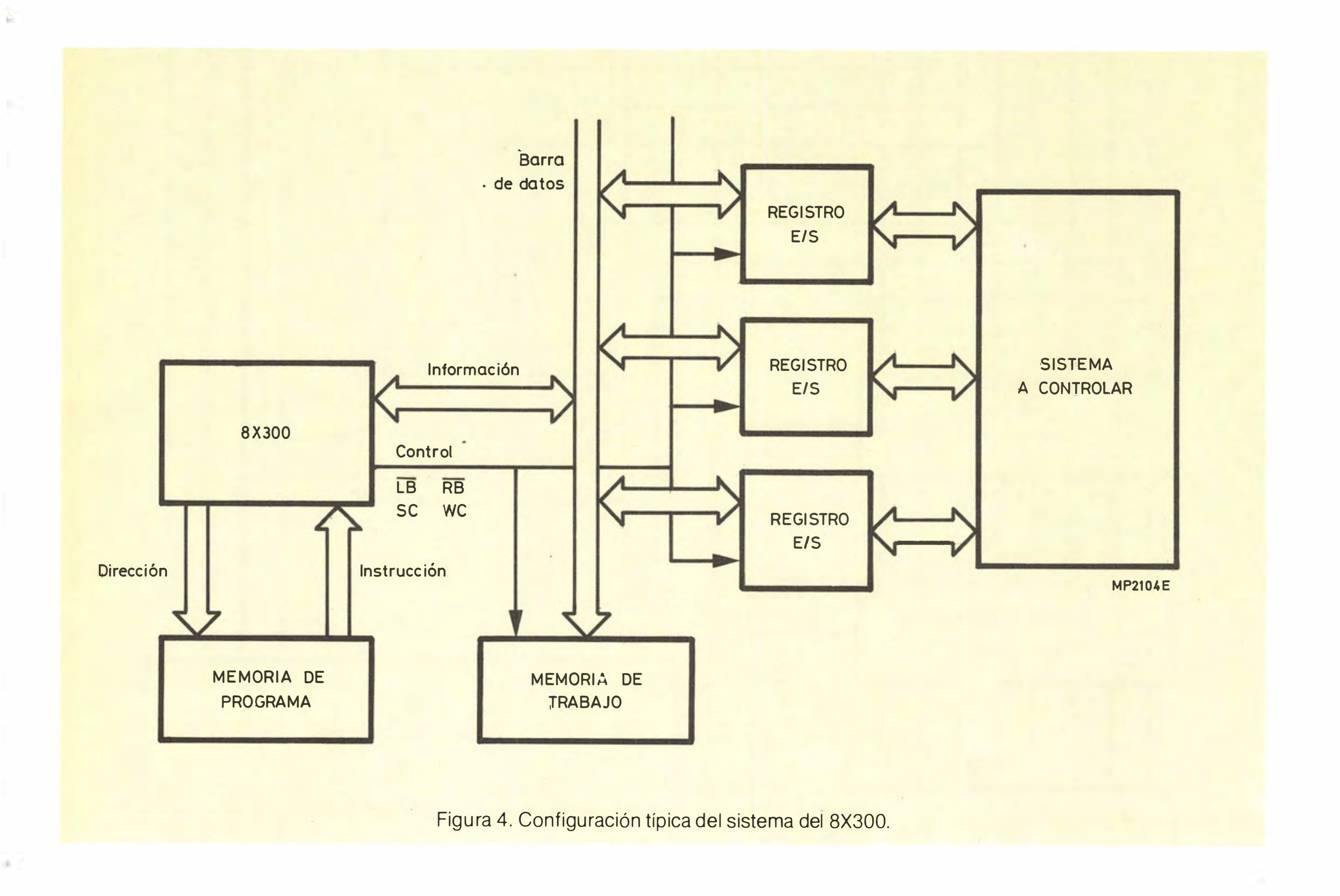


Figura 4. Configuración típica del sistema del 8X300.

procesados y dar salida a otro octeto IV de otro banco en una instrucción.

Evidentemente, el sistema de la barra IV requiere registros especiales de E/S direccionables para efectuar la función del octeto IV. Estos registros de E/S pueden diseñarse utilizando decodificadores de dirección y registros temporales separados. En lugar de ello, se han diseñado octetos IV especializados que combinan ambas funciones en un solo dispositivo, con lo que se consigue un sistema más eficaz y más compacto.

La figura 5 muestra el diagrama de bloques del 8T32, que es un registro E/S bidireccional diseñado para funcionar como un octeto IV direccionable. El usuario puede programar la dirección del octeto IV o dotar al dispositivo con una dirección previamente programada. Los registros temporales de datos son accesibles desde la barra IV o desde la barra del usuario. La única restricción respecto al acceso a los registros temporales es que los datos no pueden introducirse en memoria simultáneamente desde la barra IV y desde la barra del usuario. En este caso, el registro E/S del usuario tiene prioridad.

La lógica de control mantiene inactivo el registro E/S para la barra IV hasta que el comparador de direcciones detecta su propia dirección y la señal SC. El registro E/S del usuario es accesible en cualquier momento bajo el control de las señales $\overline{BIC}$ y $\overline{BOC}$. El sistema del usuario debe poner en nivel bajo la señal $\overline{BIC}$ cuando se escribe hacia el octeto IV, y en nivel bajo la señal

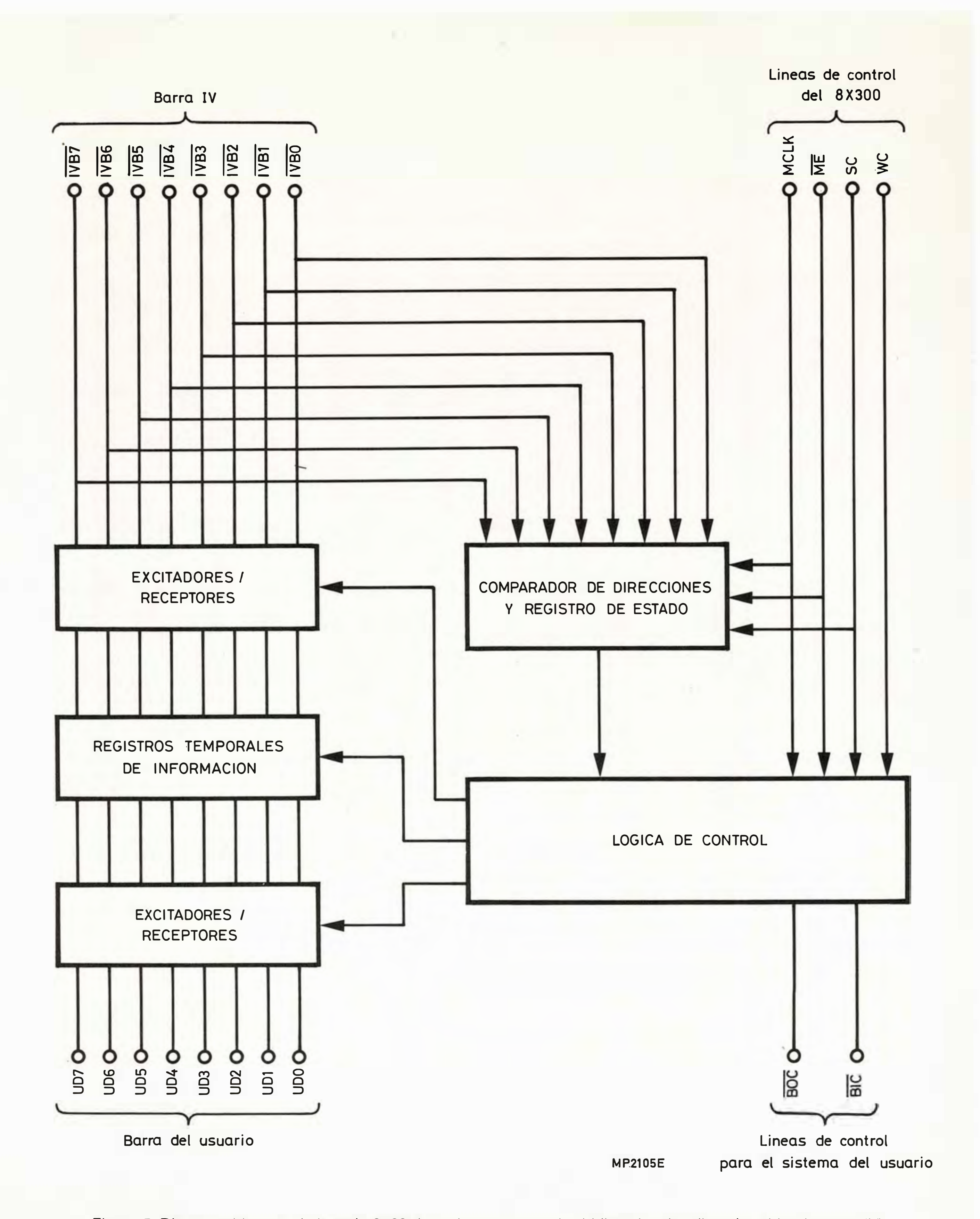


Figura 5. Diagrama bloques de la serie 8T32 de registros temporales bidireccionales direccionables (octetos IV).

BOC cuando se lee desde el octeto IV. El octeto IV puede comportarse como banco derecho o izquierdo conectando la señal apropiada de selección de banco a la entrada ME (Master Enable, desinhibición maestra).

CONJUNTO DE INSTRUCCIONES

El 8X300 utiliza un formato de instrucción de 16 bits, como se muestra en la figura 6. Los tres primeros bits se utilizan para definir el código de operación (código OP), que permite ocho amplias categorías de instrucciones. El repertorio de 32 instrucciones diferentes se obtiene mediante la amplia variación de especificaciones del operando.

Los campos de operandos se utilizan para definir la fuente y el destino de la información, la selección de parte de una palabra de datos de entrada, constantes y direcciones. La tabla 1 muestra los operandos que deben ser especificados para las diferentes clases de instrucción, los códigos OP y una breve explicación de la operación de instrucción. Cada clase se identifica mediante un símbolo mnemónico. Los campos de operandos son: Source (S) (fuente), Destination (D) (destino), Rotate (R) (permutación circular), Length (L) (Longitud), Integer constante (I) (constante entera) y Addres (A) (dirección).

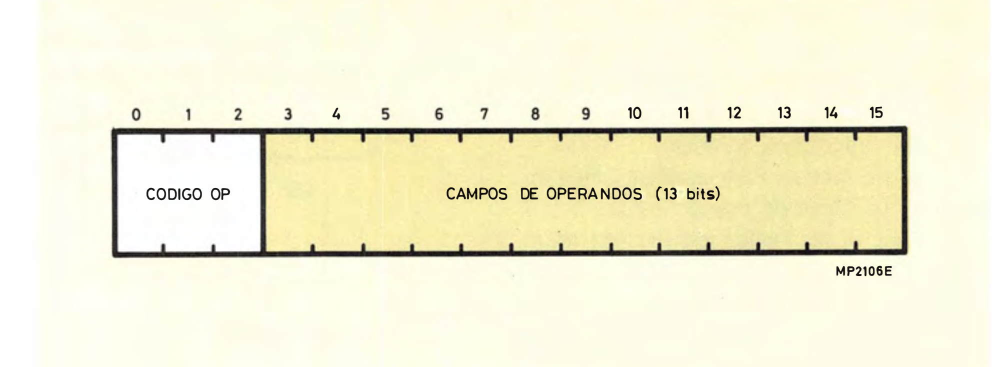


Figura 6. Formato general de instrucción para el 8X300.

Campos de operandos

Source es un campo de 5 bits que identifica la posición de la información que tiene que tratarse. Se divide en dos partes, S_1 y S_0, de 2 y 3 bits respectivamente. Así pues, el campo de la fuente puede especificarse como un número octal en el margen 00 a 37. La tabla 2 muestra la asignación de los códigos de fuente a las distintas posiciones de fuente: registros internos, octetos IV del banco izquierdo y octetos IV del banco dere-

Tabla 1. Especificación de operandos por clase de instrucción.

Código OP	Mnemónico	Campos de operando utilizados	Efecto
0	MOVE	S,R OL,D	(S)⟶D
1	ADD	S,R OL,D	(S)+(AUX) ⟶ D
2	AND	S, R oL,D	(S).(AUX) ⟶D
3	XOR	S,R oL,D	(S)+(AUX) ⟶D
4	XEC	S,L,I;o,S,I,	Ejecuta la instrucción en la dirección especificada por (S) e I
5	NZT	S,L,I;o,S,I,	Si (S)=0, salta a la dirección especificada por I.
6	XMIT	D.L.I;oD,I	Traslada la constante I al destino D
7	JMT	A	Cambia el contenido del contador de programa al valor A, y continua el proceso en estas direcciones.

Tabla 2. Código para los campos de fuente y destino

Código octal	Fuente/destino	
00	registro AUX	
01 a 06	registros de trabajo 1 a 6	
07	registro de dirección del banco izquierdo (sólo destino)	
10	registro de rebasamiento (sólo fuente)	
11	registro de trabajo R_{11}	
17	registro de dirección del banco derecho (sólo destino)	
2n	octeto IV del banco izq.	n especifica el bit menos significativo de la información de la barra IV.
3n	octeto IV del banco derecho	

cho. Los octetos IV están identificados por los códigos 2n y. 3n (bancos izquierdo y derecho), donde n, en la escala 0 a 7, especifica el bit menos significativo de la información de la barra IV. Cuando la fuente es un registro interno, se utiliza un campo Rotate separado.

Destination es un campo de 5 bits que identifica la posición hacia la que se va a enviar la información tratada. Se divide en dos partes D_1 y D_0 del mismo modo que el campo de la fuente, y se aplica la codificación de direcciones de la tabla 2 excepto que no puede utilizarse el registro de exceso. Para las direcciones no puede utilizarse el registro de exceso. Para las direcciones de los bancos izquierdo y derecho (2n y 3n), n especifica el bit menos significativo de la información que sale hacia la barra IV.

Rotate es un campo de 3 bits que especifica el número de lugares que deben girar hacia la derecha los datos de fuente de un registro interno.

Lenght es un campo de 3 bits que especifica el número de bits de los datos de la barra IV a tratar mediante operaciones de máscara o de fusión.

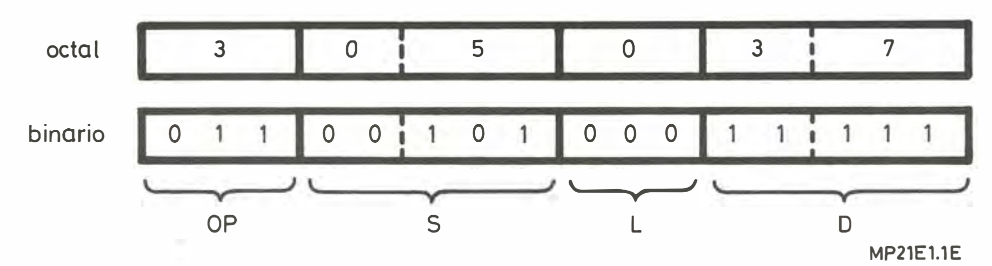
Integer es un campo de 5 u 8 bits utilizado para introducir constantes en el magen 0 a 37_8 ó de 0 a 377_3.

Address es un campo de 13 bits utilizado para especificar la dirección absoluta de la próxima instrucción a ejecutar.

Ejemplos de instrucción

Ejemplo 1. Añadir el contenido de los bits 4 a 7 del octeto IV en el banco izquierdo al contenido del registro AUX y transferir los 4 bits menos significativos de la suma a los 4 bits más significativos del octeto IV en el banco izquierdo.

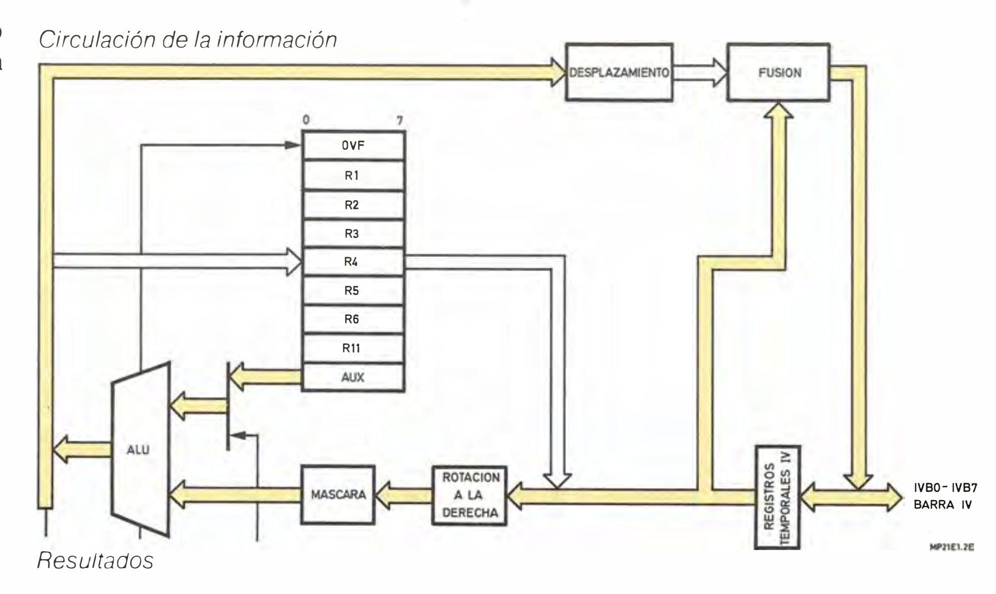
Palabra de instrucción



Operación de instrucción

0 1 1 0 0 1 1 0 datos de la barra IV hacia los registros temporales de entrada
0 1 1 0 0 1 1 0 no existe rotación a la derecha (S_0=7)
0 0 0 0 0 1 1 0 máscara de 4 bits (L=4)
0 0 1 1 0 0 1 0 contenido de AUX
0 0 1 1 1 0 0 0 suma
1 0 0 0 desplaza 4 lugares a la izquierda (D_0=3)
1 0 0 0 0 1 1 0 fusión con datos de entrada y con salida al enlace común de IV
valores originales

Circulación de la información

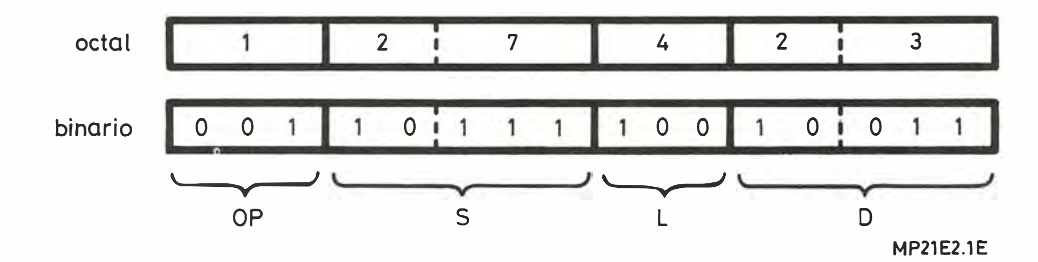


Resultados

Los 4 bits más significativos del octeto IV son cambiados por los valores dados por la suma de los 4 bits menos significativos y el contenido del registro AUX. El indicador de rebasamiento de capacidad se pone a 0.

Ejemplo 2. Almacenar el complemento a uno del contenido de R5 en el octeto IV del banco derecho. (Se supone que el registro AUX ya contiene todos los unos).

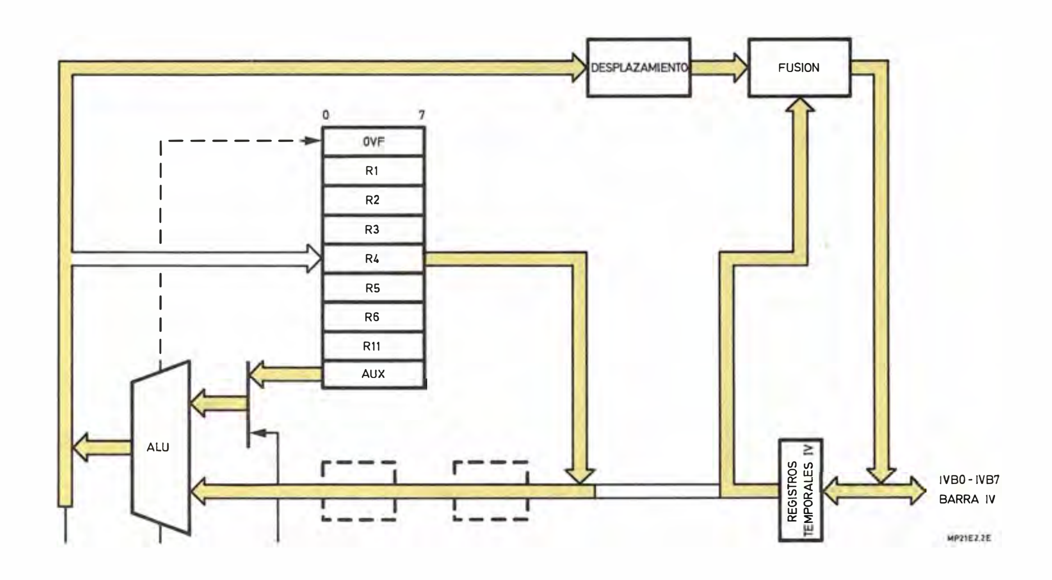
Palabra de instrucción



Operación de instrucción

0 1 1 0 0 1 1 1 registro de la fuente de copia
1 1 1 1 1 1 1 1 contenido de AUX
1 0 0 1 1 0 0 0 resultados de XOR
1 0 0 1 1 0 0 0 no hay desplazamiento ($D_0=7$)
1 0 0 1 1 0 0 0 datos hacia la barra IV

Circulación de la información



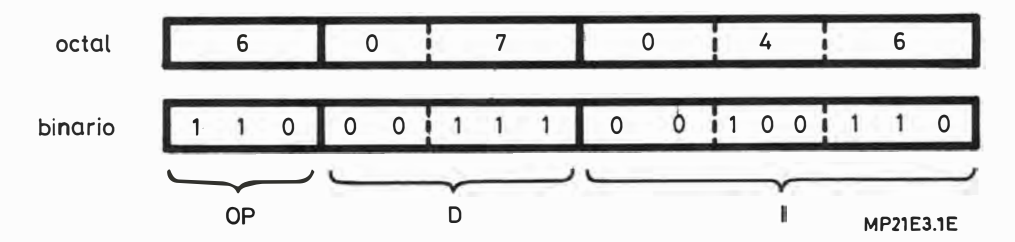
Resultado

El complemento a uno del registro fuente es la salida al banco derecho de la barra IV.

Ejemplo 3.

Desinhibir el octeto IV del banco izquierdo cuya dirección es 46_8.

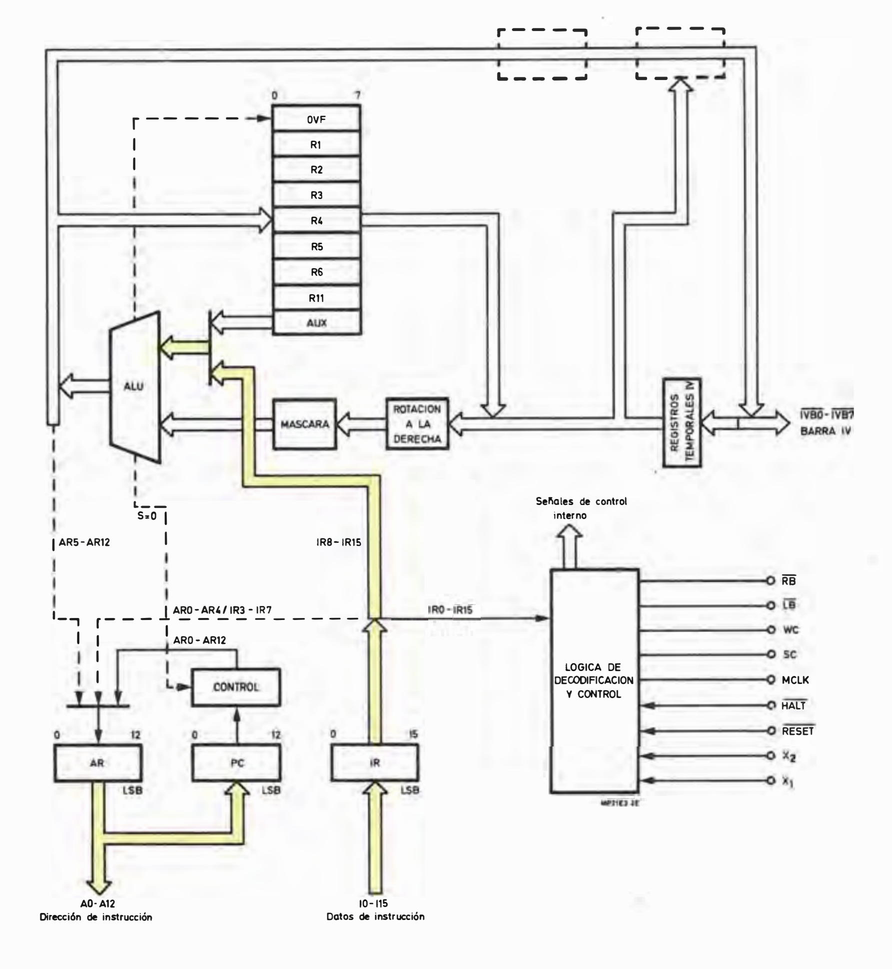
Palabra de instrucción



Operación de instrucción

valor del campo 1 (27_8)	0 0 1 0 0 1 1 0
nueva dirección de E/S en el banco izquierdo	0 0 1 0 0 1 1 0

Circulación de la información



Resultado

Se invalida el octeto de IV del banco izquierdo desinhibido anteriormente y se desinhibe el octeto en la dirección 46_8 del banco izquierdo. El banco derecho no queda afectado.

Los ejemplos muestran que, al especificar el bit menos significativo y el número de bits (longitud), puede utilizarse cualquier grupo de bits contiguos de un octeto de IV como fuente o destino. Esta es una característica sumamente importante del 8X300 que lo convierte en un potente dispositivo para aplicaciones de control.

SECUENCIA

La secuencia del 8X300 está controlada mediante un circuito oscilador de cristal, del cual todo salvo el cristal de cuarzo están en el chip. Para el mínimo tiempo de ciclo de 250 ns, la frecuencia del cristal debe ser de 8 MHz. La figura 7 muestra el ciclo de instrucción dividido en cuatro fases. Durante el primer cuarto de ciclo, el registro de instrucción acepta la palabra de instrucción y los registros temporales de entrada de datos están desinhibidos para aceptar datos en la barra IV. Como el procesado tiene lugar durante el segundo y el tercer cuartos de ciclo, la información de entrada debe estabilizarse mediante la iniciación del segundo cuarto del ciclo. La dirección para la próxima instrucción pasa a estar disponible durante el tercer cuarto de ciclo, desinhibiendo el acceso a la memoria del programa para la siguiente instrucción durante el tercer y el cuarto cuartos de ciclo. Si la información sale por la barra IV, los excitadores de salida se activan durante el tercer cuarto de ciclo para presentar datos estables de salida durante el cuarto cuarto de ciclo. Así, la barra IV trabaja en el modo de entrada durante los primeros dos cuartos de ciclo y en el modo de salida durante los dos últimos cuartos de ciclo.

El valor de la alta velocidad del 8X300 y su capacidad de efectuar las dos funciones de entrada y salida en un ciclo están ilustrados en la figura 8, donde una secuencia de tres instrucciones direcciona un dispositivo de E/S, añade datos de aquel dispositivo a un total acumulado y almacena el nuevo total en un registro en el banco derecho. La tarea completa de direccionar el dispositivo de E/S y el registro externo, y de adición y almacenamiento de datos se lleva a cabo en sólo 750 ns.

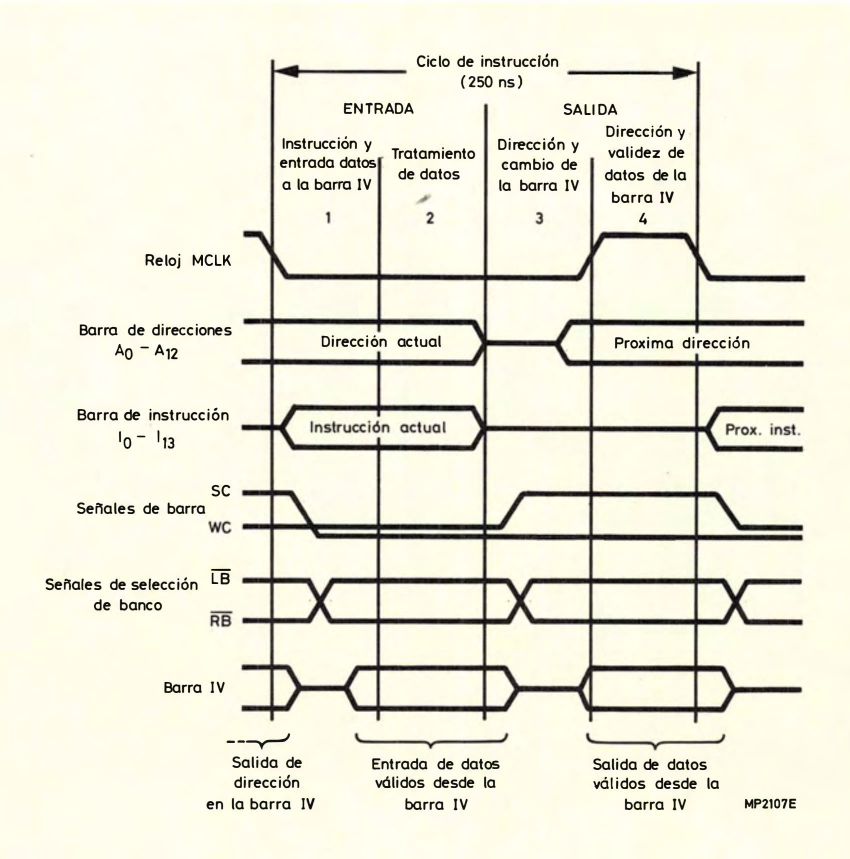


Figura 7. Diagrama de secuencia del 8X300.

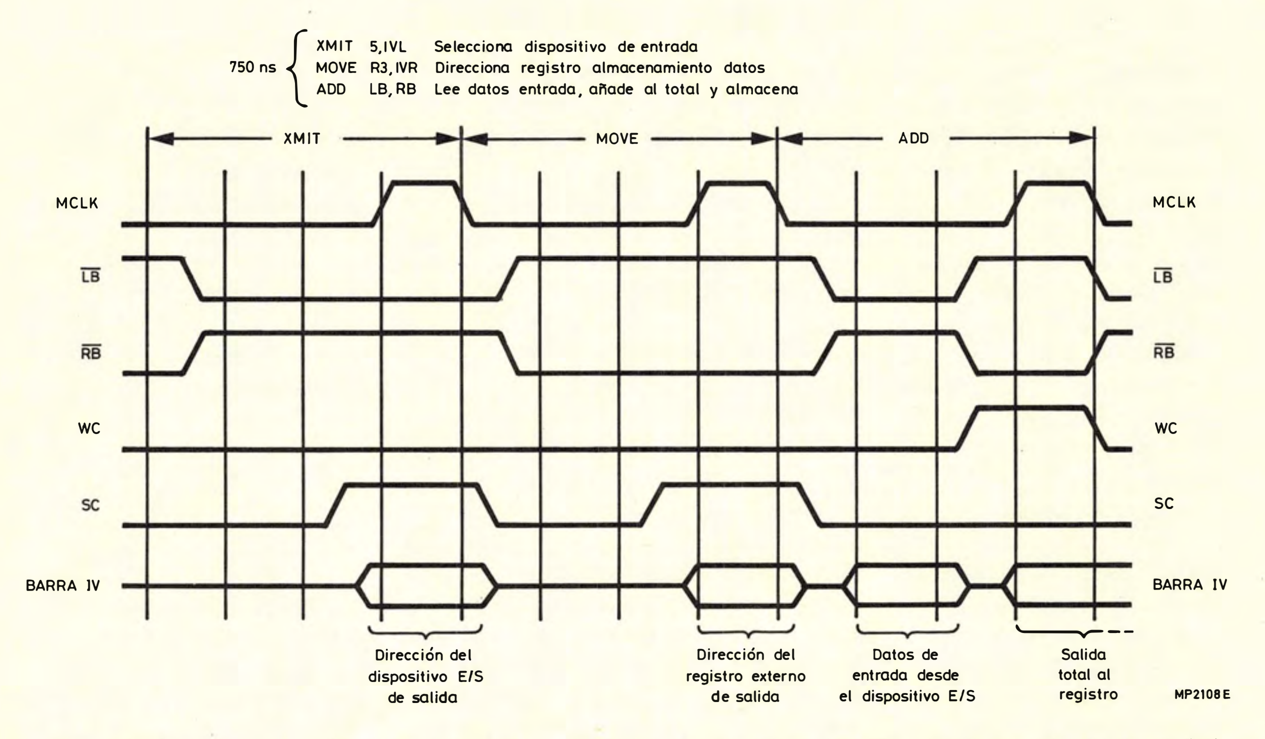


Figura 8. Secuencia de instrucción para leer datos desde un dispositivo de E/S, añadirlos a un total acumulado y almacenar el resultado en un registro externo. Obsérvese que la entrada y salida de datos se efectúa dentro de un ciclo de instrucción.

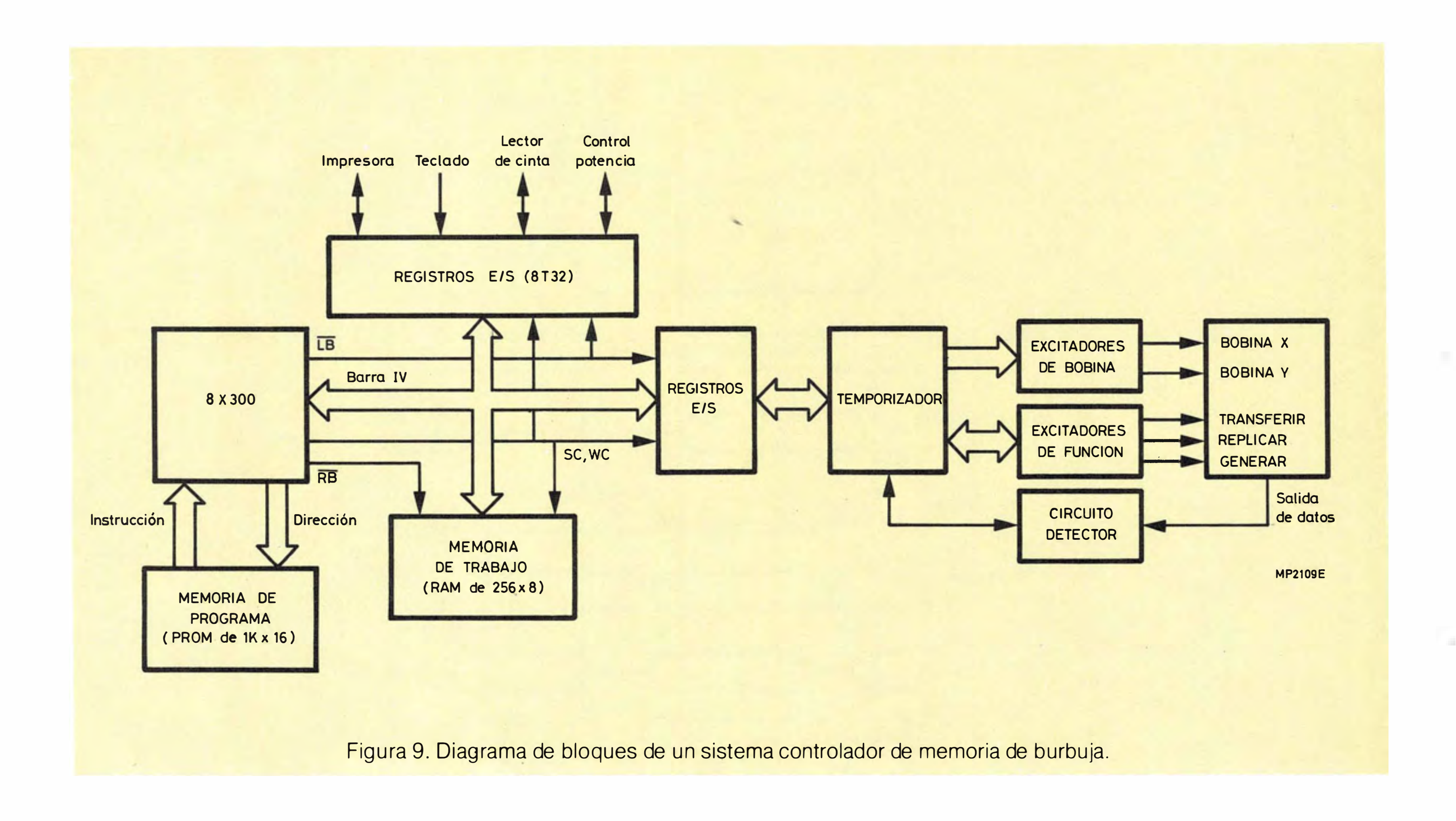


Figura 9. Diagrama de bloques de un sistema controlador de memoria de burbuja.

SOPORTE DEL SISTEMA

Todos los sistemas de microprocesdor constan de dos partes fundamentales: el hardware y el software. En general, puede escribirse el software, pero no puede probarse hasta que el hardware esté completo. Con el software almacenado en memoria PROM, los pequeños cambios y correcciones son una tarea larguísima. Además, no puede probarse enteramente el hardware hasta que el software esté completo, lo que agrava más aún el problema de desarrollo del software. Ayudas en el desarrollo pueden aliviar estas dificultades. El sistema monitor y de desarrollo del 8X300 (DMS, Development and Monitoring System) ha sido diseñado para facilitar un rápido y económico desarrollo de sistemas basados en el 8X300. Proporciona servicios útiles tanto durante el desarrollo del hardware como del software y permite al programador utilizar lenguaje ensamblador en lugar del código de máquina. El usuario puede almacenar su programa en memoria RAM, de forma que las memorias PROM no necesitan ser programadas hasta que el software esté completamente probado, y pueden hacerse los cambios que sean necesarios.

APLICACIONES TIPICAS DEL 8X300

Controlador de memoria de burbuja

Las memorias magnéticas de burbuja proporcionan un sistema de estado sólido compacto, no volátil, de almacenamiento de datos.

Sin embargo, los dispositivos de memoria de burbuja no pueden utilizarse sin una considerable cantidad de circuitos de control para efectuar tareas como:

- formación de datos,
- control de campo giratorio,
- control de lazos principales/secundarios,
- control de lazos redundantes,
- secuencia de lectura y escritura

El tiempo de ciclo del campo giratorio es típicamente 10 μs, dentro de cuyo período se pueden ejecutar muchas acciones, a menudo con secuencia crítica. Se puede diseñar un controlador adecuado a patir de lógica discreta o en un chip de LSI. Sin embargo, ambos procedimientos son costosos y el procedimiento de la lógica discreta da lugar a un controlador voluminoso. El 8X300 es ideal para este tipo de aplicación: su tiempo de ciclo de 250 ns permite la ejecución de 40 instrucciones por cada ciclo del campo giratorio. Además, su conjunto de instrucciones es adecuado para la manipulación flexible de datos con la elevada velocidad que se requiere aquí. La figura 9 muestra el diagrama bloques de un sistema de memoria de burbuja que utiliza el 8X300 como controlador. A efectos de evaluación, el microordenador fue programado para que el sistema funcione como un teletipo inteligente con la memoria de burbuja como memoria principal. El 8X300 tiene una gran potencia de tratamiento y una gran velocidad para dicha aplicación.

Lector de texto

La figura 10 muestra el diagrama de bloques de un sistema que reconoce modelos de carácter impresos. Los caracteres impresos son transportados a través de una fila de células fotoeléctricas que proporcionan una palabra de 8 bits correspondiente a la presencia de papel blanco o tinta adyacente a una célula fotoeléctrica. De este modo, el

carácter es leido en varias columnas de 8 bits.

Los modelos de todos los caracteres válidos son almacenados en memoria (p.e. memoria de trabajo 1)y el 8X300 compara la entrada de la célula fotoeléctrica con estos modelos. Evidentemente, la probabilidad de que la salida de la célula fotoeléctrica corresponda exactamente a una de las configuraciones almacenadas, no es muy grande; así, el microordenador debe buscar el modelo que esté más próximo, comparando cadauna de las columnas que representan un carácter con las de las configuraciones almacenadas. Esta comparación ocasiona un considerable tratamiento y por esto se necesita un microordenador con la velocidad del 8X300 para mantener una velocidad razonable de lectura.

Controlador de disco

Un controlador magnético de disco es otro ejemplo de la idoneidad del 8X300 para sistemas de control de alta velocidad. Las tareas típicas son:

- control de pista y de sector,
- identificación de sector,
- tratamiento anterior y posterior,
- recuperación de error.

La elevada velocidad del 8X300 y la eficiencia de sus funciones de E/S de datos implican que su uso puede dar como resultado un diseño compacto y económico para un controlador de disco.

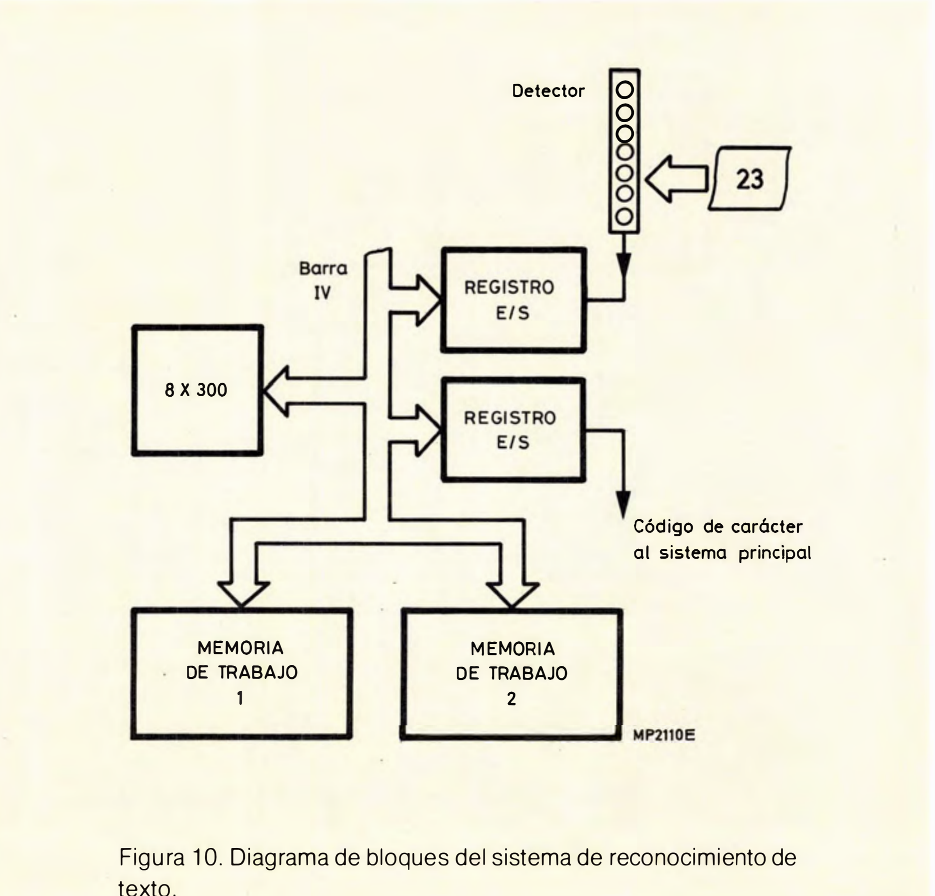


Figura 10. Diagrama de bloques del sistema de reconocimiento de texto.

Acoplamiento entre la barra CAMAC y la PDV

La barra CAMAC (Computer Application for Measurement And Control - aplicación del ordenador a la medida y al control) es un sistema de manejo de datos en paralelo común en Europa. La barra PDV (Prozesslenkung mit Daten Verarbeitungsanlagen - control de procesos con instalaciones de tratamiento de datos) es un sistema de transmisión de datos de bits en serie para control de procesos. Ambos sistemas están diseñados para aplicaciones y ambientes similares; evidentemente, un acoplamiento entre los dos extenderá las posibilidades de cada uno.

Una de las más importantes características de este acoplamiento es su capacidad de pasar datos/mensajes desde un sistema de barra a otro, con un retardo mínimo. Este retardo depende del tiempo de ciclo del microprocesador y de la idoneidad de su conjunto de instrucciones para las tareas que deben llevarse a cabo. El tiempo de ciclo de 250 ns y el conjunto de instrucciones de bit orientado del 8X300, dan lugar a que muchas tareas, que de otra forma se llevan a cabo mediante hardware, puedan ejecutarse mediante software sin degradar la realización del acoplamiento. La idoneidad del sistema 8X300 se refleja también en el concepto de E/S y en el diseño de octetos IV direccionables. Estos proporcionan un conjunto flexible y compacto de registros E/S que conectan ambos sistemas de barra. La figura 11 muestra un diagrama de bloques de este acoplamiento.

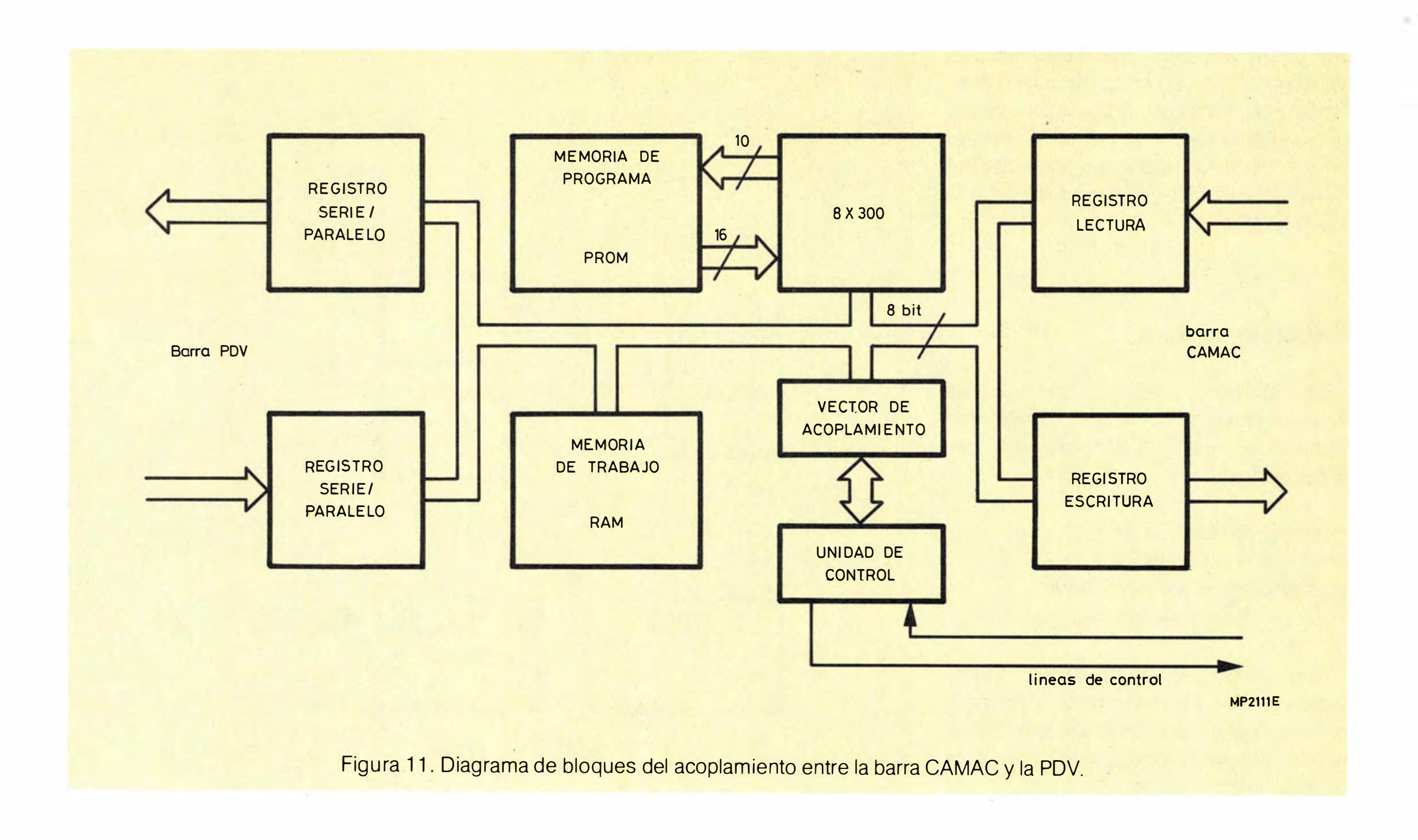


Figura 11. Diagrama de bloques del acoplamiento entre la barra CAMAC y la PDV.

CONTROLADOR DE MULTIPROCESO INTEGRADO UTILIZANDO EL FPLS 82S105

En este artículo se describe el secuenciador lógico programable (FPLS) 82S105 que proporciona un efectivo y válido medio de realizar un controlador síncrono en un único circuito integrado.

Las técnicas de multiproceso permiten eliminar considerables gastos al utilizar los recursos que proporciona un sistema compartido. Si cada procesador debe soportar su propia organización de barras, los dispositivos de entrada/salida y un gran volumen de memoria, el costo del sistema puede desorbitarse. En la configuración de la figura 1, todos los procesadores compartén una barra de comunicaciones común más un cierto número de dispositivos y periféricos.

Ya que cada procesador debe utilizar la barra común del sistema para comunicarse con los periféricos, se requiere una estructura que otorgue prioridades a las peticiones simultáneas de utilización de la barra. Además, durante la serie de peticiones/concesiones, deben evitarse los transitorios originados por el elevado número de conmutaciones en la barra, para ello se inserta entre concesión y concesión de la barra, un cierto tiempo de protección o de espera.

ESTRUCTURA DEL CONTROLADOR

En un sistema de multiproceso pueden distinguirse dos clases de procesadores: los de prioridad A y los de prioridad b. A los procesadores de prioridad A les corresponden las peticiones de mayor prioridad y deben competir en la utilización de la barra únicamente con otros procesadores de su misma clase. El controlador de multiproceso debe generar las concesiones A de manera que impida que algún procesador de prioridad A margine a otro procesador de prioridad A. Por esta razón la estructura de prioridades A empleada aquí utiliza el sistema de prioridad más baja para la última concesión (Last Granted Lowest Priority) (LGLP). El procesador A que ha recibido la última concesión de la barra, ocupa ahora el último lugar en la escala de prioridades y el procesador A que anteriormente ocupaba el segundo lugar en la escala, tendrá ahora la prioridad más alta. El efecto neto es una escala circular de prioridades en la que a cada procesador le llegará su turno cuando posea la prioridad más elevada. Generalmente los procesadores de prioridad A trabajan en tiempo real o realizan las tareas vitales del sistema. Los procesadores de prioridad b poseen una prioridad inferior a los de prioridad A y el controlador de multiproceso los atenderá únicamente cuando no existan peticiones pendientes de prioridad A. Los procesadores b normalmente realizan las tareas secundarias del sistema (background). En el grupo b la ordenación de prioridades es diferente, cada procesador b ocupa una posición fija dentro de la escala de prioridades b.

Plumber (Ref. 1), Pearce (Ref. 2) y Hojberg (Ref. 3) presentan técnicas asíncronas para el diseño del controlador; sin embargo, todos estos métodos adolecen de una ley de prioridades cableada por hardware y de unos tiempos de protección entre concesión y concesión muy imprecisos. Como apuntó Hojberg (Ref. 4) puede configurarse un controlador síncrono según el modelo de Mealy que proporcione no sólo tiempos de protección precisos y una ley de prioridades programable sino también la posibilidad de programar el nivel lógico de las entradas y salidas. El autómata de la figura 2 está construido a partir de una PROM de control y unos biestables disparados por flancos. A partir del estado actual del autómata y las peticiones A y b, la PROM de control determinará el estado siguiente y las concesiones siguientes A y b.

FUNCIONAMIENTO DEL SISTEMA

Básicamente pueden distinguirse dos estados en el autómata: un estado de espera y un estado de concesión. El autómata pasará del estado de espera al de concesión en respuesta a una petición de utilización de la barra producida al activarse alguna de las entradas R_N o r_N. Permanecerá en este estado, manteniendo una línea de concesión activada, mientras permanezca la señal de petición. Al desactivarse la línea de petición, el autómata pasará a un único estado de espera antes de atender otras peticiones pendientes. Esto proporciona un único estado de tiempo de protección. Las señales de petición de barra deben satisfacer los tiempos de puesta a uno de los biestables disparados por flancos, después de propagarse a través de la PROM de control. Si estos tiempos no se ajustan a la estructura del multiprocesador, pueden añadirse unos biestables a la entrada que sincronicen las líneas de peticiones R_N y r_N con el reloj del sistema. Pueden seguirse dos caminos en el diseño del autómata:

1. utilizar un controlador de un único circuito integrado estructuralmetne avanzado, el FPLS;
2. utilizar la configuración tradicional PROM/Biestables.

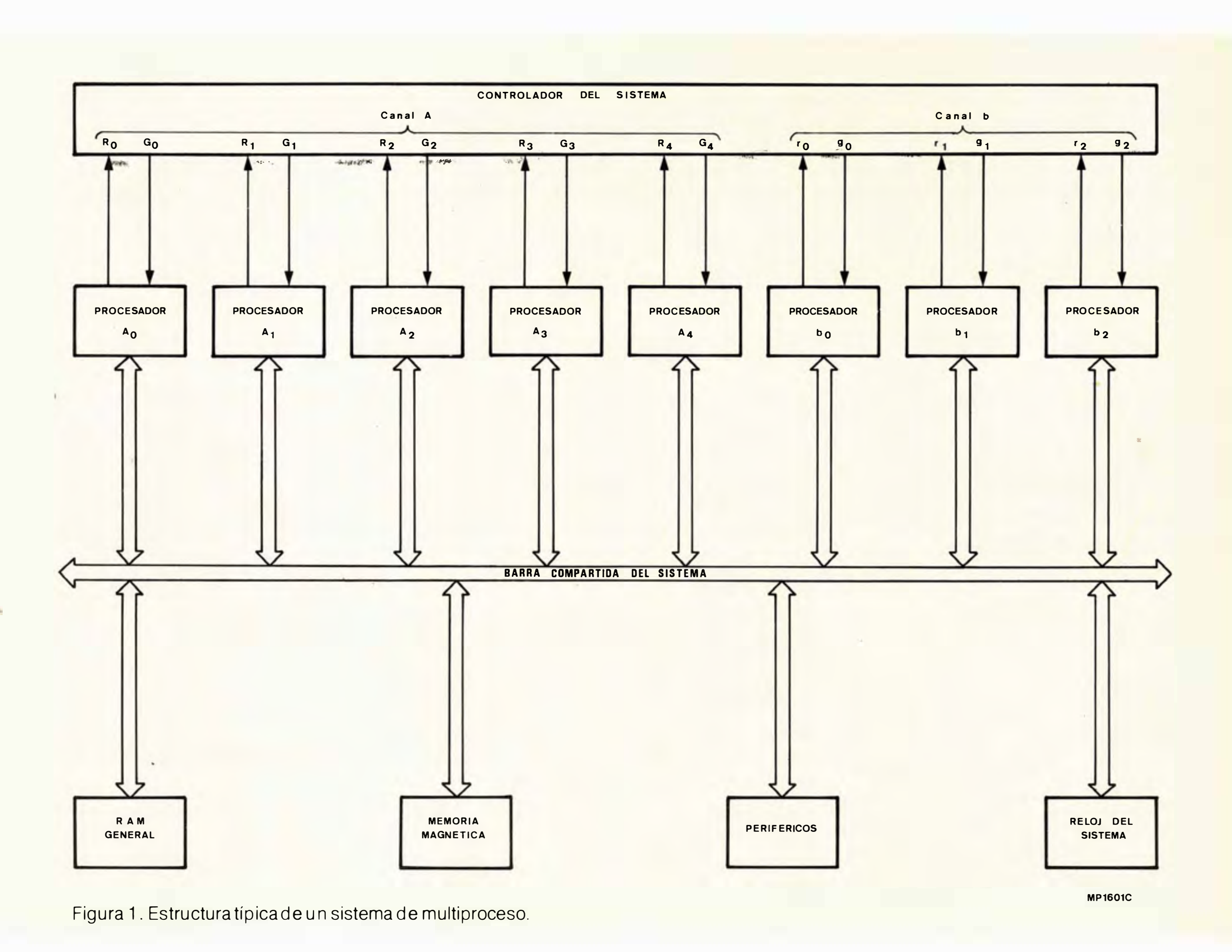


Figura 1. Estructura típica de un sistema de multiproceso.

DISEÑO DEL CONTROLADOR UTILIZANDO EL FPLS

El controlador poseerá 5 líneas de prioridad A y 3 de prioridad b, el nivel activo de las entradas de petición será el nivel bajo y se producirá una concesión de barra cuando la línea de concesión correspondiente pase al nivel bajo.

Breve descripción del FPLS

La figura 3 muestra el diagrama de bloques del FPLS que consta de una PROM de control y 14 biestables R/S sincronizados. La PROM de control es realmente una matriz lógica AND-OR que funciona como una PROM de contenido direccionable (Content Adressable PROM) CAPROM. La CAPROM está compuesta por 48 palabras de 28 bits con 16 entradas externas y 6 entradas internas realimentadas desde el registro de estado. Las 28 salidas de la CAPROM se transmiten a los biestables R/S originando las 6 salidas del registro de estado y las 8 salidas del registro de salida. Obsérvese que la realimentación se produce en el interior del FPLS.

Las señales I_N y las entradas de estado actual P_a representan 2^{22} posibles códigos de entrada a la CAPROM; 48 de estos códigos pueden utilizarse en la CAPROM para proporcionar una palabra de 28 bits de control de registro. Como se muestra en la figura 4, todo código de entrada puede programarse asignando a las variables los niveles lógicos: «L» bajo, «H» alto o «-» indiferente. Si algún código de entrada no pertenece a los códigos programados, la CAPROM mantendrá en nivel bajo las 28 salidas internas transmitiendo de este modo una orden de «no-cambio» a los biestables R/S.

Esta es una característica muy importante porque solo requiere que sean programados los estados o salidas de los términos de transición. Los términos que no producen un cambio de estado ni afectan a la salida no están programados en el FPLS gracias a la característica de «no-cambio» de los biestables R/S cuando R=S=0. La figura 5 muestra un ejemplo de esta característica.

Las entradas de los biestables S/R y las salidas de los registros de estado y de salida están determinadas por las salidas de la CAPROM (funciones «AND» de las entradas y del estado actual) como se muestra en la tabla de programa de la figura 4. El estado siguiente de cada bit será 0 para L, 1 para H y no cambiará para «-». La línea $\overline{PR}/\overline{OE}$ del FPLS puede utilizarse como una señal de puesta a 1 asíncrona o para desinhibir las funciones de salida según la opción programada por el usuario.

La función completa se halla integrada en un solo circuito: el 82S104 (salidas en colector abierto) o el 82S105 (salidas de tres estados).

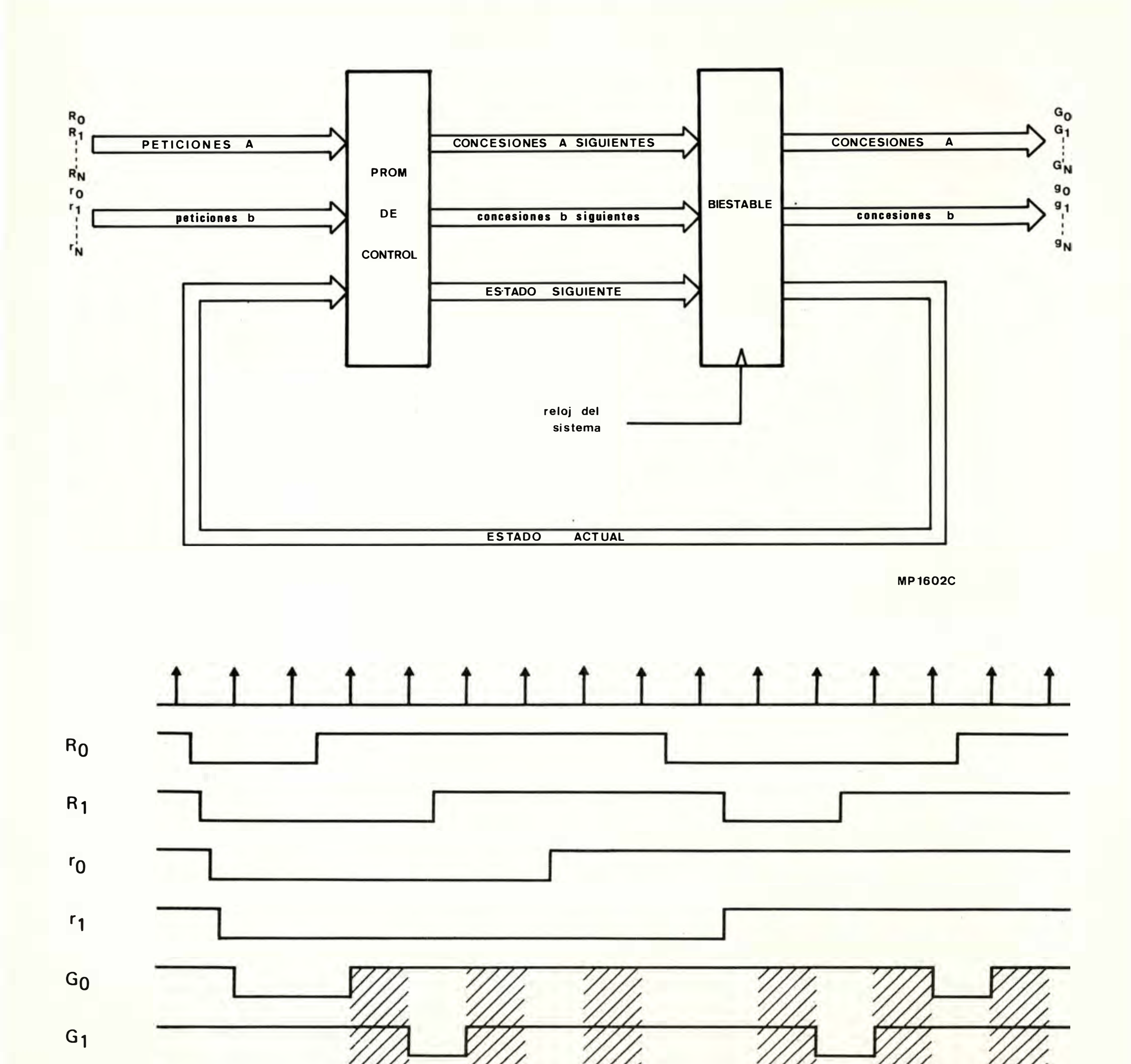


Figura 2. Controlador diseñado según el modelo de un autómata de Mealy.

a) Las peticiones A y b (R_N, r_N) junto con el estado actual determinan, a través de la PROM de control, el estado siguiente de las concesiones (G_N, g_N).

b) Las peticiones R_0, R_1, r_0 y r_1 pasan a nivel bajo durante el mismo período de reloj. El régimen de prioridades que determina el orden de expedición de las concesiones, así como las áreas sombreadas de protección, se hallan programadas en el interior de la PROM de control. Obsérvese que las líneas de petición A y b y el estado actual que entran en la PROM deben guardar un cierto tiempo de establecimiento igual o mayor que el tiempo de activación del biestable más el tiempo de acceso de la PROM

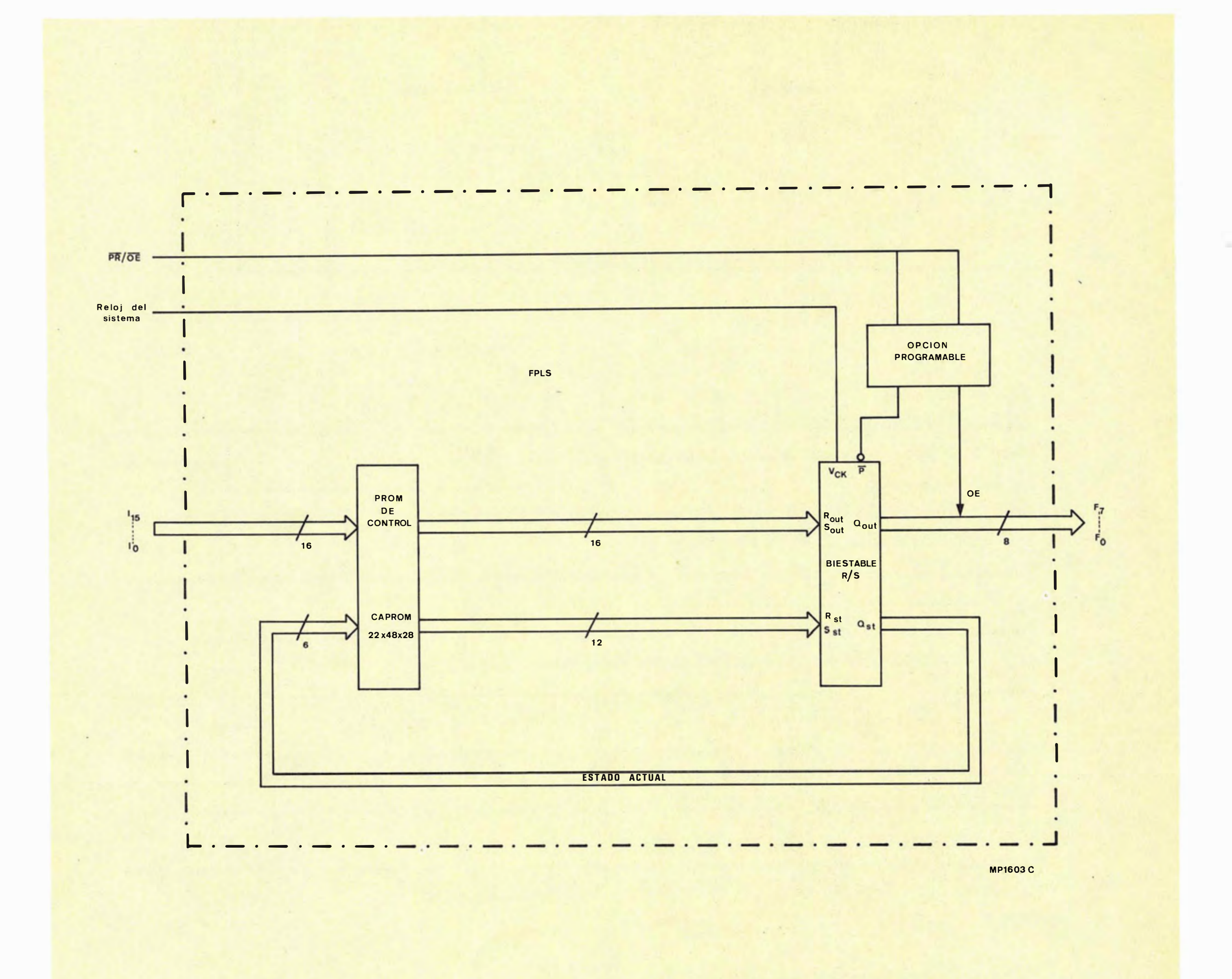
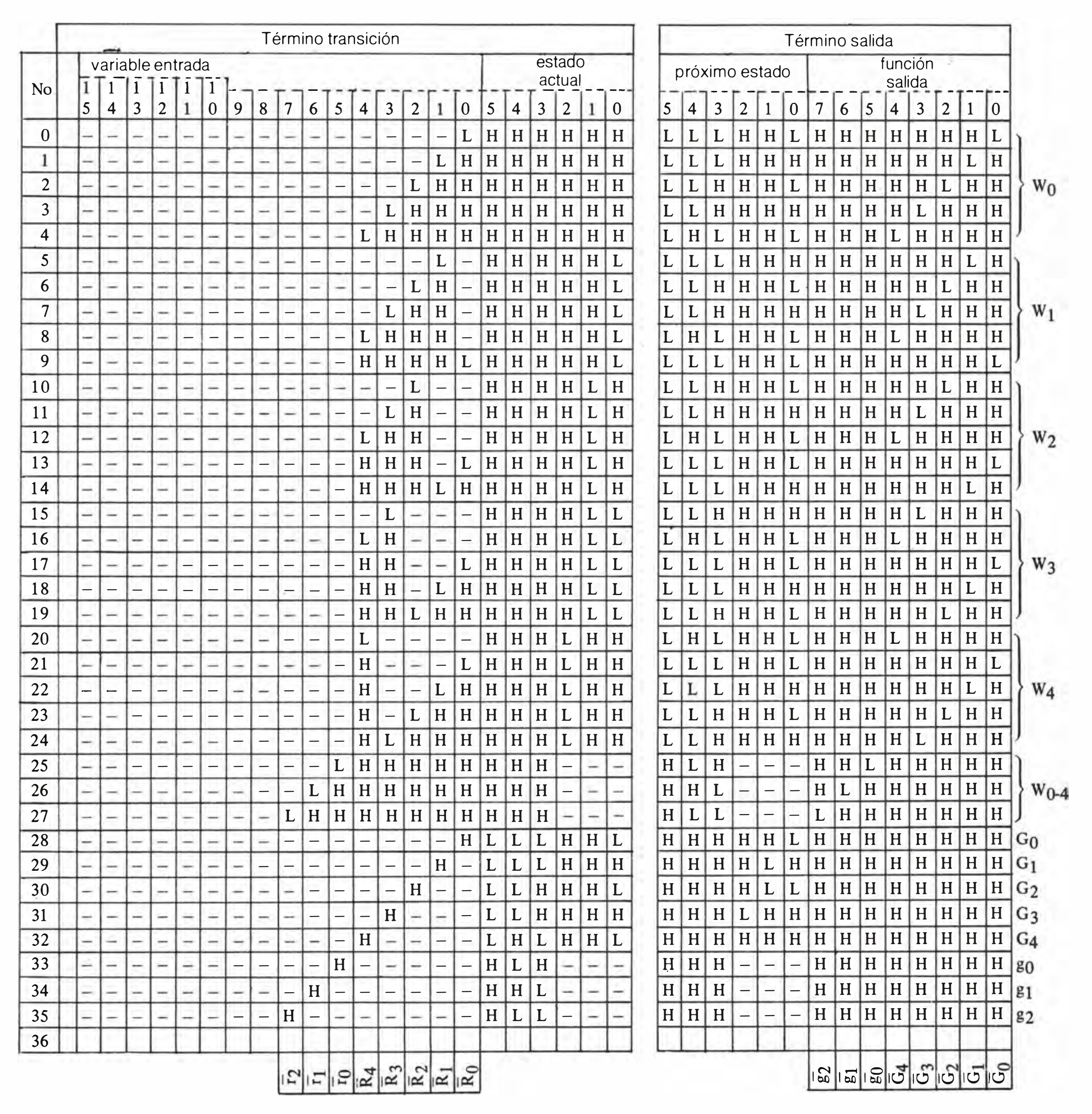


Figura 3. Diagrama de bloques de un circuito integrado único FPLS.



No	Término transición																						Término salida														
	variable entrada																estado actual						próximo estado						función salida								
	I15	I14	I13	I12	I11	I10	9	8	7	6	5	4	3	2	1	0	5	4	3	2	1	0	5	4	3	2	1	0	7	6	5	4	3	2	1	0	
0	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	L	H	H	H	H	H	H	L	L	L	H	H	L	H	H	H	H	H	H	H	L	W0
1	–	–	–	–	–	–	–	–	–	–	–	–	–	–	L	H	H	H	H	H	H	H	L	L	L	H	H	H	H	H	H	H	H	H	L	H	W0
2	–	–	–	–	–	–	–	–	–	–	–	–	–	L	H	H	H	H	H	H	H	H	L	L	H	H	H	L	H	H	H	H	H	L	H	H	W0
3	–	–	–	–	–	–	–	–	–	–	–	–	L	H	H	H	H	H	H	H	H	H	L	L	H	H	H	H	H	H	H	H	L	H	H	H	W0
4	–	–	–	–	–	–	–	–	–	–	–	L	H	H	H	H	H	H	H	H	H	H	L	H	L	H	H	L	H	H	H	L	H	H	H	H	W0
5	–	–	–	–	–	–	–	–	–	–	–	–	–	–	L	–	H	H	H	H	H	L	L	L	L	H	H	H	H	H	H	H	H	H	L	H	W1
6	–	–	–	–	–	–	–	–	–	–	–	–	–	L	H	–	H	H	H	H	H	L	L	L	H	H	H	L	H	H	H	H	H	L	H	H	W1
7	–	–	–	–	–	–	–	–	–	–	–	–	L	H	H	–	H	H	H	H	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	W1
8	–	–	–	–	–	–	–	–	–	–	–	L	H	H	H	–	H	H	H	H	H	L	L	H	L	H	H	L	H	H	H	L	H	H	H	H	W1
9	–	–	–	–	–	–	–	–	–	–	–	H	H	H	H	L	H	H	H	H	H	L	L	L	L	H	H	L	H	H	H	H	H	H	H	L	W1
10	–	–	–	–	–	–	–	–	–	–	–	–	–	L	–	–	H	H	H	H	L	H	L	L	H	H	H	L	H	H	H	H	H	L	H	H	W2
11	–	–	–	–	–	–	–	–	–	–	–	–	L	H	–	–	H	H	H	H	L	H	L	L	H	H	H	H	H	H	H	H	L	H	H	H	W2
12	–	–	–	–	–	–	–	–	–	–	–	L	H	H	–	–	H	H	H	H	L	H	L	H	L	H	H	L	H	H	H	L	H	H	H	H	W2
13	–	–	–	–	–	–	–	–	–	–	–	H	H	H	–	L	H	H	H	H	L	H	L	L	L	H	H	L	H	H	H	H	H	H	H	L	W2
14	–	–	–	–	–	–	–	–	–	–	–	H	H	H	L	H	H	H	H	H	L	H	L	L	L	H	H	H	H	H	H	H	H	H	L	H	W2
15	–	–	–	–	–	–	–	–	–	–	–	–	L	–	–	–	H	H	H	H	L	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	W3
16	–	–	–	–	–	–	–	–	–	–	–	L	H	–	–	–	H	H	H	H	L	L	L	H	L	H	H	L	H	H	H	L	H	H	H	H	W3
17	–	–	–	–	–	–	–	–	–	–	–	H	H	–	–	L	H	H	H	H	L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	L	W3
18	–	–	–	–	–	–	–	–	–	–	–	H	H	–	L	H	H	H	H	H	L	L	L	L	L	H	H	H	H	H	H	H	H	H	L	H	W3
19	–	–	–	–	–	–	–	–	–	–	–	H	H	L	H	H	H	H	H	H	L	L	L	L	H	H	H	L	H	H	H	H	H	L	H	H	W3
20	–	–	–	–	–	–	–	–	–	–	–	L	–	–	–	–	H	H	H	L	H	H	L	H	L	H	H	L	H	H	H	L	H	H	H	H	W4
21	–	–	–	–	–	–	–	–	–	–	–	H	–	–	–	L	H	H	H	L	H	H	L	L	L	H	H	L	H	H	H	H	H	H	H	L	W4
22	–	–	–	–	–	–	–	–	–	–	–	H	–	–	L	H	H	H	H	L	H	H	L	L	L	H	H	H	H	H	H	H	H	H	L	H	W4
23	–	–	–	–	–	–	–	–	–	–	–	H	–	L	H	H	H	H	H	L	H	H	L	L	H	H	H	L	H	H	H	H	H	L	H	H	W4
24	–	–	–	–	–	–	–	–	–	–	–	H	L	H	H	H	H	H	H	L	H	H	L	L	H	H	H	H	H	H	H	H	L	H	H	H	W4
25	–	–	–	–	–	–	–	–	–	–	L	H	H	H	H	H	H	H	H	–	–	–	H	L	H	–	–	–	H	H	L	H	H	H	H	H	W0-4
26	–	–	–	–	–	–	–	–	–	L	H	H	H	H	H	H	H	H	H	–	–	–	H	H	L	–	–	–	H	L	H	H	H	H	H	H	W0-4
27	–	–	–	–	–	–	–	–	L	H	H	H	H	H	H	H	H	H	H	–	–	–	H	L	L	–	–	–	L	H	H	H	H	H	H	H	W0-4
28	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	H	L	L	L	H	H	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	G0
29	–	–	–	–	–	–	–	–	–	–	–	–	–	–	H	–	L	L	L	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	G1
30	–	–	–	–	–	–	–	–	–	–	–	–	–	H	–	–	L	L	H	H	H	L	H	H	H	H	L	L	H	H	H	H	H	H	H	H	G2
31	–	–	–	–	–	–	–	–	–	–	–	–	H	–	–	–	L	L	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	G3
32	–	–	–	–	–	–	–	–	–	–	–	H	–	–	–	–	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	G4
33	–	–	–	–	–	–	–	–	–	–	H	–	–	–	–	–	H	L	H	–	–	–	H	H	H	–	–	–	H	H	H	H	H	H	H	H	g0
34	–	–	–	–	–	–	–	–	–	H	–	–	–	–	–	–	H	H	L	–	–	–	H	H	H	–	–	–	H	H	H	H	H	H	H	H	g1
35	–	–	–	–	–	–	–	–	H	–	–	–	–	–	–	–	H	L	L	–	–	–	H	H	H	–	–	–	H	H	H	H	H	H	H	H	g2
36																																					
									$\bar{r}_2$	$\bar{r}_1$	$\bar{r}_0$	$\bar{R}_4$	$\bar{R}_3$	$\bar{R}_2$	$\bar{R}_1$	$\bar{R}_0$													$\bar{g}_2$	$\bar{g}_1$	$\bar{g}_0$	$\bar{G}_4$	$\bar{G}_3$	$\bar{G}_2$	$\bar{G}_1$	$\bar{G}_0$	

Figura 4. Tabla de programa de un FPLS actuando como un controlador de prioridad.

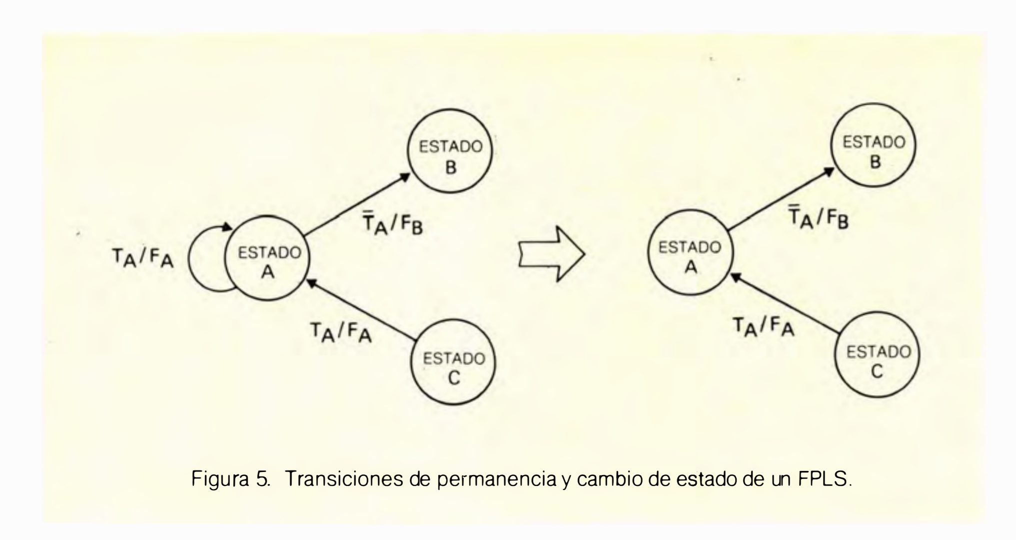


Figura 5. Transiciones de permanencia y cambio de estado de un FPLS.

Algoritmo de estados

La figura 6 muestra el diagrama circular de estados y todas las transiciones posibles entre estados de la estructura de prioridad LGLP. Los estados hexadecimales 3B,3C, 3D, 3E y 3F corresponden a los estados de espera W_{0-4}. En estos estados se produce la verificación de las peticiones de los procesadores A y b. La figura 6 ilustra una concesión típica al procesador A_1 en el estado 07_{16}. Mientras A_1mantenga activada su línea de petición, el estado siguiente será el 07_{16} y la salida permanecerá con G_1 activada y todas las demás líneas de concesión desactivadas. Al no producirse ningún cambio en el estado del autómata ni en las salidas de concesión, en esta transición no se requieren los vervicios de la CAPROM.

En cuanto el procesador A_1 desactive su línea de petición R_1 a 1, se producirá una transición al estado 3D desactivándose todas las salidas de concesión. Como el procesador A_1 fue el último servido por el sistema de concesiones, tendrá ahora la prioridad más baja (LGLP) de las peticiones de clase A. En el estado de espera W_2, el procesador de prioridad más alta será el A_2 seguido en este orden por A_3, A_4, y A_0. Para cumplir la ley de prioridad LGLP, la secuencia de concesiones debe seguir la ecuación de estado $G_N \rightarrow W_{(N+1)}$ y los estados de espera, W_M, deben dirigir sus prioridades A para que el procesador A_M sea el poseedor de la mayor prioridad. A partir de A_M la prioridad decrece en el sentido de las agujas del reloj para llegar al estado de prioridad más baja $A_{(M-1)}$.

Cuando todas las peticiones A pendientes hayan sido atendidas, el controlador atenderá a las peticiones b. Eludiendo la ley de prioridad LGLP, las concesiones b deben volver al estado de espera en que se hallaba el autómata en el momento de la concesión. Debido a que la estructura de prioridad b es la misma para cada estado de espera, se requiere únicamente un sólo conjunto de términos de transición b.

Por ejemplo, una transición al estado de concesión g_2 (hex. 20-25) puede realizarse únicamente si no existen peitciones A, b_0 ó b_1 pendientes. Tomando el código binario del estado de espera 111XXX, donde X significa indiferente, el código de petición 01111111 transferirá el control al estado de concesión g_2 desde alguno de los estados de espera W_{0-4}. Es imprescindible que en el transcurso de esta transición los tres bits bajos del código de estado permanezcan invariables -proporcionan la dirección de retorno al estado de espera de partida. Cuando r_2 vuelve al nivel alto 1XXXXXXX, se produce una transición de retorno al anterior estado de espera, pasando a 1 los tres bits altos del código de estado y permaneciendo inalterados los tres bits bajos.

Todas las salidas y bits del código de estado se hallan inicialmente en estado 1 por medio de la función de inicialización (opcional). Las líneas de concesión pasarán a nivel bajo únicamente cuando se produzca una concesión y volverán a 1 al regresar a un estado de espera.

La figura 7 (a) muestra el circuito completo del controlador.

DISEÑO DEL CONTROLADOR UTILIZANDO LA CONFIGURACIÓN PROM-/BIESTABLES

El mismo controlador puede realizarse utilizando memorias PROM y biestables discretos siguiendo los mismos diagramas de estado del FPLS, excepto que los términos de transición al propio estado de partida deben ser ahora programados. Para programar todas las transiciones de permanencia y cambio de estado se requieren dos campos de memoria: las memorias PROM de peticiones A (2K × 6) y la PROM de peticiones b (64 × 3). El diagrama completo del circuito se muestra en la figura 7 (b).

Las memorias PROM de peticiones A determinan en todo momento el estado siguiente del autómata (N_{0-5}), excepto cuando no existen peticiones A pendientes y se produce una petición b, o si el autómata se encuentra en un estado de concesión b. En estos casos la PROM de peticiones b ejerce el control del autómata.

Las líneas de control de las concesiones se obtienen de la decodificación de las líneas del estado siguiente y son registradas seguidamente en dos cuádruples biestables de salida. Esta organización PROM/biestables es conceptualmente la misma que la mostrada en la figura 2.

Evaluación de los dos diseños.

Como puede verse en los diagramas lógicos, el FPLS ofrece significativas ventajas sobre el circuito constituido por componentes discretos en el diseño del autómata. La comparación de ambas alternativas en la construcción del controlador de prioridad se muestra en la tabla 1. El FPLS presenta claras ventajas al reducir considerablemente el tamaño de la placa de PC y el consumo del circuito. Además, debido a los diferentes componentes discretos del circuito tradicional PROM/Biestables su velocidad resulta aproximadamente un 50% inferior a la alcanzada por el FPLS.

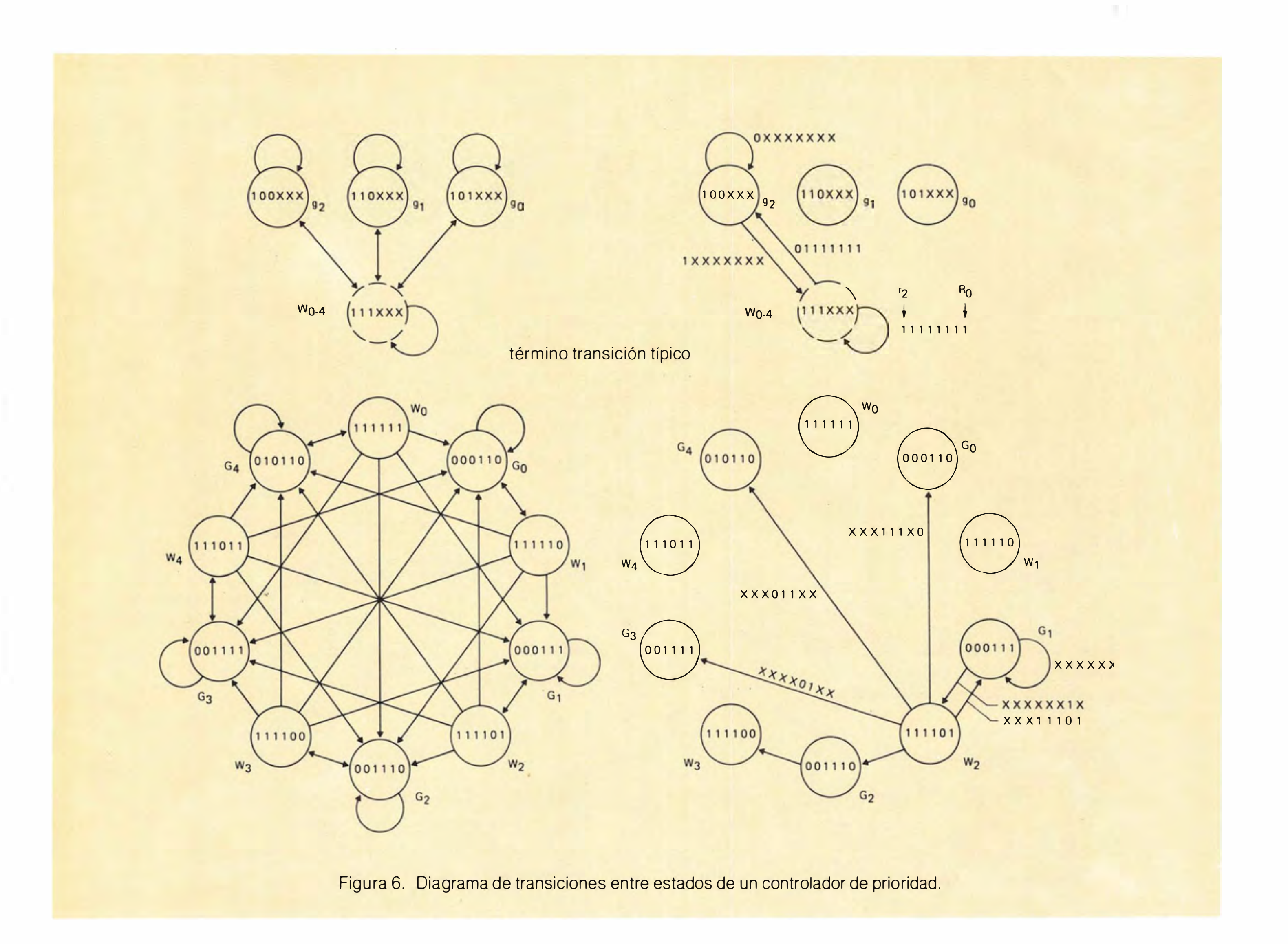


Figura 6. Diagrama de transiciones entre estados de un controlador de prioridad.

Tabla 1. Comparación de los dos diseños del controlador.

Parámetro	FPLS	FROM/Biestables
Componentes	1 circuito integrado	≈19 circuitos integrados
Dimensiones PCB	51 mm^2	542 mm^2
Potencia	0,65 W	2,85 W
Velocidad	90 ns por estado	159 ns por estado
tensión	+5 V	+5 V

REFERENCIAS

1. W.W. Plumber: «Asynchronous Arbiters», IEEE Transactions on Computers, Enero 1972, pp.37-42.
2. R.C. Pearce, J.A. Field y W.D. Little: «Asynchronous Arbiter Module», IEEE Transactions on Computers, Septiembre 1975, pp. 931-933.
3. K. Soe Hojberg: «An Asynchronous Arbiter Resolves Resource Allocation Conflicts on a Random Priority Basis», Computer Design, Agosto 1977, pp. 120-123.
4. K. Soe Hojberg: «One-Step Programmable Arbiter for Multiprocessors», Computer Design, Abril 1978, pp. 154-158.

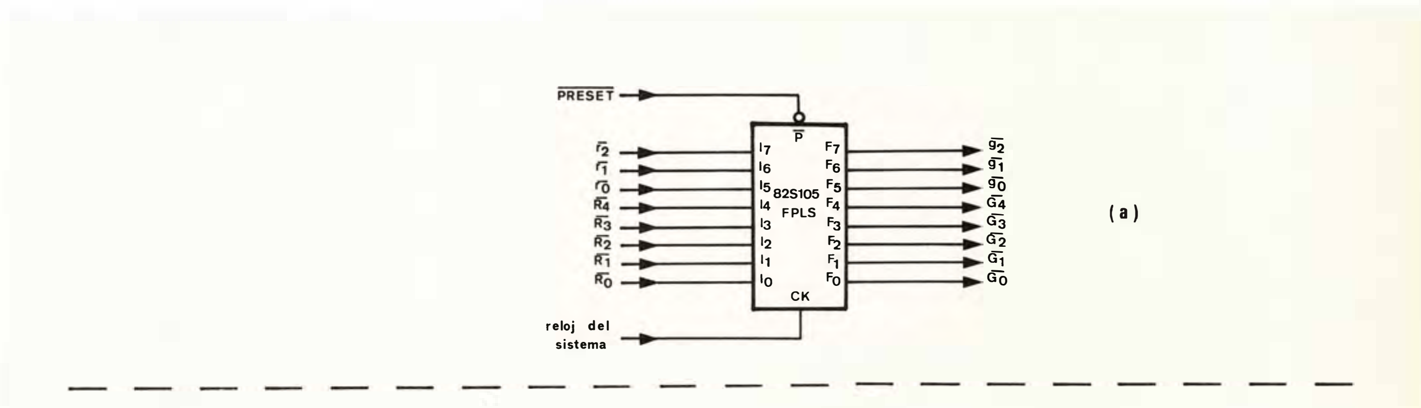


Figura 7. Diagrama lógico del controlador: a) utilizando un FPLS; b) utilizando memorias PROM y biestables.

UNIDAD DE MEMORIA ACTIVA DE UN MICROORDENADOR CON EL MICROPROCESADOR 2650

Todo microordenador necesita una unidad de memoria activa (RAM) para memorizar datos, resultados y programas de aplicación general (editor, traductores, correctores, etc.).

La capacidad de memoria necesaria puede ser variable según la aplicación del microordenador. Por ello, es interesante diseñar una placa de memoria de una capacidad submúltiplo de la máxima capacidad del ordenador.

En este artículo se describe una placa de memoria de acceso aleatorio activa (RAM) de 4K × 8 diseñada adecuadamente para ser colocada en cualquier parte de la memoria de un microordenador realizado con el microprocesador 2650.

Figura 1. Diagrama de bloques del sistema de memoria de acceso aleatorio activa (RAM) de 4K × 8.

DIAGRAMA DE BLOQUES

En la figura 1 se representa el diagrama de bloques del sistema, que consta de los siguientes elementos:

a) La unidad de memoria propiamente dicha constituida por bloques funcionales en circuito integrado del tipo 2102-1. Cada uno de estos bloques contiene una memoria de acceso aleatorio activa estática (1) de 1K × 1 en tecnología MOS canal N.
b) Un conjunto de amplificadores bidireccionales que permiten el acoplamiento de la unidad de memoria a la barra de datos del microordenador.
c) Un circuito de selección programable que recibe como entradas las variables de dirección y las señales de control del microprocesador y genera las variables de dirección y las señeles de control de la unidad de memoria y la variable de inhibición de los amplificadores bidireccionales.

En sucesivos apartados describiremos cada uno de estos elementos.

2. DESCRIPCION DEL SISTEMA

En la figura 2 se representa el esquema de la memoria.

2.1. Unidad de memoria

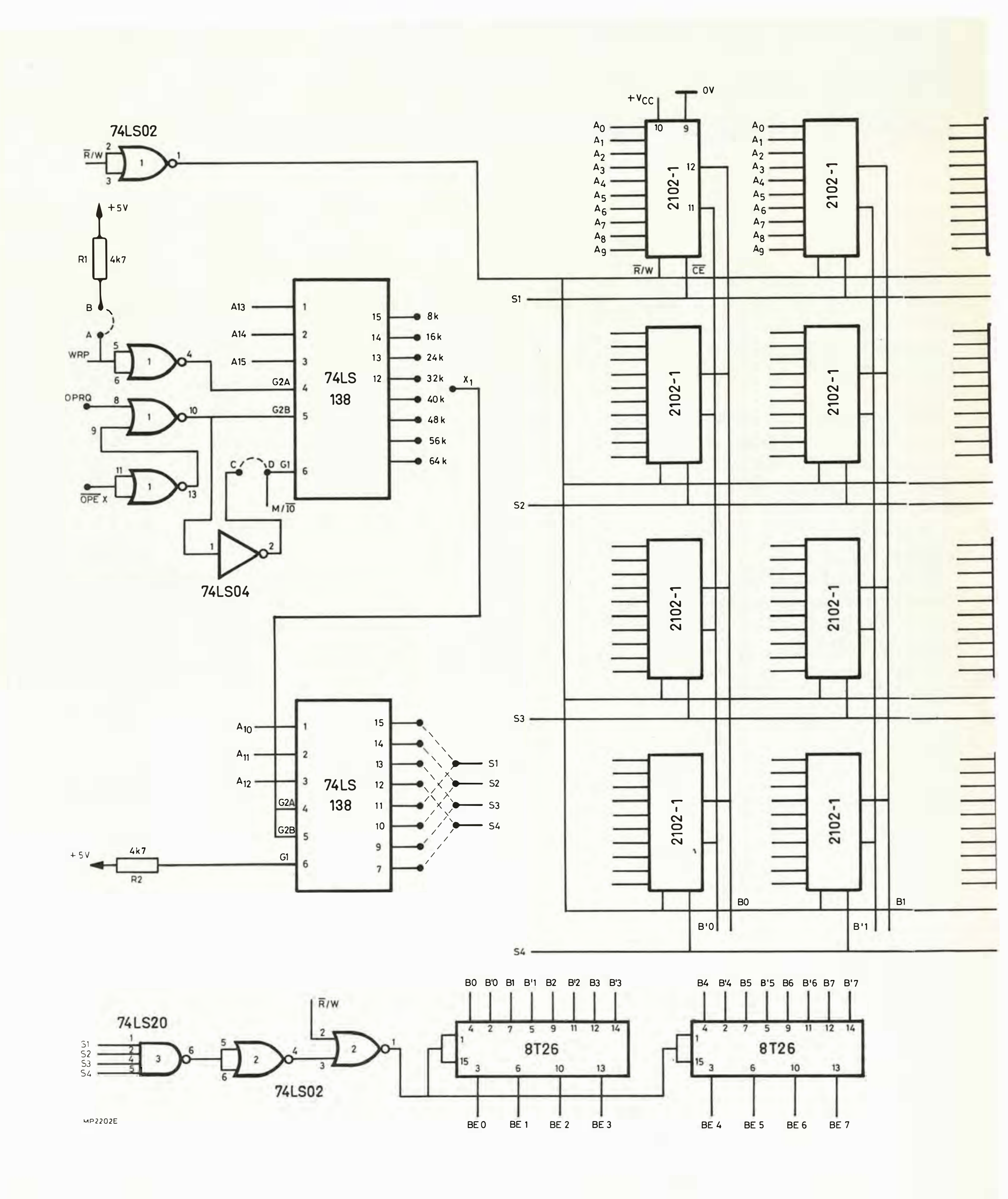
Está constituida por treinta y dos circuitos integrados del tipo 2102-1 (CI_1 a CI_{32}) adecuadamente acoplados entre sí (figura 2).

En la figura 3 se representa el símbolo lógico de este circuito que constituye una memoria de acceso aleatorio activa (RAM) estática en tecnología MOS canal N de 1K×1 que posee los siguientes terminales:

a) Diez variables de dirección A_0 a A_9 para poder seleccionar todas las posiciones de la memoria.
b) Un terminal de selección de la operación de escritura lectura R/W.
c) Una variable de inhibición CE que pone en tercer estado el terminal de salida cuando adopta el nivel lógico cero.
d) Un terminal de salida y otro de entrada independientes para lectura y escritura de la memoria respectivamente.

Para una mayor información de los distintos parámetros consultar las hojas de características del circuito 2102-1 (2).

Por ser el circuito integrado 2102-1 una memoria de 1K × 1 y desear obtener un módulo de 4K × 8 se han de disponer cuatro grupos de ocho circuitos cada uno (1K × 8)


74LS02
R/W
+5V
R1
4k7
B
A
WRP
OPRQ
OPE X
A13
A14
A15
G2A
G2B
74LS
138
8k
16k
24k
32k
40k
48k
56k
64k
X1
C
D
G1
M/IO
74LS04
A10
A11
A12
S1
S2
S3
S4
+5V
4k7
R2
+VCC
0V
2102-1
CE
B0
B1
B'0
B'1
74LS20
8T26
B0 B'0 B1 B'1 B2 B'2 B3 B'3
B4 B'4 B5 B'5 B6 B'6 B7 B'7
BE 0
BE 1
BE 2
BE 3
BE 4
BE 5
BE 6
BE 7
MP2202E

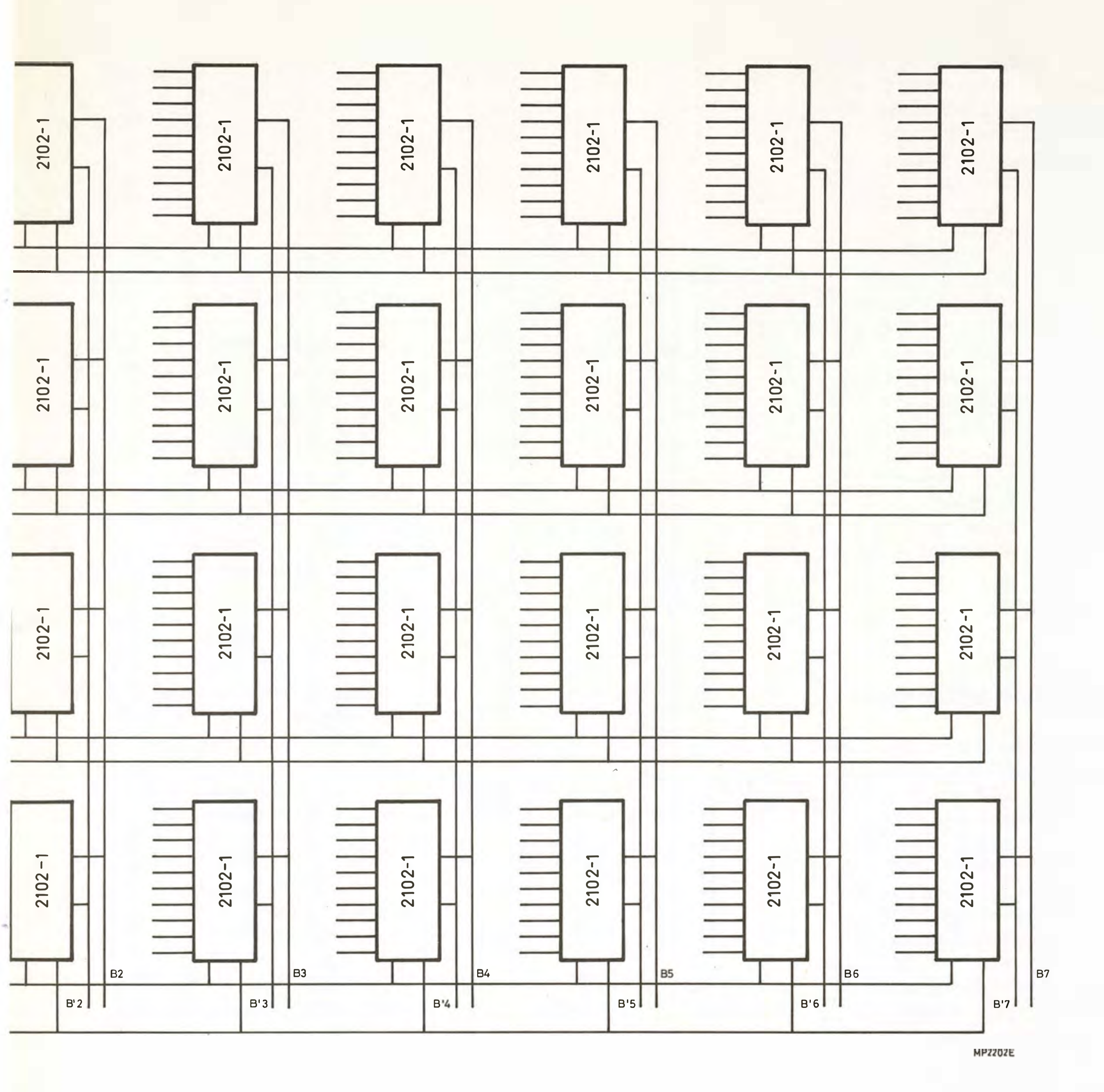


Figura 2 Esquema de la memoria

seleccionables independientemente. Además, se unen entre sí las entradas y las salidas de los circuitos que almacenan los bits de idéntico peso de los cuatro grupos. Los terminales de dirección A_0 a A_9 de todos los circuitos se conectan entre sí a los respectivos terminales del microprocesador (a través de amplificadores sistuados en la unidad central de proceso del microordenador). De igual forma se unen entre sí todos los terminales de control de escritura-lectura ($R/\overline{W}$ de todos los circuitos. La conexión común se conecta al terminal $\overline{R}/W$ del microprocesador a través de un inversor.

La entrada de inhibición ($\overline{CE}$) del circuito 2102-1 se utiliza para la selección del grupo 1K × 8 con el que se realiza la transferencia de información en una operación de escritura o de lectura. Los terminales $\overline{CE}$ de los circuitos de cada grupo se conectan entre sí y esta conexión común constituye la señal de selección del grupo S. Se obtienen así las cuatro señales de selección S_1, S_2, S_3 y S_4 que se conectan al circuito de selección programable que se describe en el apartado 2.3.

2.2. Amplificadores bidireccionales

La reducida cargabilidad de los terminales de entrada y salida de los bloques de memoria en tecnología MOS hace necesaria su conexión a la barra de datos del microordenador a través de amplificadores. Por tener que transferirse la información en ambos sentidos, cada bit de la barra de datos se conecta a la salida de un amplificador y a la entrada de otro cuyas entrada y salida respectivas se unen a los terminales correspondientes de los cuatro circuitos 2102-1 que almacenan los bits del mismo peso. Se utilizan para esta función dos circuitos integrados 8T26 (CI_{33} y CI_{34}) constituidos por cuatro amplificadores bidireccionales (receptor transmisor en cada uno de ellos). Todos los receptores y transmisores poseen una entrada de inhibición común (R/E para los receptores y D/E para los transmisores) que son activas (desinhiben) con un cero y un uno lógicos respectivamente. Ambos terminales (1 y 15, figura 2) se conectan entre sí y la conexión común al circuito de selección programable.

Para mayor información sobre el circuito 8T26 consultar las hojas de características indicadas en (3).

Figura 3. Símbolo lógico de la memoria de acceso aleatorio (RAM) estática 2102-1.

2.3. Circuito de selección programable

Este circuito ha de realizar las siguientes funciones.

a) Permitir que la unidad de memoria de 4K × 8 pueda ser colocada en cualquier parte de la memoria de 64 K.

b) Generar las señales de selección S_1, S_2, S_3 y S_4 de cada uno de los cuatro grupos de 1K × 8 que constituyen la unidad de 4K × 8.

c) Generar la señal de inhibición de los amplificadores bidireccionales.

Para reducir su complejidad y simplificar la programación, el circuito de selección está constituido fundamentalmente por dos circuitos decodificados octales (uno entre ocho) del tipo 74LS138 (CI_{35} y CI_{36}).

En la figura 4 se representa el símbolo lógico del circuito 74 LS138 que posee tres entradas de inhibición que se combinan interiormente para obtener la variable de inhibición del decodificador de acuerdo con la ecuación:

$$I = \overline{E}_1.\overline{E}_2.E_3$$

El decodificador está desinhibido cuando la varaible I adopta el nivel uno lógico.

El circuito CI_{35} decodifica las variables de dirección A_{13}, A_{14} y A_{15}. Por lo tanto, dividiendo la memoria de 64K en partes de 8K, denominadas páginas, la activación (nivel cero lógico) de una salida del circuito CI_{35} indica que la combinación de las variables A_{13}, A_{14} y A_{15} es la asignada a la página correspondiente. Pero esta activación debe producirse solamente cuando el microprocesador genera las señales de control adecuadas que indican que desea realizar una transferencia de información con la memoria. Por ello, estas señales actúan sobre las entradas de inhibición del decodificador a través del circuito combinacional adecuado.

Aunque esta memoria está especialmente diseñada para ser acoplada al microprocesador 2650, se pretendió en su concepción que lo fuese también directamente a otros microprocesadores que generasen un conjunto de señales de control diferentes. El resultado de ambos compromisos es el indicado en la figura 2 que describiremos seguidamente.

La señal WRP (impulso de escritura) se

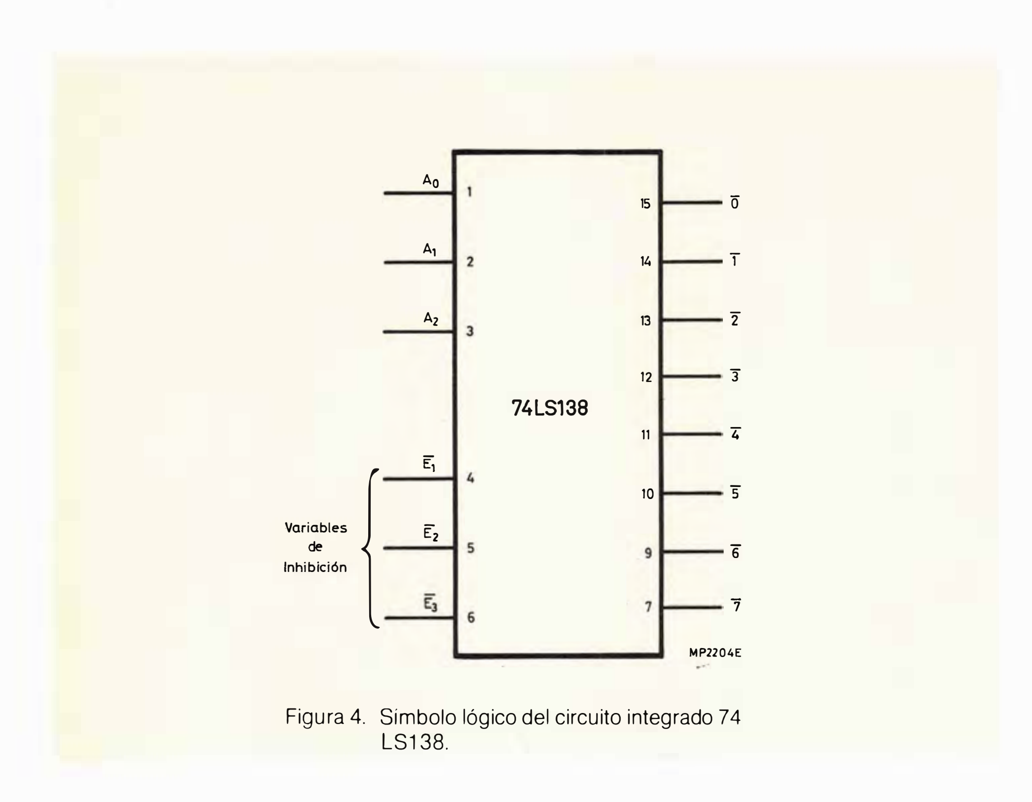


Figura 4. Simbolo lógico del circuito integrado 74 LS138.

aplica a la entrada $\overline{E}_1$ a través de una puerta NO-0 de dos entradas que actúa como inversor (situada en el circuito CI_{37}). En el caso de que dicha señal no exista, se coloca el puente AB que une las entradas de la puerta NO-0 a + 5 V a través de una resistencia de 4,7 kΩ.

La señal OPRQ actúa sobre la entrada $\overline{E}_2$ a través de una puerta NO-0 (CI_{37}). Cuando OPRQ pasa al nivel uno, la entrada E_2 conmuta al nivel cero. La otra entrada de la puerta NO-0 se conecta al exterior a través de una puerta NO-0 (CI_{37}) utilizada como inversor. El terminal correspondiente recibe el nombre de $\overline{\text{OPEX}}$ y cuando adopta el nivel cero lógico hace también que pase a dicho nivel la entrada $\overline{E}_2$ del decodificardor.

La variable M/$\overline{\text{IO}}$ se conecta a la entrada E_3 del decodificador que por lo tanto adopta el nivel uno lógico cuando el microprocesador ejecuta una instrucción de transferencia o de operación con la información contenida en una posición de la memoria. En el caso de que el microprocesador utilizado no posea instrucciones específicas de entrada-salida y no genere por lo tanto la señal M/IO, se realiza el puente CD que hace $E_3 = E_2$. Según en qué página se desee situar la memoria, ésta se debe deshinibir cuando se active una determinada entre las ocho salidas del decodificador (CI_{35}). Por ello, la primera programación del circuito de selección consiste en colocar un puentre entre el punto X_1 y la salida del decodificador correspondiente a la página que se desea situar a la memoria. El punto X_1 se une a las entradas E_1 y E_2 del otro decodificador (CI_{36}). La entrada E_3 de éste se conecta al nivel lógico uno (+ 5 V a través de una resistencia de 4,7kΩ).

Las entradas A_0, A_1 y A_2 de este último decodificador se conectan respectivamente a las variables A_{10}, A_{11} y A_{12} del microprocesador. Por lo tanto, si el punto X_1 se encuentra en estado cero pasará a dicho estado la salida del decodificador CI_{36} correspondiente a la combinación de las variables A_{10}, A_{11} y A_{12} presente a sus entradas. Cada salida puede ser utilizada para seleccionar un grupo de 1K × 8. Por ello, la segunda programación consiste en conectar las variables S_1, S_2, S_3 y S_4 a las salidas elegidas de este decodificador (CI_{36}).

El circuito de selección programable genera también la variable de inhibición de los amplificadores bidireccionales. Esta variable debe adoptar el nivel uno lógico solamente cuando el microprocesador trata de hacer una lectura de la memoria externa (lo cual viene indicado porque $\overline{R}$/W se encuentra en un nivel cero lógico) y precisamente en una de las posiciones programadas en la placa (lo cual viene indicado porque una de las variables S_1, S_2, S_3 ó S_4 se encuentra en nivel cero lógico).

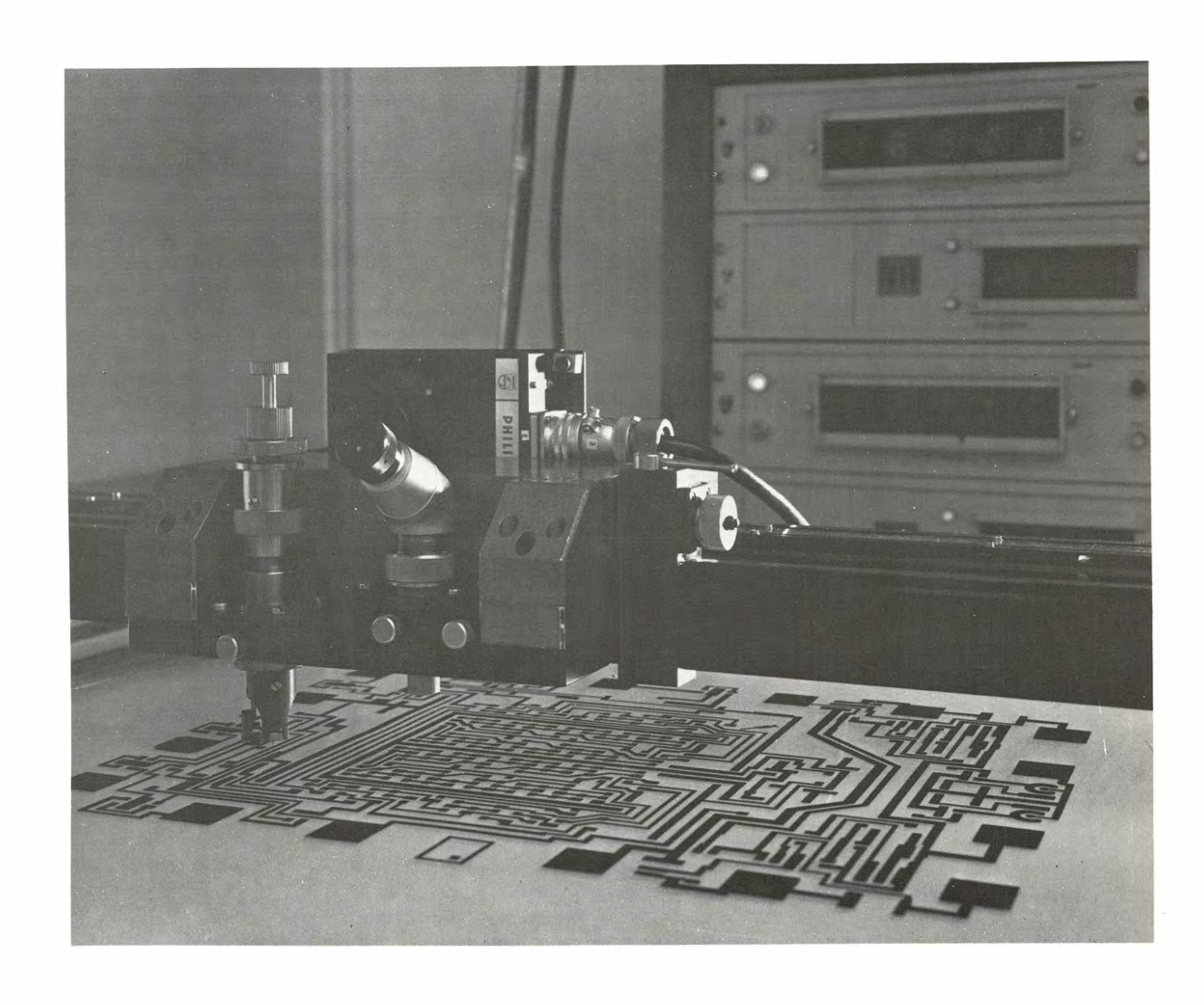
Por ello, la ecuación lógica de esta variable es:

$$I = \overline{\overline{R}/W + \overline{\overline{S_1 . S_2 . S_3 . S_4}}}$$

y se realiza mediante puertas colocadas en los circuitos integrados Ci_{38} y Ci_{39}.

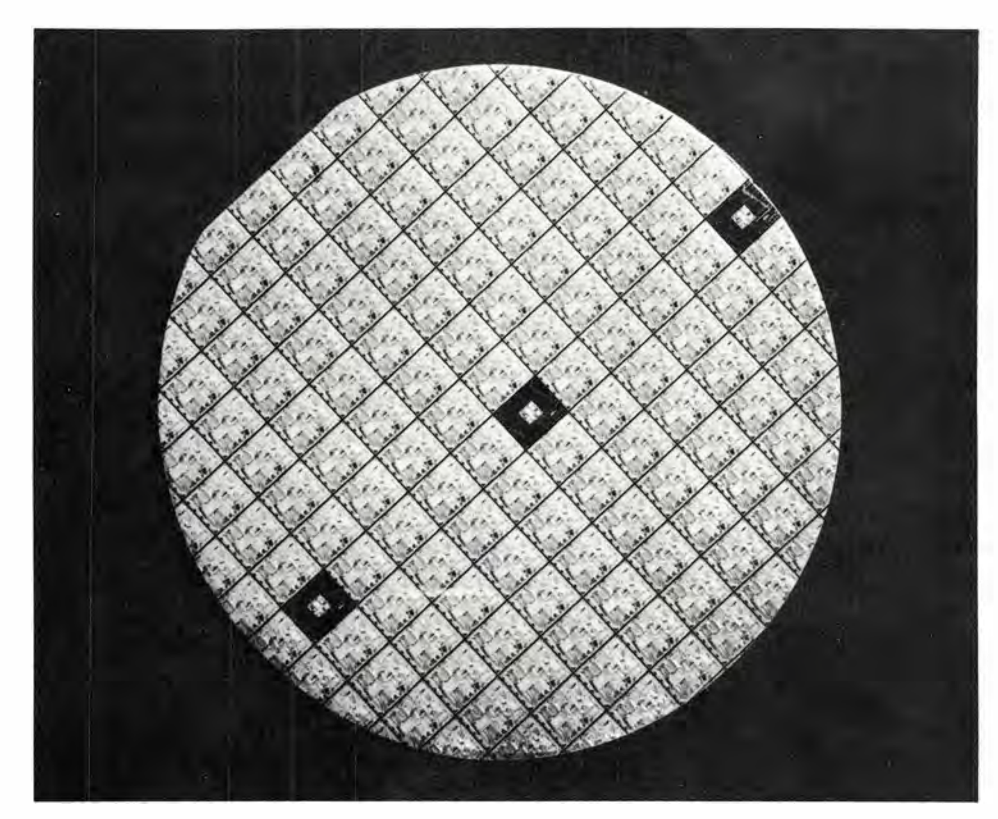
BIBLIOGRAFIA

1. E. Mandado. Memorias de acceso aleatorio activas estáticas. Apartado 7.3.2.1. Sistemas electrónicos digitales (3ª edición). Editorial Marcombo, 1979.
2. Signetics Memories data handbook 1978, página 187.
3. Signetic Logic TTL data handbook 1978, página 684.



Una etapa en la producción automática de un circuito integrado. Este dibujo es como si fuera el «plano base» del circuito, el cual se aplica posteriormente a la oblea de silicio después de haber sido reducido fotográficamente varias veces.

Oblea de 3 pulgadas que muestra microprocesadores Signetics en fase de fabricación. Obsérvese los tres modelos de prueba.



Microelectrónica.

¿El inicio de una revolución industrial?

Parte 1

El objetivo de esta publicación es proporcionar al lector una idea clara sobre la microelectrónica. Esta tecnología, desarrollada despues de la Segunda Guerra Mundial, tendrá sin duda algunas importantes consecuencias para la industria y la sociedad.

En este artículo, que se publicará en tres números consecutivos, se examina tanto la naturaleza de esta tecnología como sus consecuencias.

1. Introducción

La microelectrónica comprende cualquier tipo de electrónica que utiliza las propiedades de los sólidos y cuyas funciones se realizan en superficies muy pequeñas.

La gran atención que se presta actualmente a la microelectrónica se debe principalmente a los revolucionarios desarrollos realizados en electrónica digital, por lo que muchas veces se asocia el concepto de microelectrónica a desarrollos digitales. Sin embargo, queremos resaltar que la electrónica analógica también tiene su versión «micro».

Entre otros dispositivos, el microprocesador es un componente digital que, particularmente, ha producido polémicas sobre el significado y el papel de la microelectrónica en nuestra sociedad. Esta publicación proporciona las bases para poder orientar las discusiones sobre esta tecnología, llegando a conclusiones prácticas.

Electrónica digital y analógica

La diferencia básica entre la electrónica analógica y la digital radica en el comportamiento de sus componentes. Un componente electrónico digital puede adoptar dos estados diferentes que pueden definirse como encendido/apagado, que, a su vez, puede traducirse por verdadero/falso, presente/ausente o en el lenguaje de los ordenadores cero/uno. Por ejemplo, el dispositivo está en un estado con una tensión de 5 voltios y pasa al otro estado cuando la tensión es de 0 voltios.

Los componentes analógicos pueden operar en cualquier estado posible entre dos valores extremos; no se trata, como en el caso anterior, de elegir entre dos posibilidades diferentes, sino más bien es una variación contínua entre dos límites.

Como se puede suponer, el comportamiento de las señales analógicas se adapta mejor a los procesos basados en variables progresivas, como por ejemplo el sonido. Esto define ampliamente el campo de aplicación de la electrónica analógica. Los componentes analógicos encuentran también un campo de aplicación muy importante en comunicaciones.

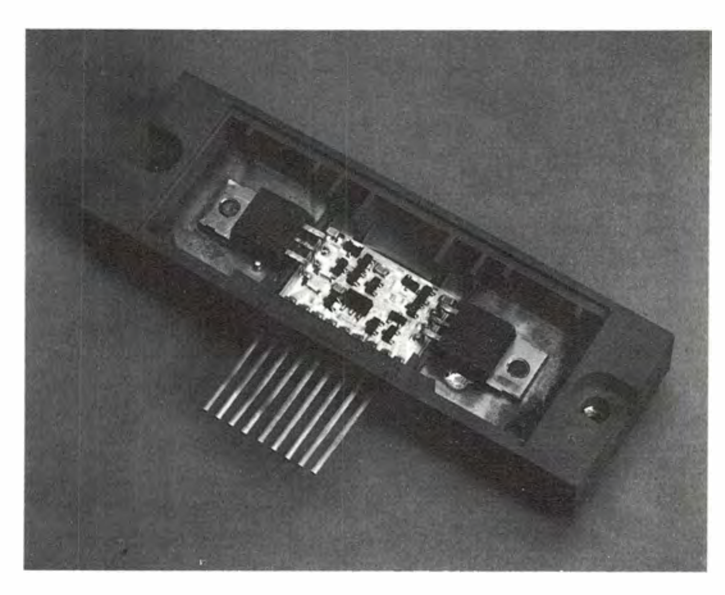
La electrónica digital, en cambio, se aplica principalmente en procesos basados en la presencia o ausencia de señales es decir, en la regulación y control de procesos e instalaciones. Además, la naturaleza bivalente de los componentes digitales está my ligada a los ordenadores y a sus equipos asociados.

2. Historia del desarrollo del circuito integrado

En 1947 el americaqno William Shockley inventó el transistor junto con sus compatriotas Bardeen y Bratain. Ello le proporcionó el premio Nobel en 1956, reconociéndose de esta forma la importancia de su descubrimiento aunque, incluso en ese año, pocas personas se dieron cuenta de que el transistor estaba anunciando una nueva era industrial.

Hasta entonces, el tubo de vacio (o válvula de radio) era la base de la industria electrónica en el mundo. El transistor (tecnología de estado sólido) reemplazó rápidamente la tecnología del vacio. Sus ventajas eran significativas: menor coste, menos consumo energético (en producción y utilización), mayor fiabilidad y menor desgaste. Todas estas ventajas se juntaron por asi decirlo en la característica predominante incluso en el primer transistor: sus dimensiones sorprendentemente pequeñas.

En el desarrollo histórico que describiremos brevemente a continuación, hay dos hechos importantes que deben mencionarse: la realización del circuito integrado (1959) en el que transistores y otros componentes se combinan para formar un conjunto funcional y unos 10 años más tarde el desarrollo del microprocesador, en el que se aplcian los principios de la tecnología de los ordenadores.



Interior de un módulo amplificador de potencia Hi-Fi de 80 W. El circuito integrado híbrido de película delgada del centro proporciona los circuitos preamplificador y excitador para los transistores de salida de potencia.

Desarrollo de la industria de los circuitos integrados.

Despues de un período en la Universidad de Stanford, Shockley que había efectuado su investigación en los laboratorios BELL, se trasladó a Palo Alto, junto a San Francisco, donde fundó la compañia Shockley Transistor Corp. en 1957.

Un año después, 8 operarios suyos, con la ayuda de una compañia de máquinas fotográficas situada en la zona (Fairchild Camera and Instrument Corp), fundaron una fábrica de semiconductores. Fairchild dió vida a su vez a otras compañías, la mayor parte creadas por personas que habían adquirido sus conocimientos en Fairchild. La gente bautizó a estas empresas como «fair children», destacando entre esta familia la compañia Intel Corporation fundada por Noyce y Moore, creadores del microprocesador en 1971.

El efecto de estos cambios en la industria electrónica queda reflejada en la relación que se da a continuación. De los fabricantes más importantes en 1950 (entonces tubos de vaco), solamente dos Philips y RCA, han seguido el cambio tecnológico.

Válvulas de Radio (1950)	*Circuitos Integrados (1979)*
1. RCA	*1. Texas Instruments*
2. Sylvania	*2. Philips Signetics*
3. Philips	*3. National Semiconductors*
4. General Electric	*4. Motorola*
5. Raytheon	*5. Intel*
6. Westinghouse	*6. Fairchild*
7. Amperex	*7. Nippon Electric*
8. National Video	*8. Hitachi*
9. Rauland	*9. RCA*
10. Eimac	*10. Toshiba*

Si se considerasen los microprocesadores por separado, aislándolos de los restantes circuitos integrados, la lista cambiaría nuevamente.

Las posibilidades de los componentes electrónicos digitales están muy relacionadas con los requisitos funcionales de la industria de los ordenadores. La historia del desarrollo de los ordenadores se remonta a 1900. Fue en la primera cuarta parte de siglo cuando se estableció el enlace definitivo con la electrónica y se comenzó a construir ordenadores electrónicos en los que las válvulas de radio realizaban la función de conmutación conexión/desconexión de relés electromecánico. La industria de los ordenadores inició su gran desarrolo a escala mundial a partir de los años 50 como

consecuencia de disponer de circuitos pequeños rápidos, fiables y económicos. A su vez, la posibilidad de aplicarlos a una industria mundial de rápido crecimiento, facilitó en gran manera el desarrollo de la microelectrónica digital. No debe desestimarse el papel del gobierno de los Estados Unidos en este desarrollo ya que después de la Segunda Guerra Mundial, los programas de investigación estuvieron orientados hacia la consecución de componentes electrónicos miniatura para control de armamentos, aviación y viajes aeroespaciales. Descubrimientos tales como los de Shockley y, posteriormente, de Noyce y Kilby (el C.I.) tuvieron lugar en un clima que hacía predecible tales descubrimientos.

En Europa también existe una relación equivalente entre industria electrónica y fabricantes de componentes. Sin embargo, en este caso nos estamos refiriendo fundamentalmente a una industria de equipos de consumo, entre la que destacan básicamente los aparatos de radio y televisión, seguidos por los equipos de telecomunicación.

Por su propia naturaleza, estos productos se realizan más con componentes electrónicos analógicos que digitales. Las señales de entrada o salida de equipos de radio y audio son señales analógicas que, dentro de determinados límites, pueden aceptar todos los valores.

Por lo tanto, es obvio utilizar también componentes analógicos para el proceso interno de las señales en este tipo de equipos. No obstante, el alto grado de integración de los componentes digitales permite resolver aplicaciones en equipos de consumo, haciendo posible la resolución de funciones analógicas con técnicas digitales.

El empleo de la electrónica digital en equipos de consumo se realiza principalmente en dos campos:

a) La conversión analógico/digital permite procesar señales analógicas transformándolas en digitales a costos económicamente aceptables en muchas aplicaciones, como consecuencia del alto grado de integración en los circuitos integrados digitales.

b) Desarrollo de nuevas funciones en equipos existentes mediante la electrónica digital. Por ejemplo, los sistemas de teletexto y viewdata no son más que una extensión de las aplicaciones desarrolladas hasta la fecha en televisión.

Como consecuencia de este desarrollo, en corto plazo equipos tradicionalmente analógicos serán totalmente digitales, pudiendo combinar funciones digitales típicas (control, memoria, etc.) con funciones analógicas (amplificadores, etc.)

Philips ha dado ya los primeros pasos en esta dirección con su tecnología I^2L.

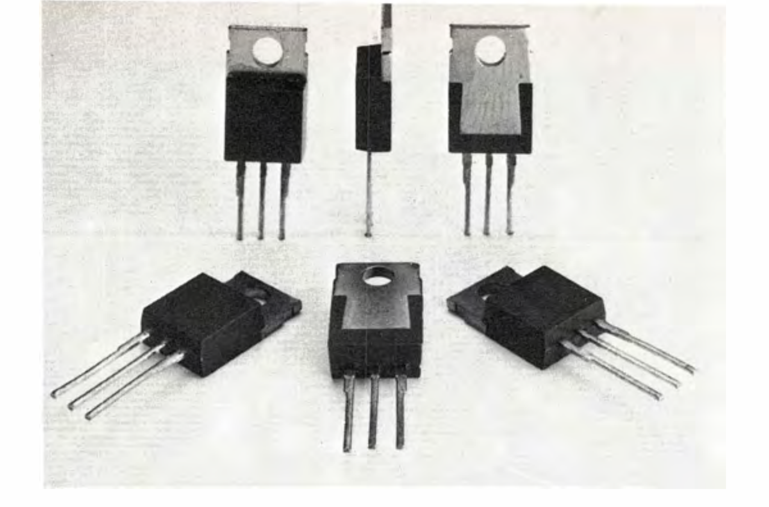
Desarrollo de la tecnología del circuito integrado

El paso más importante en el desarrollo de la tecnología del estado sólido fue la combinación de varios componentes de un circuito en la misma superficie. En otras palabras, elementos discretos (como por ejemplo transistores) se integraron en un solo circuito que podía ser tratado como un único componente, naciendo de esta forma el circuito integrado.

El desarrollo de los circuitos integrados resulta fácil de explicar en forma retrospectiva. El secreto del transistor de Shockley reside en sus tres capas de material superpuestas con cargas positiva, negativa y positiva, unida cada una al extremo de la otra. (La secuencia negativa, positiva, negativa es igualmente posible).

En esta época ya existían los diodos de estado sólido (constituidos por dos capas de material) y era

Estos transistores tienen valores nominales de potencia desde 150 W hasta 1 W. Se puede aumentar ésta fijando las partes de metal del transistor a un «radiador»



conocido que la resistencia de la superficie entre las capas podía modificarse desde el exterior. El descubrimiento de Shockley y sus colaboradores está relacionado con el hecho de que en el caso de tres capas, las superficies de contacto influyen una sobre la otra, es decir los cambios de resistencia de un área de contacto producen un cmabio de resistencia en la otra área. Se habló de transferencia de resistencia (Transfer resistor), de donde surgió la palabra transistor.

El primer circuito integrado lo patentó Jack Kilby en 1959. El éxito del circuito integrado se debió principalmente a la técnica «planar» desarrollada en Fairchild. En esta técnica, las diferentes áreas del transistor (positiva, negativa, positiva por ejemplo) están en el mismo plano.

Las tres capas son superficies delgadas incrustadas en el material de base; el borde superior de cada placa proporciona una posibilidad de contacto, con lo que se simplifica la interconexión de los transistores.

Esto se realiza partiendo de un substrato de silicio sobre el que se construyen los elementos del circuito mediante complicados procesos de grabado, oxidación y difusión; el circuito completo se obtiene interconectando o aislando las distintas zonas.

Desde que se obtuvieron los primeros resultados con la técnica planar, se ha producido un rápido desarrollo en el cual el número de transistores que se incluyen en un solo chip se ha doblado todos los años. Como consecuencia, ha sido posible resolver funciones cada vez más complicadas mediante circuitos integrados, culminando esta evolución con la producción del primer microprocesador. Desde entonces, la atención se ha centrado principalmente en los microprocesadores y microordenadores monochip, lo cual resulta injusto ya que estos componentes representan solamente una parte de las posibilidades de la microelectrónica.

Por lo tanto, continuaremos hablando de circuitos integrados o en términos más amplios de microelectrónica, ya que en realidad el microprocesador no es más que un circuito integrado con más posibilidades específicas.

Las diversas fases en el desarrollo de los circuitos integrados según la escala de integración alcanzada, son las siguientes:

- Small Scale Integration (SSI: hasta 100 componentes por circuito integrado.
- Medium Scale Integration (MSI): entre 100 y 1000 componentes por circuito integrado.
- Large Scale Integration (LSI): entre 100 y 100.000 componentes por circuito integrado.

A nivel de laboratorio, la tecnología está ya en su fase próxima: Very Large Scale Integration (VLSI). En este sentido, se piensa actualmente en circuitos con más de 1 millón de componentes, si bien resulta difícil prever durante cuanto tiempo se mantendrá el poder duplicar anualmente el número de componentes por circuito integrado.

En esta línea de pensamiento, la tecnología VLSI tendrá significado solamente en combinación con los microprocesadores/microordenadores. Esto es debido al hecho de que a medida que la complejidad del circuito aumenta, sus aplicaciones se hacen más específicas y por lo tanto las series a producir menores, con el consiguiente incremento en los costes proporcionales de desarrollo por unidad producida. Esto hará que por encima de un cierto grado de complejidad, los sobrecostes por pequeña serie transformen los proyectos en antieconómicos. Los microprocesadores y microordenadores son una excepción a esta regla, ya que como se verá en el próximo número (Revista Miniwatt, Vol. 19, Núm. 9) están construidos como componentes estándar.



PARA APLICACIONES CON 8048/8748/8035/8021

MCT 48 – 1E : Simulador y analizador en tiempo real del 8048 / 8748
MCT 48 – 2E : Teclado y memoria RAM de 2K octetos
MCT 48 – 3E : Programador de 2708 / 2716 / 8748
MCT 48 – 4E : Sistema de desarrollo con monitor, editor, y ensamblador

Se pueden efectuar distintas combinaciones según la aplicación:

MCT 48-1E + MCT 48-2E : Puesta a punto de un programa en tiempo real
Programación en hexadecimal

MCT 48-1E + MCT 48-4E : Puesta a punto de un programa en tiempo real
Programación en ensamblador

MCT 48-3E + MCT 48-4E : Realización y transferencia de programas de
2708 / 2716 / 8748

COPRESA COMPAÑIA DE PRODUCTOS ELECTRONICOS COPRESA, S. A.
C/. BALMES, 22 – BARCELONA-7 ● C/. SAGASTA, 18 – MADRID-4

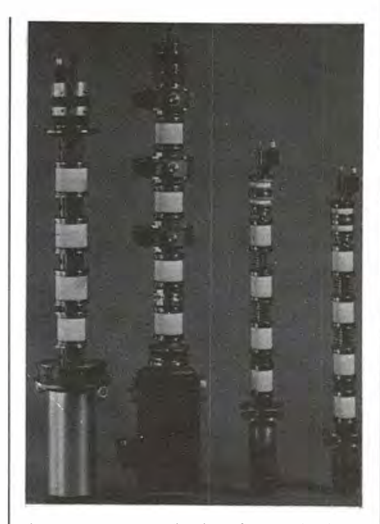
Klystrons de potencia para TV

Nuestros nuevos klystrons de potencia de UHF, YK1220 e YK1230, están diseñados para transmisores de TV de bandas I V y V con potencias máximas de salida de sincronismo de 15 kW y 25 kW respectivamente.

Una característica importante de estos klystrons es que cada uno de ellos puede cubrir la banda total de frecuencias de 470 a 860MHz con sólo un juego de cuatro cavidades externas y un sistema de enfoque.

Se puede reducir considerablemente el espacio debido a que las bobinas focalizadoras están montadas entre las cavidades, en lugar de alrededor de ellas; así, uno de los nuevos tubos ocupa solamente unos 50 cm^2 de superficie.

Se puede refrigerar con agua, vapor o condensación de vapor e incorpora una bomba integrada generadora de iones. La ventaja de esta bomba es que puede prolongar la vida del tubo reemplazando los iones que han penetrado en el vacio. Esta penetración aumenta con el



tiempo y es el principal factor de desgaste del tubo. Otra ventaja de la bomba es que permite conocer la proporción de iones que penetran en el vacio, de forma que se puede predecir la duración del tubo.

Transistor para banda ancha

Dentro de la gama de transistores para amplificadores de banda ancha, Copresa anuncia la incorporación del transistor BFR 90A como extensión de las características del transistor BFR 90 en el factor de ruido.

El factor de ruido para el transistor BFR 90A es de 1,8 dB a una frecuencia de 800 MHz. Este transistor que amplia la gama para aplicación de amplificadores de banda ancha puede ser utilizado tanto en la banda de VHF como en UHF.

Sus principales ventajas son:

—Bajo ruido.

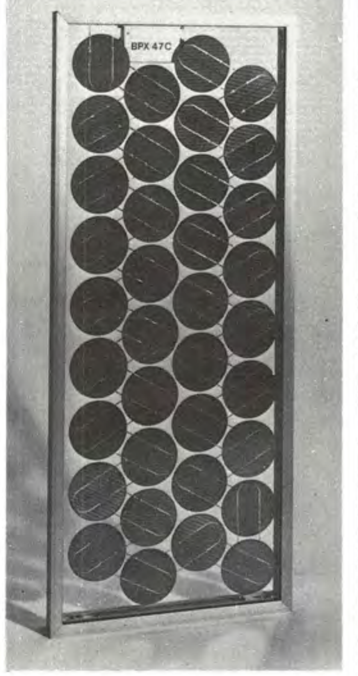
—Baja distorsión de intermodulación.

—Alta ganancia de potencia.

Circuito integrado que permite la modificación de memorias ROM

Copresa anuncia la comercialización FPRP (Field Programmable ROM Patch). Este C.I. es una matriz lógica programable diseñada para modificar posiciones de programas, de memorias ROM programadas por máscara. El FPRP está constituído por una PROM de 48 octetos, pudiéndose asignar a cada uno de ellos una dirección entre 0 y 65.535. Cuando el FPRP reconoce en su entrada una de sus direcciones programadas, envía a la salida el octeto correspondiente a la PROM, junto con una señal FLAG que puede utilizarse para inhibir la ROM. De esta forma se pueden modificar hasta 48 octetos de una PROM con cada FPRP, de forma rápida y económica. Si se precisa modificar más posiciones de memoria, pueden colocarse varios FPRP en paralelo. La programación de los FPRP se realiza con los mismos medios empleados para programar los FPLA.

Quinta generación de módulos solares.



Copresa anuncia su quinta generación de módulos solares, el BPX47B y el BPX47C. Las tres primeras generaciones dieron a conocer las aplicaciones de la energía solar. En 1973, la crisis de la energía puso de manifiesto los límites de la energía convencional y despertó cierto interés por las potenciales aplicaciones de la energía solar, en particular, de conversión fotovoltaica.

El éxito de los paneles solares de cuarta generación, BPX47A, que fueron lanzados al mercado en 1975, ha impulsado el desarrollo de una nueva generación. Esta quinta generación, que utiliza células de silicio de 100 mm de diámetro, consta de tres tipos de paneles: el BPX47B/18, que carga un acumulador de 6 V, contiene 18 células y proporciona 16,5 W a 8,2 V; el BPX47B/20, para aplicaciones sin acumulador, contiene 20 células y proporciona 18,3 W a 9,1 V; el tercer tipo es el BPX47C/36, que carga un acumulador de 12 V, contiene 36 células y proporciona 33 W a 16,4 V.

Su construcción es similar a la de las anteriores generaciones de placas solares, es decir, las células están recubiertas de resina transparente y montadas entre dos placas de vidrio. El BPX47C/36 está montado en un bastidor de aluminio rígido. La gama BPX47 es adecuada para ser utilizada en severas condiciones ambientales.

Nueva gama de amplificadores de banda ancha a 12 V

Nuestra gama estándar de amplificadores híbridos de banda ancha de 12 V incorpora dos nuevos tipos, el OM345 y el OM370.

El OM345 es un amplificador de una etapa con una ganancia de 12 dB y una tensión de salida de 99 dBμV a 470 MHz y una distorsión de intermodulación de 60 dB. Tiene una respuesta en frecuencia plana a 1 dB y un factor de ruido de 5,5 dB. Está diseñado para amplificadores de antena en radios de automóvil, caravanas, etc., o en aplicaciones RATV y MATV.

El OM370 es un amplificador de banda ancha de tres etapas con una ganancia de 28 dB y una tensión de

salida de 114 dBμV medida en las mismas condiciones que el OM345. Tiene también una respuesta en frecuencia plana a 1 dB y el factor de ruido es 7 dB. El OM370 está diseñado para amplificadores en sistemas MATV y CATV y como amplificador de aplicación general en sistemas de VHF y UHF. Es la versión en 12 V del OM337 (24 V) pero con características mejoradas, particularmente en ruido.

Esta gama incluye también el OM350 con ganancia de 12 dB y tensión de salida de 100 dBμV, el OM360 con ganancia de 23 dB y tensión de salida de 107 dBμV, y el OM361 con ganancia de 28 dB y tensión de salida de 107 dBμV. Todos los valores dados son típicos.

INSTRUCTOR 50

Copresa comercializa en España el microordenador INSTRUCTOR 50. Este equipo constituye el método ideal para aprender la técnica de los microprocesadores de una forma autodidacta, tanto en el centro de trabajo como en el propio domicilio.

El INSTRUCTOR 50 dispone básicamente de dos teclados: uno hexadecimal para introducir programas y otro de funciones, con 12 teclas. para seleccionar la forma de operación que se quiere realizar. Para ver tanto el desarrollo del programa mientras se va efectuando como el programa total una vez completado, dispone de un visualizador con 8 LED de siete segmentos. Así mismo, si se desea visualizar el contenido de un registro de datos, también dispone de 8 indicadores (uno por cada bit).

Muy interesante es la posibilidad de archivar los programas realizados, para lo cual el INSTRUCTOR 50 dispone de sendos conectores para audiocassette, con lo que el usuario puede realizar su propia biblioteca de programas.

Por otra parte, Copresa ha desarrollado una placa grabadora de memorias PROM que si se acopla mediante el bus S-100 (standard americano que va incorporado en el equipo para hacerlo expansionable) al INSTRUCTOR 50, puede obtenerse así, un equipo de desarrollo de bajo costo.

El INSTRUCTOR 50 se suministra con tres libros «Introduction to Instructor 50 desktop computer», «The Instructor 50 desktop computer users' guide» y «Signetics Instructor 50 desktop computer software applications manual». Se incluye una cinta de audio-cassette con programas ejemplo.

Con este equipo se puede entrar en el mundo de los microprocesadores de una manera rápida, económica, sencilla y trabajar con ellos.



Nueva gama de acopladores ópticos

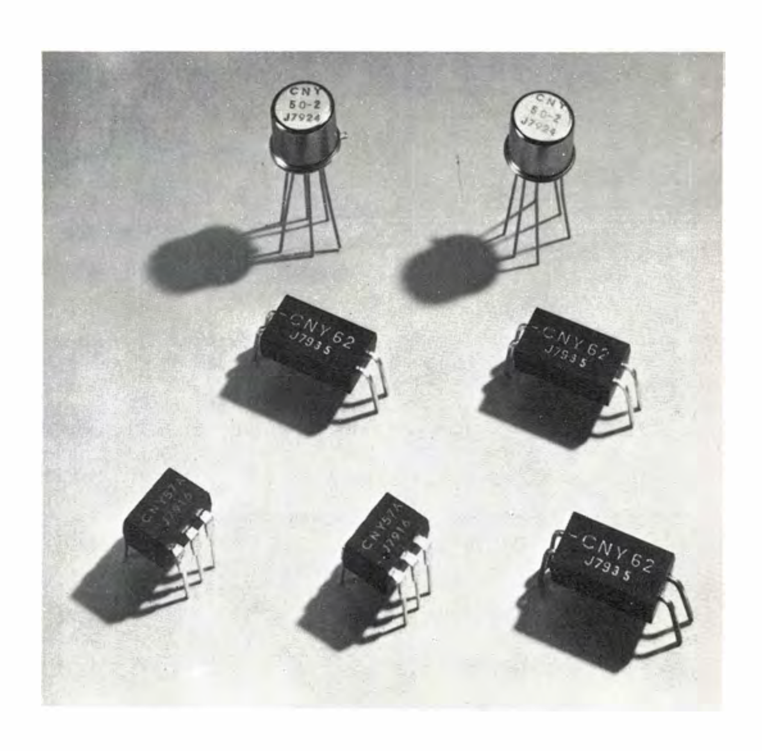
Copresa anuncia una nueva gama de acopladores ópticos para aplicación en el ramo profesional. Esta gama consta de tres versiones distintas del tipo básico CNY 50.

El primero es el CNY 50, que está especialmente diseñado para aplicación en telefonía y en procesos de control, siendo su encapsulado metálico y perfectamente hermético.

El CNY 50 consiste en un diodo emisor de infrarrojos de Ga As y un fototransistor de silicio npn en una misma cápsula. Las dos versiones adicionales CNY50-1 y CNY 50-2 difieren solamente en la relación de transferencia salida/entrada de corriente continua.

El CNY 50-1 tiene un valor de 0,25 y el CNY 50-2 mayor de 0,40 medido a una corriente directa de 10 mA y una tensión colector emisor de 0,4 voltios.

La tensión máxima V_{CEO} del fototransistor es 34 voltios y la máxima corriente directa del diodo es 100 mA. La corriente de fuga es menor de 100 nA y la tensión de aislamiento es de 1 kV.




COPRESA
comercializa
en España
el microprocesador 2650
de
signetics

"Miniwatt"

COPRESA

30AX

Ro

COPRESA

VOLUMEN 19 • Números 8-9 Agosto-Septiembre 1980 125 Ptas.



COPRESA



VOLUMEN 19 - Números 8-9 **Agosto-Septiembre 1980**

INDICE

Revista Miniwatt

Publicada por:

COMPAÑIA DE PRODUCTOS ELECTRONICOS «COPRESA», S.A.
Balmes, 22 — Teléfono 301 63 12 — Barcelona-7
Suscripción anual (11 números) .... Ptas. 1.100
Precio Ejemplar .... Ptas. 125
Cambio domicilio .... Ptas. 25

Director

D. José M.ª Llevat Grau

Editor

Cía. de Productos Electrónicos COPRESA, S.A.
Departamento de Publicaciones Técnicas
José Albiol Fernández

Coordinación

D. Enrique Riverola García

D. Rafael Rizo Aramburu

Redacción

D.ª M.ª Dolores Forns-Samsó

Consejo Asesor de Redacción (Técnico Consumer)

D. Pedro Barrera Vázquez

D. Jaime Borrull Subirana

D. Luis Marco Loras

D. Angel Suso San Miguel

Suscripciones

D.ª M.ª Angeles Garcia Ferrer

Coordinación, Maqueta y Producción

GENERAL GRAFIC, S.A.
Caspe, 17
Barcelona-13
Depósito Legal: B-1837-61

EDITORIAL

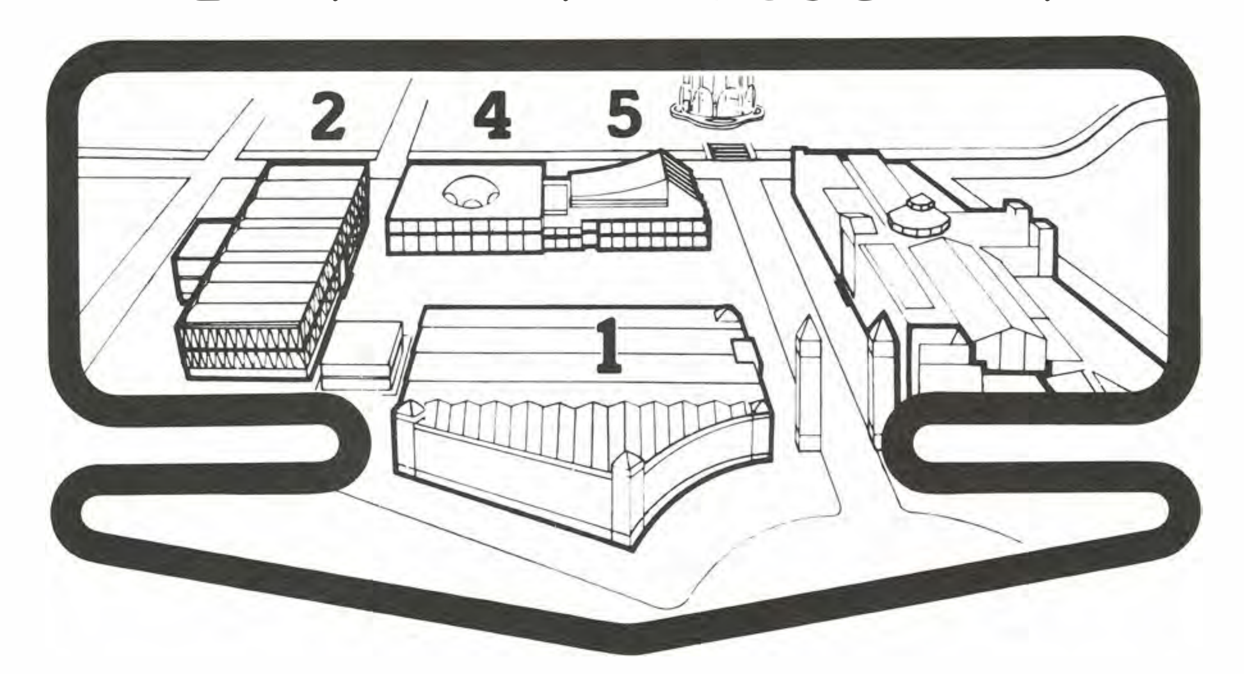
Próximos a Sonimag, como exponente que recoge las últimas aplicaciones electrónicas, las más avanzadas tecnológicamente, las que aportan una solución práctica a la electrónica de consumo, queremos acercar nuestras páginas al acontecimiento, haciendo evidente con nuestra Revista que la electrónica de consumo no es estática ante el desarrollo de la tecnología, si no muy al contrario, todas las áreas son caminos en continua evolución.

Dentro de la línea de nuevos propósitos ya marcada, iniciamos con este número una serie de artículos sobre novedades electrónicas que se desarrollarán y completarán en sucesivos números y que girando en torno al sistema 30AX de televisión en color, irán dibujando lo que paso a paso es el nuevo concepto de televisión en color y en general los productos de consumo del mañana.

Incluimos por último en nuestras páginas, un resumen de algunas novedades electrónicas que constituirán como ejemplo nuestra presencia en Sonimag, como el propio sistema 30AX, nuevo concepto de fuente de alimentación en TV tipo «sistema compacto de potencia» recordando en estas páginas las bases del «Premio Copresa Sistema de Aplicaciones en TV» dedicado a este tema próximos a finalizar la presentación de trabajos, decodificador monochip de color TDA3560, sistemas de sintonía aplicando microprocesadores para TV (VTS) y radio (RTS), monitores de color, etc.



PARA VER Y ESCUCHAR



4 PALACIOS DE EXPOSICION DEDICADOS A

1 En el Palacio n.° 1, estarán situados los fabricantes de TV y Radio que, además, darán a conocer una muestra de sus más avanzadas técnicas en la producción de sistemas de Alta Fidelidad, en la que se incluirán amplificadores, conjuntos modulares, sintonizadores y demás accesorios, completando la exhibición la presencia de los más modernos equipos de grabación y reproducción del Sonido y la Imagen.

2 EXPOTRONICA-80. El Palacio del Cincuentenario se dedicará a Componentes Electrónicos y Electrónica Profesional donde se exhibirán Equipos de Telecomunicación, Defensa, Radiodifusión (Profesional y Radio-Aficionados), Electro-medicina, Instrumentos para Medición y Control y Sistemas de Seguridad.

4 Especialmente dedicado al Sonido, en el Palacio Ferial encontrará el profesional y el aficionado todo lo referente a Alta Fidelidad, Sonorización, Grabación y reproducción del sonido y de la imagen, Instrumentos musicales e Iluminación espectacular.

5 El Palacio de Congresos dispone de varias Salas con capacidades desde 150 a 1.200 personas donde se celebran Jornadas, Reuniones, Convenciones, demostraciones Hi-Fi y Video así como conciertos organizados por los propios Expositores.

SONIMAG ES EL UNICO SALON DE VIDEO, AUDIO Y ELECTRONICA EN ESPAÑA

65.000 M^2 DE RECINTO CON 380 EXPOSITORES REPRESENTANDO A 1.200 FIRMAS DE 30 PAISES

RECINTO FERIAL, BARCELONA-ESPAÑA 29 Septiembre - 5 Octubre 1980

JORNADAS PROFESIONALES: 29-30 septiembre y 1 de octubre VISITA PUBLICO: 2 - 3 - 4 - 5 de octubre
HORARIO DE APERTURA: todos los días de 10 a 20 horas ininterrumpidamente.

EL SISTEMA 30AX

Las mejoras mecánicas y electromagnéticas conseguidas por este sistema permiten eliminar los ajustes de convergencia, pureza de color y la orientación de trama. Unas tolerancias mecánicas más estrechas junto con unos topes de fijación de posicionado permiten acoplar la unidad deflectora mediante un simple encaje. Un imán permanente en forma de anillo que envuelve a los cañones electrónicos compensa las desviaciones dentro de los límites de tolerancia. El control del campo de deflexión por medio de unas placas modeladoras de campo que van encajadas en los bobinados, permiten eliminar el efecto coma. Con una lente más débil en el cañón electrónico y una deformación tetrapolar del campo de la lente en frente del cátodo se reduce el tamaño de la imagen del cátodo sobre la pantalla, mejorando la uniformidad del foco, especialmente con altas corrientes de haz.

El 30AX es un sistema nuevo de TV en color que no precisa ajustes mecánicos y un mínimo de ajustes eléctricos. Este sistema permite un intercambio total entre tubos de imagen y deflectoras y es realmente autoajustable y autoconvergente; cualquier deflectora 30AX se acopla automáticamente con cualquier tubo 30AX del tamaño correspondiente. El sistema se basa en la gran experiencia alcanzada en la fabricación del 20AX desde que se introdujo en 1974, junto con los resultados de posteriores investigaciones en tecnología de tubos y en el diseño de deflectoras. Las ventas más notables del 30AX son:

Una gran reducción del número de ajustes; no se precisa ninguno para la convergencia dinámica, convergencia estática, pureza de color, o para la orientación de trama.

Un nuevo diseño de las deflectoras, que proporciona una mayor sensibilidad de deflexión, menor distorsión de la trama E-O y ninguna distorsión en N-S. Un nuevo diseño de cañón de electrones que porporciona un pincel de electrones más definido y uniformidad de foco.

A continuación se indican los avances tecnológicos que han permitido estas mejoras.

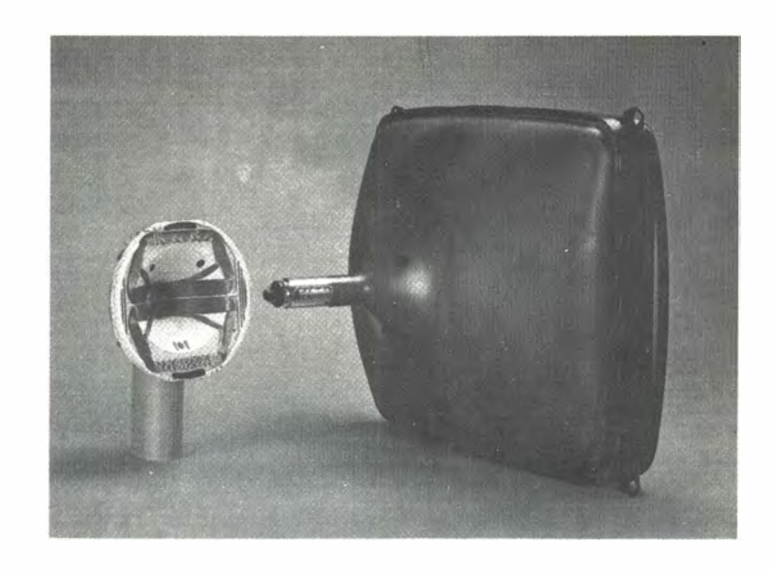


Figura 1. Topes de acoplamiento en el cono del tubo para alinear el tubo con la deflectora.

ELIMINACION DE LAS CORRECCIONES DE CONVERGENCIA DINAMICA

Uno de los objetivos en el diseño del sistema 30AX fue el de eliminar todas las correcciones de convergencia dinámica. El hecho de cambiar estas correcciones por medio de ajustes mecánicos, desplazando y girando la deflectora respecto al tubo, solamente corregía un error introduciendo otro. La única forma completamente satisfactoria de eliminar las correcciones de convergencia dinámica, es reducir las tolerancias de fabricación; esto se ha conseguido de la siguiente forma:

En primer lugar se ha mejorado el acoplo del tubo y la deflectora. Con este objeto se ha introducido un nuevo sistema de referencia en el cual el tubo está provisto de tres topes que se acoplan con la parte interior de la deflectora (ver figura 1). Estos tres puntos de referencia definen la situación correcta, y su centro junto con el centro del anillo de sujección de la parte posterior de la deflectora determinan el eje común del tubo y la deflectora. Durante la fabricación del tubo se debe conseguir que este eje coincida con el eje de la pantalla determinado en el proceso de exposición y con el eje del cañón. Se toman medidas especiales para controlar el proceso de unión del cuello al cono, de la pantalla al cono, fijación del cañón y otras operaciones mecánicas (ver figura 2). En lo que a esto se refiere, una etapa importante del proceso es pulir el borde del cono perpendicularmente al eje del tubo.

En la deflectora, la introducción de los nuevos bobinados sin rebordes (ver figura 3) no tan sólo permite mejorar el diseño de la deflectora sino que también contribuye a la reducción de las tolerancias. La eliminación de los rebordes resulta práctico para aplicar la técnica de bobinado de sección múltiple en el lado más próximo al zócalo del tubo de las deflectoras como ocurría anteriormente; por ejemplo, en los bobinados del 20AX sólo se podía aplicar al lado de la pantalla. También permite utilizar un aro de ferrita de una sola pieza y una capa aislante de una sola pieza de construcción rígida que sirve de soporte preciso para los bobinados.

Con todas estas mejoras se ha logrado una precisión tan grande que con cualquier combinación que se haga de tubo y deflectora, se consigue automáticamente una convergencia dinámica sin ninguna corrección. De esta forma puede asegurarse que existe una plena libertad de intercambio.

POSICION AXIAL DEL YUGO

El segundo paso en el proceso de simplicación fue el utilizar los salientes del cono para determinar la posición axial de la deflectora en el eje del tubo para una pureza de color correcta. Normalmente, un desplazamiento axial de la deflectora es necesario para que el punto de deflexión coincida con la posición ocupada por la fuente de luz durante la exposición de la pantalla (ver figura 2). Se pudo comprobar que la variación de la posición de la deflectora respecto al cono se debe principalmente a las tolerancias de las longitudes del cono. Pulimentando los conos hasta conseguir la longitud exacta, las tolerancias en la posición axial del yugo se reducen de tal forma que la deflectora sólo tiene que colocarse en los topes de referencia del tubo para conseguir un tubo con pureza ajustada automáticamente.

ORIENTACION DE LA TRAMA

Una tercera simplificación consiste en utilizar los topes del cono como referencia para la posición angular de la deflectora respecto a los ejes de la pantalla. Unas pequeñas rebabas de colocación en ambos lados de uno de los topes de acoplamiento de la deflectora la fijan en la posición precisa para una orientación correcta de la trama. Por lo tanto, el montaje del tubo y de la deflectora es incluso más simple que la combinación de blanco y negro.

ANILLO DE CORRECCION MAGNETICO INTERNO

Una cuarta simplificación consiste en las correcciones de convergencia estáticas y pureza. Una de las pocas diferencias entre la utilización del tubo de color y el de blanco y negro es la necesidad de corregir las direcciones de los haces que salen de los cañones. Estos deben pasar exactamente por los puntos de exposición de la pantalla y encontrarse en un solo punto en el centro de la pantalla. En los tubos en línea estas correcciones se realizan normalmente con la ayuda de una multipolo consistente en unos anillos magnéticos que se colocan en el cuello del tubo y que proporcionan campos de 2, 4 y 6 polos. Una importante innovación en el 30AX es la introducción de un sistema de corrección interno, consistente en

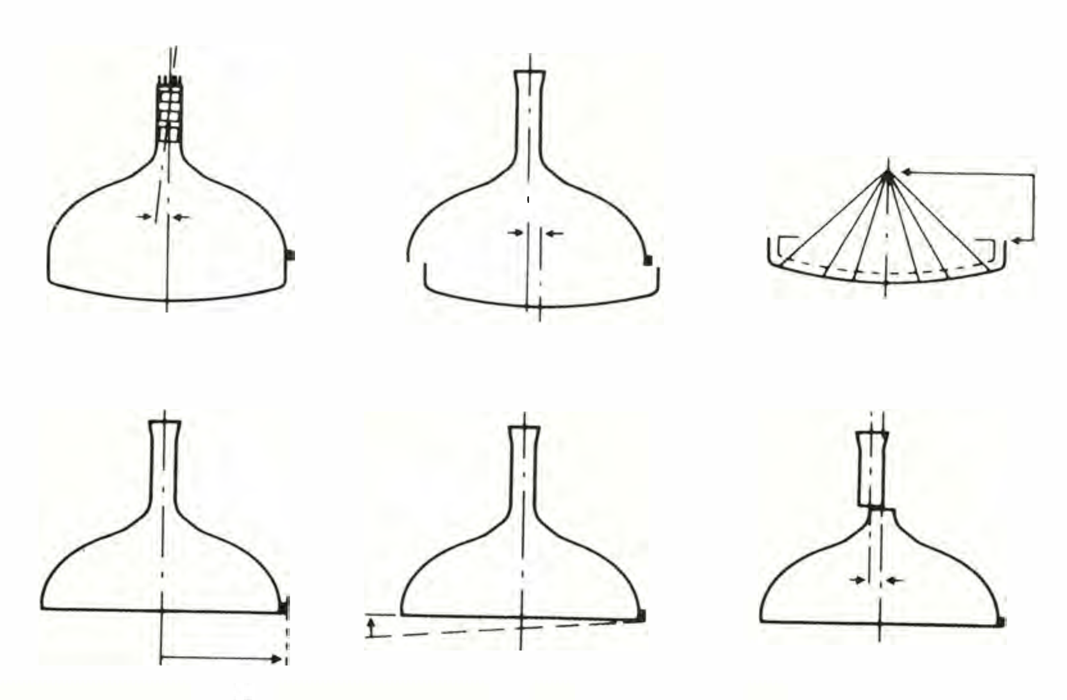


Figura 2. Sistema de referencia para la fabricación del tubo.

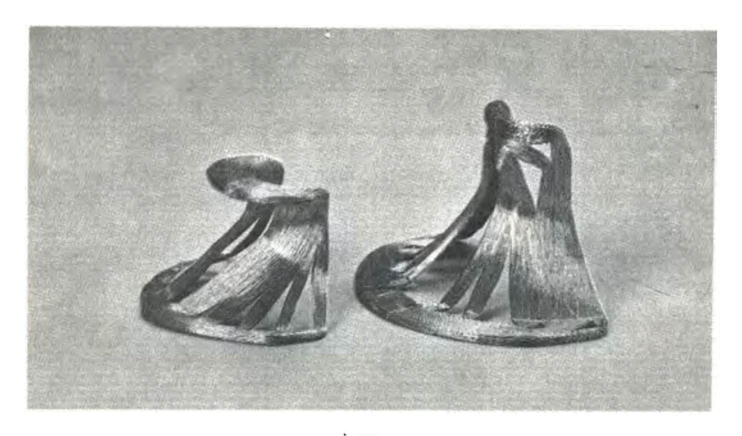


Figura 3. Bobinas con rebordes (izquierda) y sin rebordes (derecha).



Figura 5. Bobinas de cuadro y linea del 30AX.

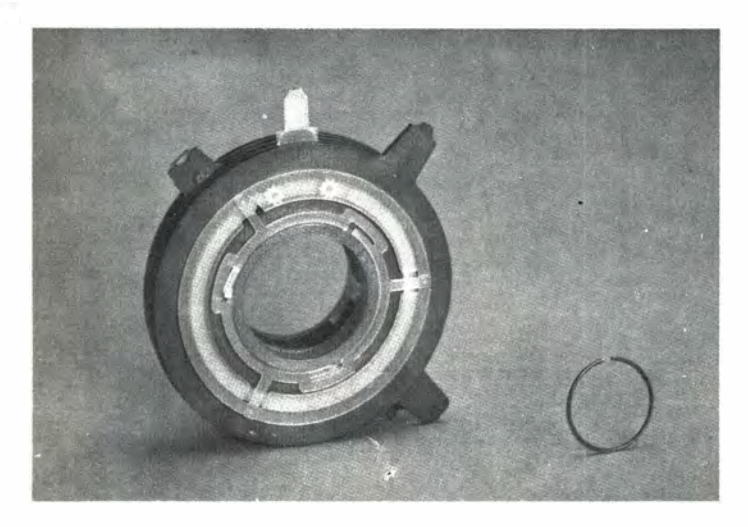


Figura 4. Aro magnético interno comparado con la unidad multipolo.

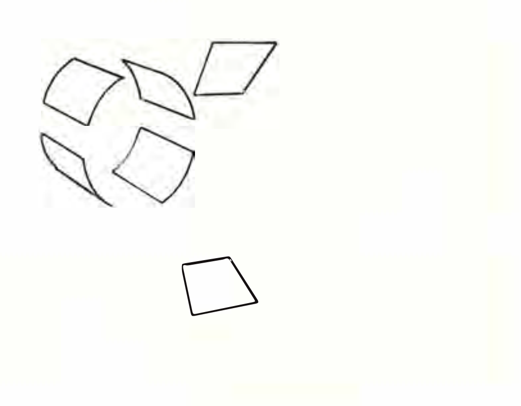
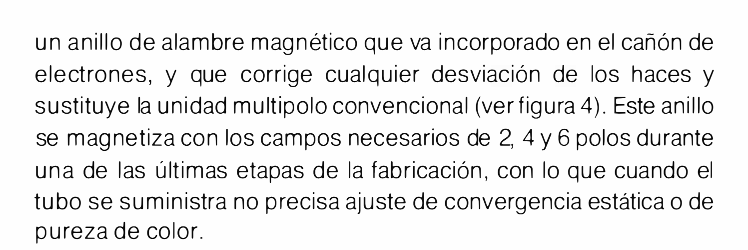


Figura 6. Posiciones de los conformadores de campo en la deflectora; los de forma curva sirven para la corrección de coma de los campos de deflexión de cuadro; los planos reducen la distorsión de trama E-0.



un anillo de alambre magnético que va incorporado en el cañón de electrones, y que corrige cualquier desviación de los haces y sustituye la unidad multipolo convencional (ver figura 4). Este anillo se magnetiza con los campos necesarios de 2, 4 y 6 polos durante una de las últimas etapas de la fabricación, con lo que cuando el tubo se suministra no precisa ajuste de convergencia estática o de pureza de color.

DISEÑO DE LA UNIDAD DEFLECTORA

La construcción de las bobinas sin rebordes abre nuevas posibilidades en el diseño de la deflectora para obtener una autoconvergencia. Un importante error que hay que evitar es el efecto coma. Dicho efecto coma puede causar una mala convergencia del haz central (verde) respecto a los haces laterales (rojo y azul) junto con un desenfoque de los haces laterales. Al igual que el 20AX se da preferencia a la corrección del efecto coma en la misma deflectora en lugar de hacerlo con modeladores de campo en el cañón. Este último sistema corrige sólo el efecto coma en la convergencia de los haces y no el efecto en el enfoque de los haces. Esto da como resultado un desenfoque asimétrico de los haces laterales con la desviación.

Para evitar los errores de coma, la forma de distribución del campo en el lado del cañón de la deflectora tiene que ser opuesto al del lado de la pantalla. Esto puede realizarse empleando una distribución del bobinado opuesta en la parte delantera y posterior de las bobinas, tal y como se ha realizado en el campo de desviación horizontal en las bobinas deflectoras de línea (ver figura 5). Para el campo de desviación vertical, se emplean modeladores de campo embutidos en la propia deflectora (ver figura 6). Esto no causa variación del campo entre los haces sino que produce un campo totalmente libre de coma alrededor de los tres haces. De esta forma no tan sólo corrige la influencia del efecto coma en la convergencia del haz sino también su influencia en el desenfoque con la desviación.

FORMA DE LA TRAMA

La introducción de otro par de modeladores de campo embutidos en las bobinas deflectoras permite reducir la distorsión de la trama E-O con lo que la modulación de la corriente de exploración queda reducida de un 13% a tan solo un 8%.

La distorsión en la dirección N-S es cero. Las líneas horizontales en la parte superior e inferior de la pantalla se hacen rectas cambiando de forma circular a hexagonal el extremo de las bobinas deflectoras del lado de la pantalla e introduciendo dos imanes permanentes de valor fijo en la parte superior e inferior de la deflectora (ver figura 7).

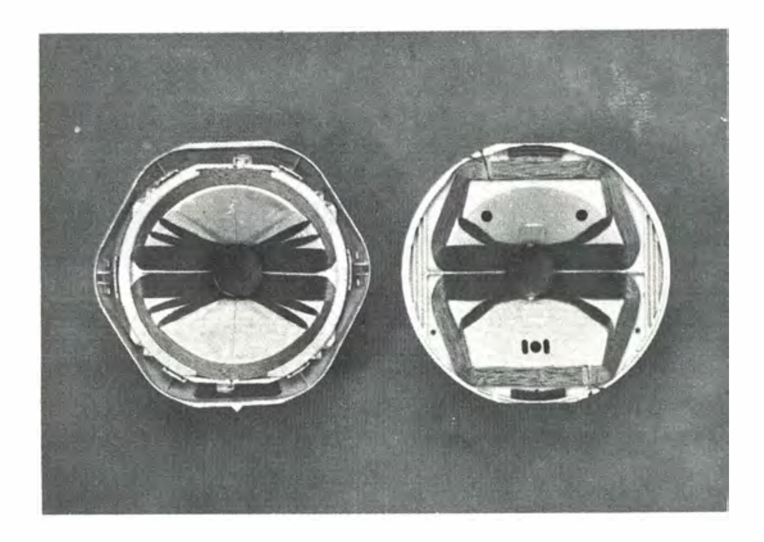


Figura 7. Deflectora 30AX (derecha) comparada con la del 20AX (izquierda).

AUMENTO DE LA SENSIBILIDAD DE DEFLEXION

La exacta colocación de la deflectora en el cono del tubo de imagen permite aumentar la longitud del campo de deflexión sin riesgo de sombreado de cuello. Esto proporciona un incremento de la sensibilidad de deflexión. Para evitar una pérdida de sensibilidad se procura adaptar la forma del contorno del cuello de manera óptima a las trayectorias de los electrones en el campo de deflexión más alargado. Otros factores que contribuyen al incremento de sensibilidad son la ausencia de cortes que caracterizan a los núcleos que se emplean en la deflectora del 20AX y el mayor contenido de cobre de los bobinados. Todos estos cambios dan como resultado no tan sólo un ahorro de la energía necesaria para la deflexión sino también una reducción de la temperatura del yugo, lo cual contribuye a una mayor fiabilidad de la propia deflectora y del receptor en general. En la tabla 1 se indican las características más importantes de las deflectoras para tubos de imagen de 26''. Las especificaciones de las deflectoras de otros tamaños se fijan de forma que se pueda utilizar un diseño de chasis único para todos los tamaños. En un receptor completo, el 30AX proporciona un ahorro total de 20 W comparado con el 20AX. Como puede observarse en la tabla 2, la diferencia en consumo entre un receptor de cuello ancho de 110° y uno de 90° de circuitos comparables es de 12 W.

Tabla 1. Características de las deflectoras / 30AX comparadas con las del 20AX (en tubos de 26 pulgadas)

	20AX	30AX
Deflexión horizontal:		
Impedancia	1,1 mH	1,5 mH
Resistencia (a 25° C)	1,2 Ω	1,35 Ω
Corriente de pico a pico*	6,4 A	5,1 A
Energía (1/8 LI_{pp})*	5,6 mJ	4,7 mJ
Deflexión vertical:		
Impedancia	3,5 mH	10,0 mH
Resistencia (a 25° C)	3,0 Ω	6,3 Ω
Corriente de pico a pico*	3,4 A	2,05 A
Potencia (1/12 RI_{pp})*	2,9 W	1,8 W

* A 25 KV de M.A.T.

Tabla 2. Consumo de potencia en receptores de T.V.C. aislados de red con tubos de imagen en línea: 110° de cuello ancho con deflectora de doble bobinado comparado con uno de 90° de cuello estrecho con deflectora híbrida.

	110°		90°
	20AX	30AX	
Consumo de potencia a 1,2 mA. Corriente de haz 25 KV. de M.A.T. y 1 W de salida media de audio.	120 W	100 W	88 W

CONSTRUCCION COMPACTA DE LA DEFLECTORA

La colocación simplificada de la deflectora elimina los ajustes axial y angular que anteriormente se precisaban. Unido esto con la supresión de la unidad multipolo se consigue un ahorro de espacio alrededor del cuello del tubo de imagen (ver figura 8).

CAÑON DE ELECTRONES

Para conseguir la exigencia de una mejor definición del impacto del haz en la pantalla que impone la introducción de los sistemas de

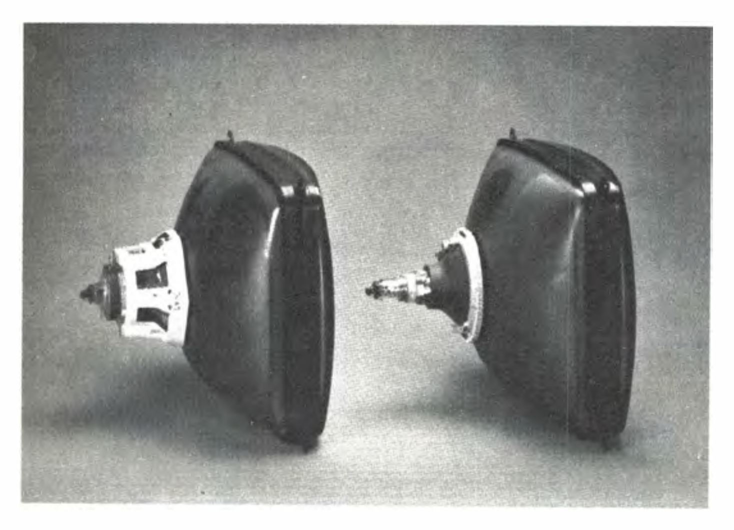


Figura 8. La deflectora 20AX con carcasa y multipolo montada en el tubo (izquierda) comparada con la del 30AX también montada en el tubo (derecha).

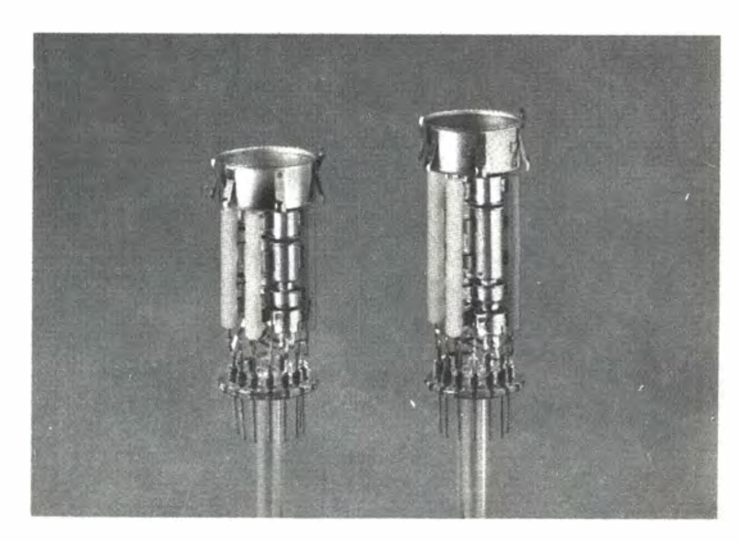


Figura 9. Cañón del 30AX (derecha) comparado con el del 20AX (izquierda).

teletexto y viewdata de Europa, se ha diseñado un nuevo cañón de electrones. En aras de una calidad óptima del impacto del haz en la pantalla y una mayor flexibilidad en la excitación del cañón, la construcción de éste se realiza aparte. La utilización del cuello ancho sigue manteniéndose para poder disponer del máximo espacio para las lentes principales del cañón que enfocan los haces con una aberración esférica mínima.

La aberración esférica de las lentes principales se ha reducido además utilizando unas lentes de menor poder de aumento, con lo que se precisa aumentar la tensión de enfoque un 28%, en lugar del 18%, de la M.A.T. Esta tensión de enfoque se puede aplicar incluso a través de la base normal sin tener que cambiar las patillas. Debido al menor poder de aumento de las lentes, el cañón tiene una longitud 10 mm mayor (ver figura 9). El aumento total de la longitud del tubo de imagen es de 9 mm.

Como el impacto de los haces en la pantalla es la imagen del cruce que se forma en la parte anterior del cañón (ver figura 10), el tamaño del impacto no depende tan solo de la aberración esférica de las lentes principales sino también de lo que ocurre durante la formación del cruce. Debido a la alta densidad de corriente y a la baja velocidad de los electrones en el cruce, la repulsión de la carga espacial en esta parte del cañón supone una variación adicional del tamaño del impacto. En el diseño del cañón del 30AX ambos efectos quedan reducidos mediante la introducción de una perturbación tetrapolar del campo rotacionalmente simétrico de las lentes en frente del cátodo. El campo se forma reemplazando la rejilla primera de apertura circular por un dispositivo de dos placas planas soldadas entre sí, una con corte horizontal y la otra con un corte vertical (ver figura 11). La apertura cuadrada donde los dos cortes se solapan enfoca el haz del electrón desglosándolo en dos líneas de enfoque. La aberración esférica en estas líneas de enfoque es menor que la que se produce en un cruce convencional debido fundamentalmente a la mejor acción de enfoque de las lentes tetrapolares. Además, la baja densidad de corriente en los cruces

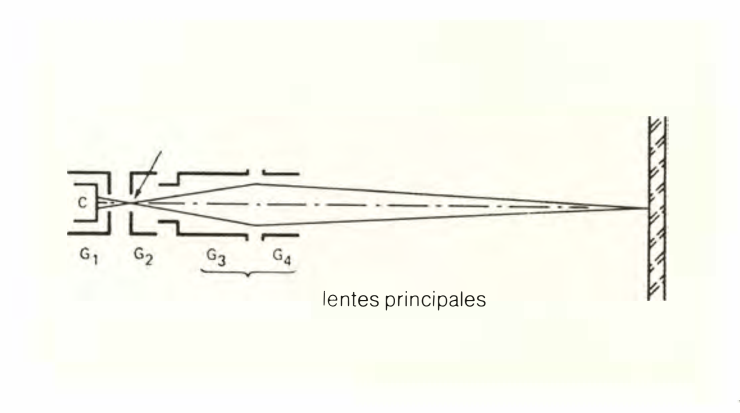


Figura 10. Cruce de haces proyectados en la pantalla.

de las líneas, comparada con la del cruce en un punto, reduce la acción de repulsión de la carga espacial.

El astigmatismo del cruce no es importante pero se aprovecha para reducir al mínimo el desenfoque con la deflexión. En los sistemas autoconvergentes en línea, la sección de cruce horizontal del haz se enfoca automáticamente por la acción autoconvergente del campo de deflexión, siempre que este campo esté exento del efecto coma. No obstante, la sección de cruce vertical sufrirá de un fuerte sobreenfoque de deflexión a menos que el haz sin deflexión se desenfoque ligeramente en dirección vertical y que las dimensiones verticales se mantengan lo más pequeñas posibles. Ambas condiciones se cumplen al mismo tiempo por el astigmatismo de las lentes tetrapolares.

El efecto total que se consigue con todas estas disposiciones es el de una reducción considerable del tamaño del impacto del haz en la pantalla y una mejora de la uniformidad de enfoque en toda la pantalla, especialmente notable con altas corrientes de haz (ver figura 12).

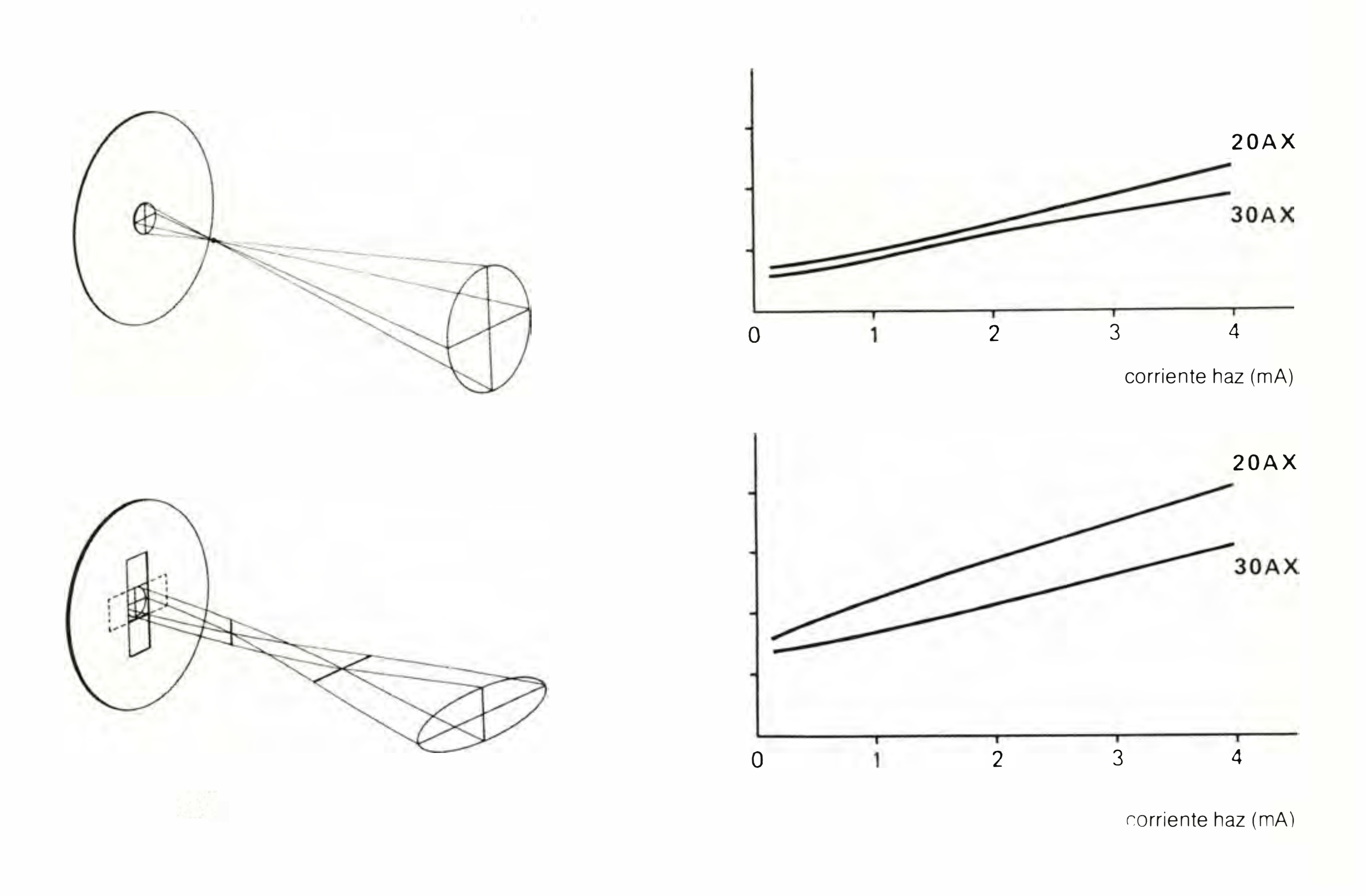


Figura 11. Cruce de haces en el 30AX (inferior) comparado con el cruce de haces en un cañón convencional (superior).

Figura 12. Tamaño del impacto en el 30AX comparado con el 20AX en el centro (superior) y esquinas (inferior) de la pantalla.

ALTO BRILLO

Los tubos de imagen tienen el 30% de aumento de transmisión de máscara que recientemente ha sido introducido en Europa para los tubos de alto brillo. El aumento de la transmisión de máscara sin comprometer la selección de color se puede realizar debido al ancho diámetro del cuello (36,5 mm) que permite disponer de amplio espacio entre los haces. Esto favorece la selección de color y evita que las interferencias de campos externos tengan una influencia notable en la incidencia del haz en la pantalla. El contraste se ha visto notablemente mejorado con la introducción de fósforos pigmentados. La excelente uniformidad de la máscara, semejante a los tubos actuales de 20AX, permite la mejora en la resolución del tubo.

El sistema 30AX se fabrica en tamaños de 26, 22 y 20 pulgadas y estos tubos son del tipo de baja descarga con cátodos de caldeo rápido.

CONCLUSIONES

en el sistema 30AX se han conseguido los siguientes objetivos de diseño:

- Posibilidad de intercambio de tubos y bobinas, construcción compacta, fácil montaje.
- No se precisan ajustes para: convergencia dinámica, convergencia estática, pureza de color, orientación de la trama.
- No se precisa la unidad multipolo.
- Reducida energía de deflexión.
- Forma de la trama mejorada.
- Mejor definición del impacto del haz en la pantalla.

Sistema compacto de potencia aislado de red, para receptores de televisión en color

PARTE I

En este artículo, que por su extensión se publicará en dos partes, se describe en primer lugar este sistema compacto de alimentación y finalmente se hará una breve descripción de los circuitos de desviación horizontal y vertical asociados a esta fuente en un receptor TVC 30AX.

INTRODUCCION

Este nuevo sistema de alimentación para receptores de televisión en color se caracteriza porque suministra la M.A.T.
de imagen a partir del transformador de la fuente, de manera que el circuito de desviación horizontal queda substancialmente simplificado, pudiendo alimentarse a través de un pequeño choque.

La fuente de alimentación funciona a la frecuencia de línea para evitar que el rizado de la M.A.T. pueda afectar al barrido horizontal.

El transformador de M.A.T. está construido de forma compacta, similar al transformador de diodos divididos, (diodesplit), con tensión de retroceso sintonizada y provisto de pantallas electrostáticas internas para cumplir las condiciones de aislamiento y mantener bajos los niveles de radiación magnética y eléctrica.

El transformador de salida, además de la tensión de M.A.T., suministra todas las tensiones requeridas mediante el rectificado de las diversas salidas del mismo.

El circuito se comporta como una fuente conmutada serie a la que se ha añadido una pareja de diodos y un choque, de manera que estabiliza la tensión en el primario del transformador de salida y por consiguiente todas las tensiones de los secundarios.

El principio de transformación con retroceso sintonizado es ventajoso en lo que se refiere a pérdidas en el circuito y radiación de interferencias.

Las principales características son:

- Margen de estabilización de red: 65-265 V.
- Impedancia interna de M.A.T.: 1 MΩ.
- Circuito flexible: permite su adaptación a diferentes conceptos de receptores de TVC.
- Bajo consumo de potencia: 74 W con corriente de haz igual a cero en un receptor de color de 110°-30AX.
- Excitación directa del transistor de salida de línea desde el transformador de salida de la fuente.

1. PRINCIPIO DEL SISTEMA COMPACTO DE POTENCIA SINCRONIZADO

El sistema compacto de potencia (SPP) es una fuente de alimentación desarrollada principalmente para receptores de TV color y suministra todas las tensiones de alimentación estabilizadas necesarias, incluyendo la M.A.T. y la tensión de foco para el tubo de imagen. Se ha hecho una sola excepción con la tensión para reja-pantalla del tubo de imagen, ya que por razones de seguridad, ésta se ha derivado de la etapa de desviación horizontal.

Para evitar la interferencia que podría producirse en la pantalla si se genera la M.A.T. a una frecuencia distinta de la frecuencia de línea, se ha sincronizado el oscilador de la SPP con el oscilador de la base de tiempos horizontal. Al mismo tiempo, esto permite excitar directamente el transistor de salida de línea a partir del transformador de la SPP. En este circuito SPP se emplea un transformador con una función transformadora similar a un transformador convencional de salida de línea con retroceso sintonizado, de manera que a partir de una tensión en el primario se obtienen diferentes tensiones en los secundarios para alimentar la tensión de M.A.T. y otras tensiones.

De esta manera se tienen formas de onda ideales para generar las tensiones elevadas/pequeñas corrientes y las bajas tensiones/elevadas corrientes requeridas para el receptor. Para estabilizar todas estas tensiones se estabiliza la tensión aplicada al bobinado primario.

El circuito básico y sus formas de onda asociadas se muestran en las figuras 1 y 2.

Una parte del circuito funciona según el principio de un convertidor directo de c.c. en c.c., mientras que la otra parte funciona según el principio de un circuito de relajación para generación de impulsos. Y aunque esta última función no tiene relación con la desviación horizontal, su funcionamiento es semejante a un circuito de desviación horizontal.

Los términos «barrido» y «retroceso» ya conocidos serán empleados para referirse a los períodos de las formas de onda.

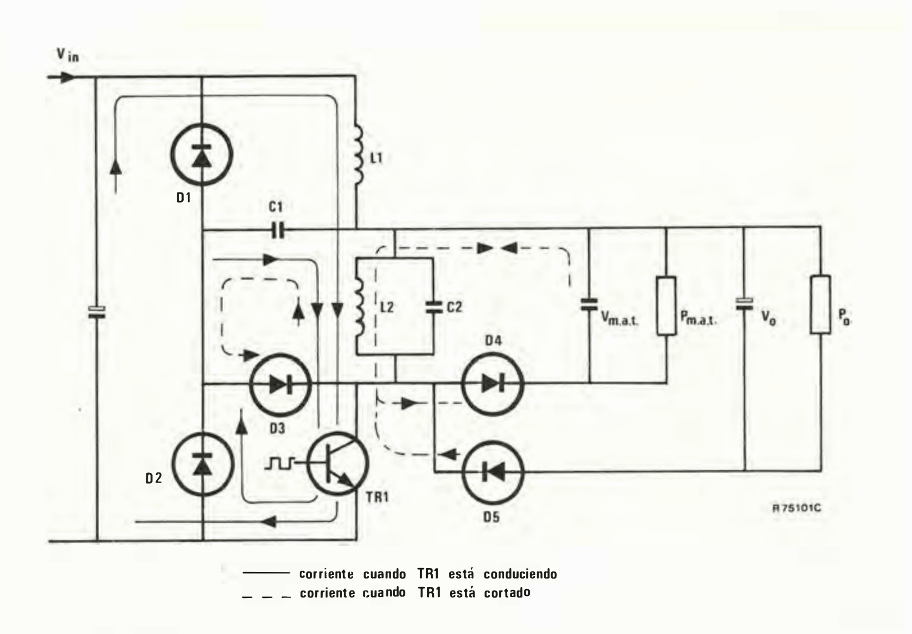


Figura 1. Circuito básico.

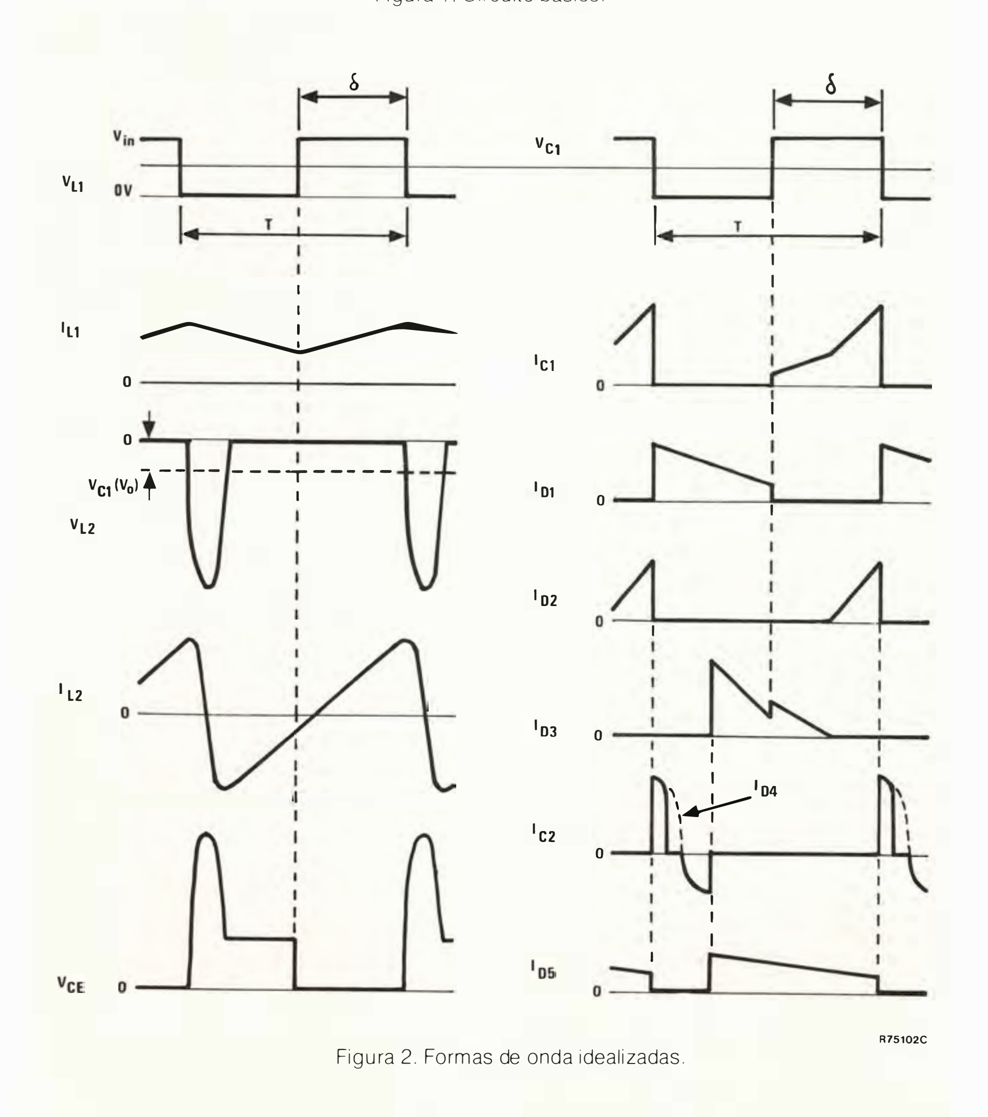


Figura 2. Formas de onda idealizadas.

Función: Convertidor c.c.-c.c.

Cuando TR pasa a conducción, la corriente empieza a circular desde la entrada a través de las bobinas L1 y L2 y por el transistor. Por consiguiente, la corriente que pasa por L1 aumenta linealmente según la relación:

$$\frac{dI}{dt} = \frac{V}{L}$$

y se almacena una cantidad de energía $1/2\,LI^2$ en L_1.

Cuando el transistor deja de conducir, la polaridad de la tensión en los extremos de L_1 cambia de sentido y la energía almacenada en L_1 se transfiere a través de D_1 para cargar C_1. De esta manera, variando el período de conducción del transistor (δ), la cantidad de energía almacenada en L_1 puede controlarse, y por consiguiente la tensión en C_1 de acuerdo con la expresión $V_{C1} = \delta V_{in}$. Los límites de la variación de la tensión pico-pico en L1 son V_{in} y 0V debido a la acción de los diodos D_1 y D_2.

Función: Circuito de relajación

Consideremos ahora al circuito L_2, C_2, C_1 y D_3 en el que C_1 puede suponerse que se comporta como una fuente de tensión, δV_{in}.

Cuando el transistor conduce, a través de L_2 pasará una corriente que aumentará linealmente, pero la tensión en los extremos de la bobina se mantiene igual a δV_{in} porque C_1 está conectado a L_2 a través de TR_1 y D_2, almacenándose energía en L_2.

Cuando el transistor deja de conducir, el circuito resonante formado por L_2 y C_2 inicia una oscilación libre y transfiere la energía de L_2 a C_2. Por tanto, la corriente que pasa por L_2 disminuye hacia cero siguiendo una ley cosenoidal y la tensión en la bobina aumenta senoidalmente. En el momento que la corriente en L_2 se hace cero, la tensión en la bobina será máxima y toda la energía de L_2 se habrá transferido a C_2. Entonces, la corriente en L_2 cambia de sentido ya que C_2 se descarga en ella. Así, la corriente en L_2 aumenta ahora negativamente según la ley cosenoidal y la tensión en sus extremos disminuye senoidalmente. De este modo aparece un impulso de retroceso en los extremos de L_2.

Poco después de haberse completado el primer medio ciclo de la oscilación libre de la tensión en extremos de L_2, D_3 empieza a conducir y la tensión en los extremos de C_l (δV_{in}) se aplica otra vez en paralelo con L_2, permaneciendo así hasta el final del siguiente período de conducción del transistor. A partir de aquí el proceso se repite.

De la explicación precedente puede verse que en los extremos de L_2 aparece un impulso de retroceso y que el valor de la tensión en L_2 en el período comprendido entre dos impulsos de retroceso (período de barrido) está estabilizada a δV_{in} debido a la acción del convertidor de c.c. en c.c. Por tanto, si se rectifica la tensión en L_2 durante el período de «barrido», se dispone de una tensión baja, apta para alimentar circuitos de alta corriente. Y, teniendo en cuenta que hay una relación fija entre tensión durante «barrido» y durante «retroceso», al rectificar la tensión en L_2 durante el período de «retroceso», se dispondrá de una tensión alta adecuada para alimentar circuitos de baja corriente en el receptor (tensiones de M.A.T., foco, etc.).

2. ELECCION DE LA TENSION DE BARRIDO DEL PRIMARIO Y DEL TIEMPO DE RETROCESO.

Para tener el valor adecuado de la tensión de barrido hay que referirse al margen de tensión de red y al ciclo de trabajo del dispositivo de conmutación.

El tiempo de retroceso determina el máximo ciclo de trabajo (δ) ya que el transistor no debe pasar a conducción durante el retroceso: $\delta máx = 1\text{-}p$ (p es el período de retroceso medido en el pie del impulso).

El valor mínimo de δ viene dado por el hecho de que el transistor debería pasar a conducción en el momento que el diodo recuperador ha cesado de conducir; en la práctica, éste viene dado por:

$$\delta mín = \frac{1\text{-}p}{1{,}75}$$

aunque no definido concretamente.

El tiempo de retroceso se elegirá teniendo en cuenta la tensión de pico permisible de los dispositivos de conmutación.

En el diseño del transformador de salida AT 2076/70 se han tenido en cuenta los siguientes valores:

a) Margen de tensiones de entrada: desde 215 hasta 350 V, que conrresponde a —20% 10% de la tensión de red nominal (220 voltios).
b) Dispositivo de conmutación BU208A tensión de pico 1.300 V a $V_{in}=350$ V. Esto significa que la tensión de pico en el transformador es: 1300—350=950 V. (barrido retroceso).
c) Definiendo

$$F_p = \frac{V_{retroceso}}{V_{retroceso}} = \frac{\pi}{2}\,\frac{1\text{-}p}{p} + \frac{2}{\pi}$$

podemos escribir

$$(1+F_p)V_{C1}=950 \text{ ó}$$

$$\left(1+\frac{\pi}{2}\,\frac{1\text{-}p}{p}\,\frac{2}{\pi}\right)\times\frac{1\text{-}p}{1{,}75}\times 350=950$$

de donde $p=0{,}25$

de aquí

$$V_{C1}=\frac{0{,}75}{1{,}75}\times 350=150\text{ V}$$

Se puede comprobar que la V_{in} mínima que se puede permitir es:

$$V_{in}\,mín=\frac{V_{ci}}{\delta máx}=\frac{150}{0{,}75}=200\text{ V}$$

que cumple sobradamente lo requerido.

3. ELECCION DE L_2 y C_2

En principio interesa tener un valor alto para L_2 con objeto de mantener bajas la corriente de pico del dispositivo conmutador y la cantidad de energía circulante.

Esto es ventajoso porque se tiene una menor temperatura del transformador de salida y del transistor, y además resulta más sencillo mantener bajos los campos magnéticos dispersos alrededor del transformador.

Pero el límite más bajo de la corriente de pico del transistor de conmutación viene determinado por la corriente media que maneja, que a su vez es función de la carga y ciclo de trabajo dados.

En nuestro caso por ejemplo, suponiendo un valor práctico para la carga y pérdidas en el transformador de salida de 150 vatios como máximo, la corriente media llega a ser igual a 1A con $V_{C1}=150$ V. Teniendo en cuenta que:

$$\delta mín=\frac{0{,}75}{1{,}75}=0{,}43,$$

la corriente de pico podría ser una forma de onda rectangular con una amplitud de 2,4 A. En estas circunstancias, con la citada carga no se ganaría nada en la etapa de salida, reduciendo la corriente magnetizante del transformador de salida por debajo de 2,4 A de pico ó 4 A pico-pico como se muestra en la figura. 3

De la relación, $$L=\frac{E_{dt}}{I_{pp}}$$

tenemos,

$$L_2máx.=\frac{150\times 0{,}75\times 64\times 10^{-6}}{4}=1{,}8\text{ mH}$$

Así, el condensador de sintonía de retroceso:

$$C2=\frac{(0{,}9\pi t)^2}{\pi L_2}=\frac{(0{,}9\times 0{,}25\times 64\times 10^{-6})^2}{10\times 1{,}8\times 10^{-3}}=$$

$$=11{,}5\text{ nF}$$

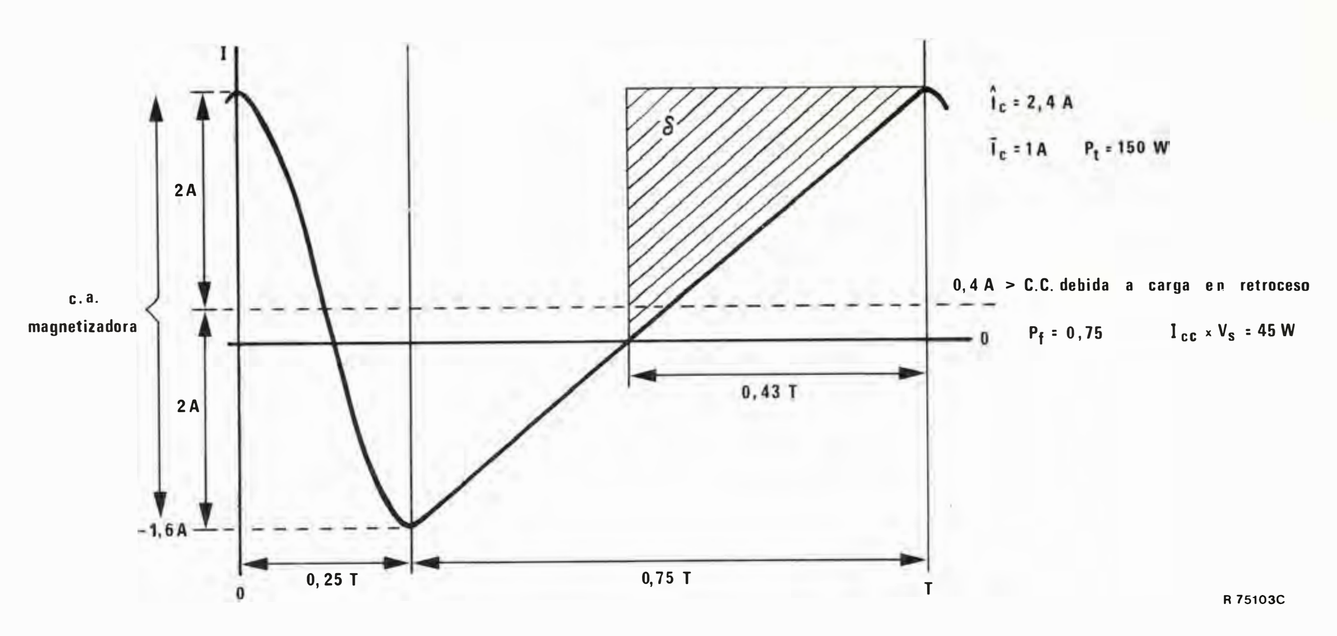


Figura 3.

4. CAMPO MAGNETICO DISPERSO

Para evitar cualquier efecto que pudiera afectar al impacto de los haces en la pantalla del tubo de imagen, el campo magnético debe ser muy bajo. De lo contrario, podría afectarse la libertad para orientar el transformador de salida y su situación en el receptor.

Una primera realización de este transformador usaba dos núcleos en U idénticos con entrehierro en cada limbo y dos bobinas, de las cuales una contenía el primario y todos los secundarios, excepto el devanado de M.A.T. y la otra tenía una bobina de acoplo conectada en paralelo al bobinado primario, además del bobinado de M.A.T.

La nueva realización emplea una sola bobina colocada encima del entrehierro con núcleo asimétrico, de manera que no hay entrehierro en el limbo libre del núcleo.

Ambas realizaciones consiguen un bajo campo disperso, que tiene una influencia despreciable sobre los haces cualquiera que sea la posición del transformador respecto al tubo.

5. PANTALLAS ELECTROSTATICAS

El devanado primario no está conectado a un potencial fijo. Incluso en el lado «frío» del bobinado aparece una forma de onda rectangular con una considerable pendiente en los transitorios.

Por tanto, el bobinado primario debe apantallarse del núcleo y también del bobinado secundario. De lo contrario pueden circular corrientes a través de capacidades parásitas entre estas partes causando niveles de tensión que pueden producir interferencias en la red. Dichas corrientes capacitivas circulan por las pantallas y es interesante que tengan un camino corto y cerrado en el lado del primario, lo que se consigue conectando las pantallas electrostáticas a «masa» o al potencial negativo del primario del transformador AT 2076/70.

Obviamente, estas pantallas resultan más efectivas en un circuito aislado de red, que

tenga una separación entre el primario y la masa del secundario o chasis.

6. ELECCION DE LA INDUCTANCIA DEL CHOQUE DE ALIMENTACION

El choque L_1 (figura 1) es muy parecido al choque de una fuente conmutada serie. Los requerimientos principales son:

a) Inductancia elevada, la corriente debe mantenerse circulando en una dirección en cualquier circunstancia.
b) El núcleo no debe saturarse a máxima carga; sin embargo, para sobrecargas a las que normalmente sigue un ciclo de protección, se debe permitir una saturación del núcleo porque al contrario que en una fuente conmutada serie convencional, esto no resulta destructivo para los dispositivos de conmutación. Esto permite obtener un choque de tamaño menor del que se necesitará para una fuente convencional serie.

El choque AT 4043/52 es adecuado para cumplir estos requerimientos en un amplio margen de aplicaciones, desde receptores pequeños de 90° a sofisticados receptores de 100°.

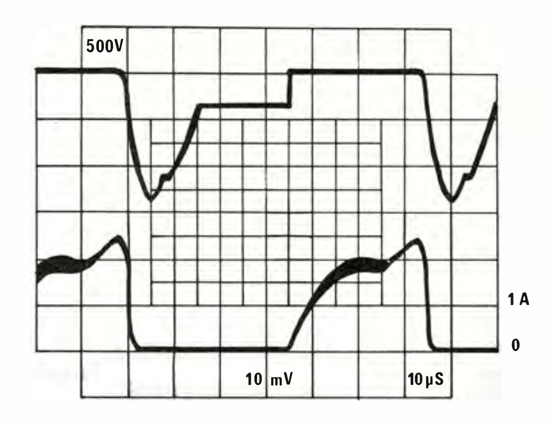
La componente alterna es máxima cuando la tensión de entrada sea la más alta (350 V) y puede calcularse a partir de:

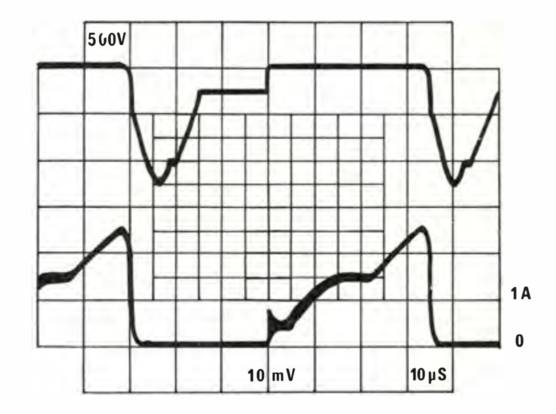
$$i_{pp} = \frac{(1-\delta)V_i \times \delta T}{L} =$$

$$= \frac{0{,}57 \times 350 \times 0{,}43 \times 64 \times 10^{-6}}{9 \times 10^{-3}} = 0{,}61 \text{ A}$$

A máxima carga (por ejemplo 150 W), la componente continua es 1 A, por lo que la corriente de pico que pasa por la bobina será ligeramente superior a 1,3 A. A este nivel el núcleo no queda todavía saturado.

La corriente continua mínima que debe circular en condiciones de tensión de entrada elevada para evitar que la corriente se invierta, es la mitad de la variación alterna, es decir 305 mA. Esto corresponde a una etapa de 46W que es suficientemente baja incluso en el caso de receptores de 90°





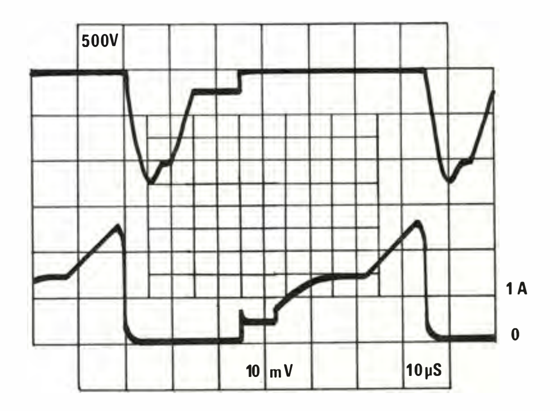
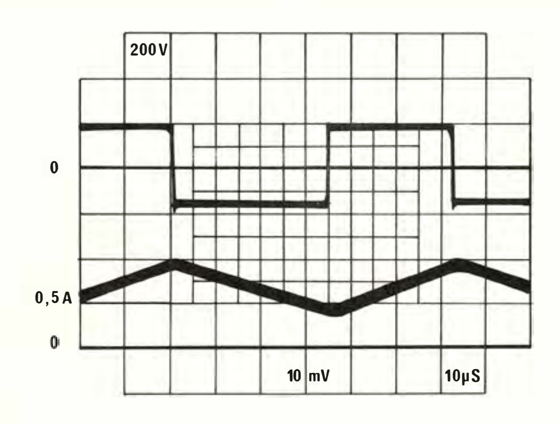
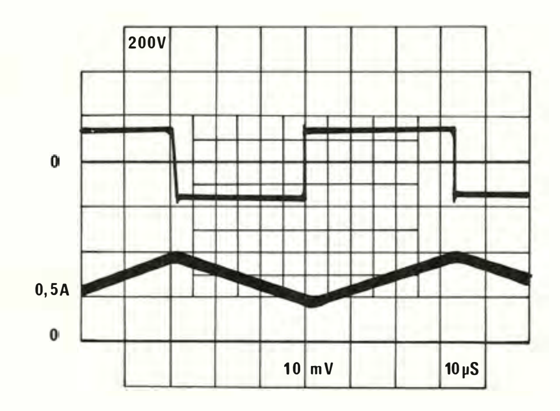


Figura 4.
a) $V_c$pico en $I_c$del BU208A con 220 V. de red y plena carga.
b) Red a 220 V.
c) Red a 180 V.





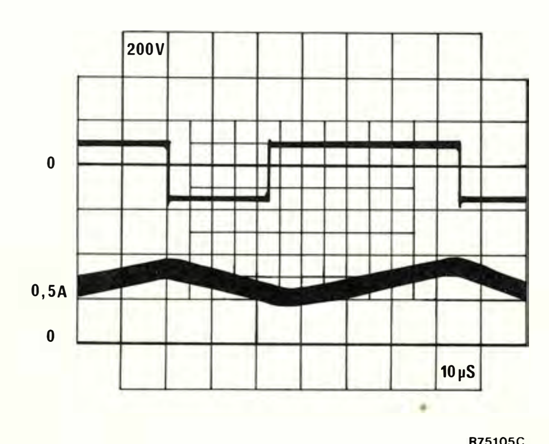


Figura 5.
a) Choque de alimentación AT4043/52; V_L e I_L con 220 V. de tensión de red y plena carga.
b) Red a 220 V
c) Red a 180 V.

En el caso de que la carga en el transformador sea inferior a 46 W o que no haya carga conectada, la componente de la corriente continua baja a un nivel correspondiente a las pérdidas. En este caso, la corriente se invierte durante parte del ciclo y debido a que la tensión realimentada tiende a aumentar ésta tiende a disminuir. Mientras sea superior a 0,4 (lo que depende la tensión de red), todas las tensiones de salida permanecen alrededor de sus valores estabilizados. Pero si la tensión de red sube, δ baja por debajo de 0,4 y la tensión de barrido en el transformador de salida L_2 no puede mantenerse constante porque el transistor conduce un poco después de que el diodo recuperador ha dejado de conducir.

En estas condiciones, en la mitad del tiempo de barrido aparece un pico de tensión y, según se describirá más tarde, durante este tiempo el excitador queda inhibido.

El resultado es que aunque los rectificadores de barrido todavía suministran tensiones de salida normales, la tensión de M.A.T. quedará muy reducida. Resumiendo, se puede retirar la carga sin dañar la fuente de alimentación, los dispositivos de conmutación o aquellos circuitos del receptor que estén conectados a la fuente de alimentación.

Si no se conecta ninguna carga, el lazo de realimentación llega a hacerse inestable; por ello, cuando se desconecta una parte del receptor por razones de prueba, conviene conectar una resistencia de 1 kΩ/25 W a la salida de 150 V, lo cual mantiene estable el lazo de realimentación.

7. OSCILOGRAMAS

El comportamiento descrito en las secciones precedentes se ilustra con una serie de oscilogramas que se han realizado en un prototipo de receptor 30AX.

La figura 4 muestra la tensión y corriente de colector del BU208A en varias condiciones de carga y tensión de red.

La figura 5 muestra la tensión y la corriente en los extremos de la bobina AT 4043/52 en las mismas condiciones.

La figura 6 muestra la tensión de colector del BU208A y la corriente que pasa por L_1 en las condiciones de carga insuficiente descritas anteriormente.

8. ESQUEMA COMPLETO DEL CIRCUITO

En la figura 7 se muestra el esquema del sistema sincronizado de potencia.

El circuito excitador y el circuito integrado del módulo de control se alimentan por medio de un pequeño transformador TS561/2 cuya principal aplicación es la de alimentar el receptor del control remoto.

En este caso, el circuito integrado de control está conectado en el lado aislado, de manera que las operaciones de sincronización, realimentación desde una tensión del secundario, protecciones contra sobrecorriente y sobretensión y control remoto de conexión y desconexión, son fáciles de realizar. Por otra parte, la protección contra sobrecorriente para el transistor BU208A requiere un transformador aislador pequeño (AT4043/46). La compensación de zumbido no es tan óptima como pudiera serlo haciendo una conexión directa al condesador de entrada y sin transformador. Pero en este diseño, esto no es posible. Otra posibilidad sería alimentar el circuito excitador y el circuito integrado directamente a partir del condensador de entrada, de manera que la realimentación y protecciones se podrían derivar del lado del primario. Pero en este caso, la sincronización requiere el uso de un transformador y el control remoto es de realización más difícil.

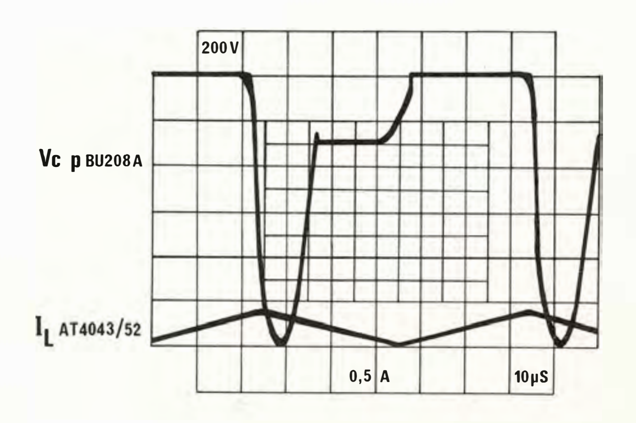
Por tanto, partiendo del empleo de un transformador para control remoto, la solución expuesta es una buena elección.

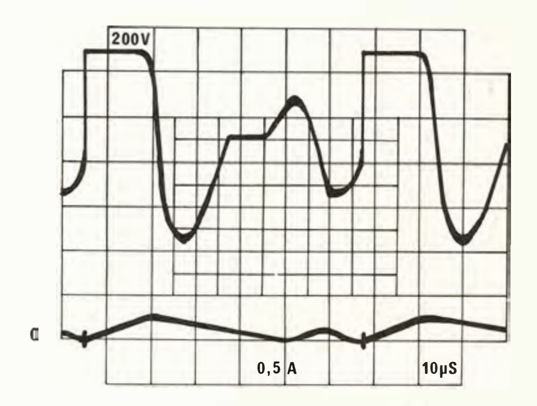
El orden de componentes en el lado primario ha variado respecto a lo expuesto en el circuito básico. Por tanto, el colector del BU208A (con su disipador) está conectado a un potencial fijo, lo que da lugar a una menor radiación de interferencias.

9. TENSIONES DE SALIDA Y CARGAS

Tensión de M.A.T. y de foco

La tensión de M.A.T. disponible es de 25 kV de valor típico en el transformador de diodos divididos (diodesplit-D.S.T.) AT2076/70. El principio de diodos divididos no es esencial en este sistema compacto de potencia; se pueden emplear también los triplicadores, pero el sistema en su totalidad es más compacto empleando un transformador de diodos divididos.





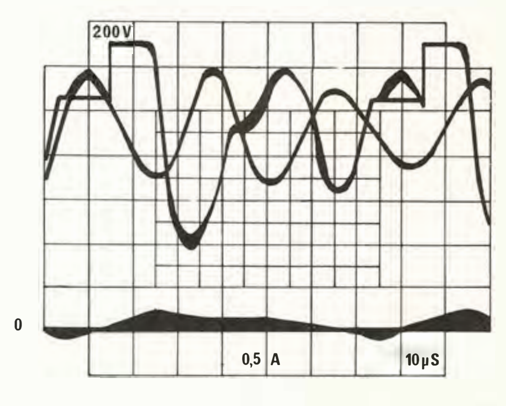


Figura 6.
a) Carga suficiente y tensión de red baja.
b) Carga insuficiente y tensión de red alta.
c) Sin carga y tensión de red alta.

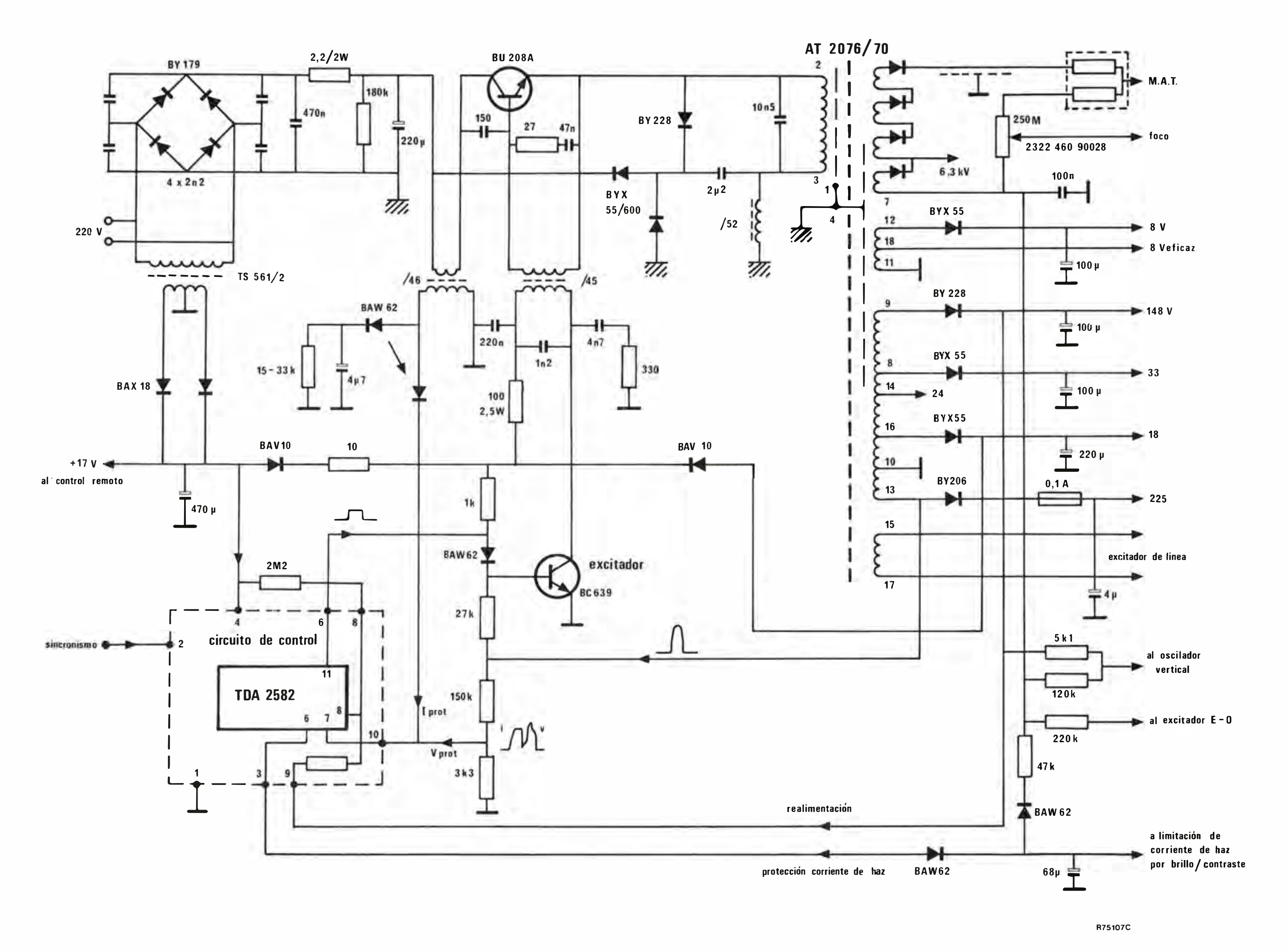


Figura 7. Sistema compacto de potencia

Mediante un divisor resistivo se puede disponer de una tensión de 7,5 kV para un sistema 30AX ó 5 kV para un sistema 20AX. El divisor de M.A.T. consume unos pocos microamperios y proporciona una vía de descarga de la M.A.T. después de haber desconectado el receptor. Por tanto, el receptor se puede desconectar con seguridad sin corriente de haz.

El lado «frío» del bobinado de M.A.T. (terminal 7) está conectado a través de dos resistencias (total 125 kΩ) a la línea de 148 V. Al aumentar la corriente de haz, este punto baja su potencial y en combinación con el divisor resistivo se obtiene un arrastre ideal para la tensión de foco.

Si ajustamos una corriente de haz de 1,2 mA, el potencial en el terminal 7 se acerca a cero debido a que a través de la resistencia de 47 kΩ y el diodo BAW 62, dicha corriente hace bajar la tensión en el condensador de 68 μF. Esta tensión puede utilizarse para reducir el contraste y el brillo mediante su aplicación en el amplificador de luminancia.

En caso de fallo, si esta acción no fuera seguida por el resultado deseado y la corriente de haz continuara creciendo por otras razones, este punto llega a hacerse negativo. En este caso, el circuito de protección del circuito integrado del módulo de control se activa a través del diodo BAW62 conectado al terminal 3 del módulo. Y por consiguiente, la corriente máxima de haz queda limitada a 1,25 mA. En caso de que se desee otro valor, la resistencia de 120 kΩ anteriormente mencionada debería cambiarse.

La tensión de M.A.T. está sujeta a las tolerancias de la inductancia del transformador de salida y del condensador de retroceso, suponiendo la tensión de barrido estabilizada. Otra causa de variación de la tensión de M.A.T. puede ser el hecho de que la fuente no esté sincronizada.

Alimentación de la base de tiempos de línea : 148 V

La tensión de 148 V se obtiene rectificando el barrido mediante un diodo adecuado, el BY 228. La tensión inversa de pico es 950 V.

La corriente directa es menor de 200 mA de valor medio para una aplicación a la base de tiempos de línea del sistema 20AX y sólo de unos 130 mA en el caso del 30AX.

La forma de onda no sigue exactamente el modelo idealizado dibujado en la figura 2; pero en la práctica esto es más beneficioso para el diodo, debido al valor relativamente pequeño del condensador del primario C_1, la tensión de barrido tiene una ligera forma parabólica. Esto hace que la conducción y corte de este diodo sea menos brusca (al igual que todos los restantes diodos rectificadores de barrido).

Concretamente, el corte tiene lugar antes de que empiece el retroceso, y como consecuencia de ello, las pérdidas del paso de conducción a no conducción son muy bajas.

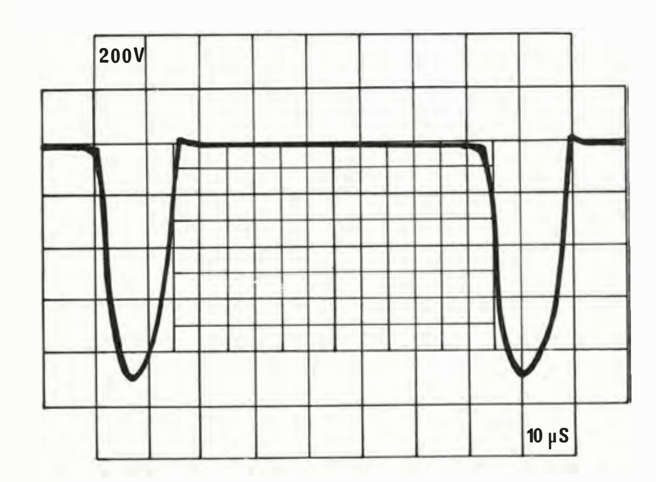
Otro resultado favorable, debido también a este comportamiento, es que el ruido generado por la conmutación del diodo es tan bajo que no es necesario emplear condensadores en paralelo.

La figura 8 muestra un oscilograma de la corriente y la tensión inversa de pico en el diodo.

Alimentación de la base de tiempos de campo; alimentación de sonido: 33 voltios

La tensión inversa de pico en el diodo rectificador es 210 voltios y la corriente media necesaria para una base de tiempos del sistema 20AX es de unos 0,5 A mientras que para el sistema 30AX es de 0,3A.

Existen algunos diodos que cumplen estos requerimientos tales como BYX 55, BY 406 u otros de menor corriente como el BY 206; en caso de que se desee una potencia



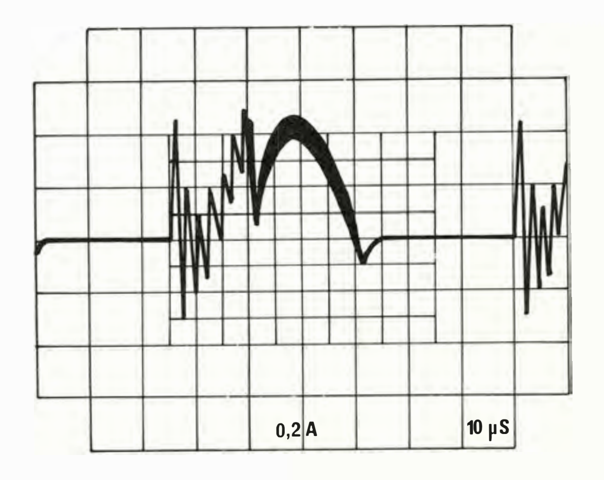


Figura 8.

de sonido elevada, se tienen dos posibilidades: alimentar a 33 V o a 24 V, disponibles en el terminal 14 del transformador de salida. Pero, para una salida de audio inferior a 5 W se dispone de una fuente de +18 V

No obstante, si fuera necesaria la salida de +33 V, sería aconsejable un diodo rectificador separado para el amplificador de sonido en lugar de un rectificador común para sonido y base de tiempos de campo. Esto daría lugar fácilmente a interferencias mutuas. En la figura 9 se muestra el circuito adecuado que permite una potencia de salida de unos 15 W de potencia senoidal. La resistencia y el choque en serie con el diodo rectificador, junto con una resistencia que introduce una realimentación en el circuito integrado del módulo de control, evita interferencias de sonido en la imagen.

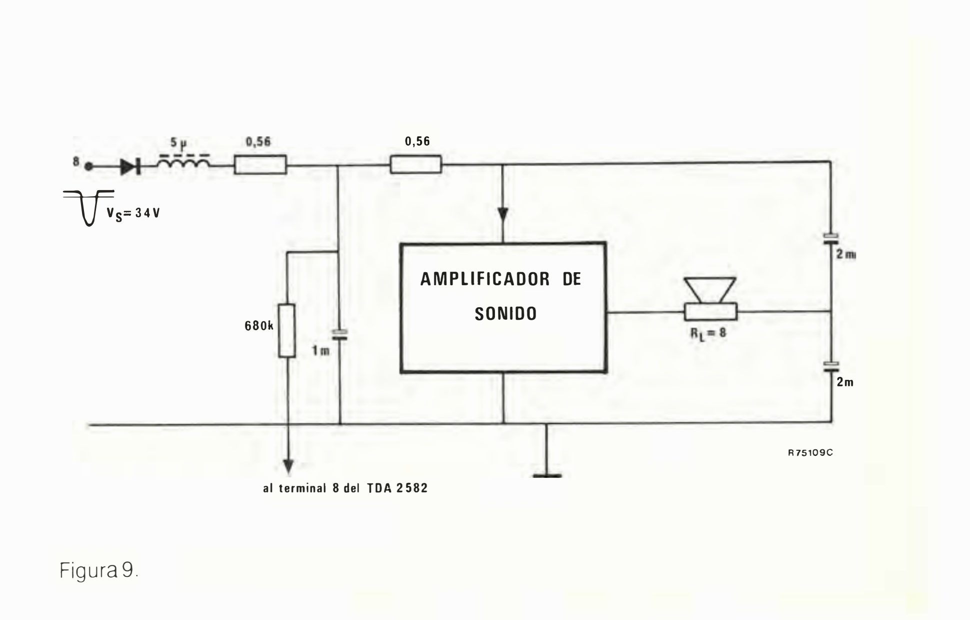


Figura 9.

Alimentación de sonido y circuitos de pequeña señal: 18 voltios

La salida de 18 V puede utilizarse directamente para alimentar un amplificador de audio. Además, a partir de ella y mediante un estabilizador de 12 V se pueden alimentar los circuitos de pequeña señal.

Alimentación de salida de video: 225 voltios

La tensión de 225 voltios es la adecuada para alimentar las etapas de salida de video en clase B, cuyo consumo no sea superior a 50 mA. En este caso se rectifica la tensión de retroceso, ya que de lo contrario sería necesario usar un diodo caro por la elevada tensión de pico inversa que tendría que soportar (más de 1.500 V).

Para proteger el diodo contra cortocircuitos en los terminales de salida se puede utilizar un fusible o una resistencia fusible.

El diodo rectificador adecuado para esta aplicación es un BY206 ó BY406.

Alimentación del filamento del tubo: 8 voltios

En el transformador hay un bobinado común para alimentar el filamento del tubo de imagen y para alimentar los decodificadores de telexto, etc.

Carga total en el secundario

La carga del transformador SPP durante el barrido no tiene mucha influencia en la corriente de pico del BU208. Sin embargo, aunque ello no afecta directamente a los dispositivos de conmutación, ni al aumento de temperatura del transformador, debería mantenerse dentro de los límites aceptables.

Por consiguiente, en el transformador DST AT2076/70 se recomienda permanecer por debajo de una potencia de salida media de 130 W. Las cargas instantáneas debidas a la base de tiempos de campo y a los amplificadores de audio clase B, pueden exceder considerablemente este nivel sin daño alguno, siempre que se mantenga el valor medio indicado.

10. EXCITACION DEL TRANSISTOR DE SALIDA

El excitador del transistor de potencia está alimentado a baja tensión.

El excitador se alimenta primero de la red a través de un pequeño transformador (TS561/2); pero este transformador no puede suministrar suficiente potencia como para excitar la salida en condiciones fijas de baja tensión de red. Por consiguiente, la tensión de alimentación del excitador se conmuta por la tensión estabilizada de la etapa de salida en cuanto se ha conectado la fuente.

Para determinar la corriente de base requerida y el tiempo de almacenamiento del transistor, es preciso conocer primero la corriente de pico máxima de colector.

En la tabla 1 se dan las tolerancias y variaciones operacionales que afectan al transformador de salida.

Por tanto, la corriente de pico del BU208 A puede alcanzar un nivel máximo de $1{,}138 \times I_c$ pico (nominal) $= 1{,}38 \times 2{,}65$ A $= 3$ A.

Ya que el valor de δ depende de la tensión de red, la excitación de base al final del barrido y el tiempo de almacenamiento dependen de la tensión de red. El circuito de la figura 7 corresponde con las cifras que aparecen en la tabla 2.

En el valor final de I_b puede aceptarse una tolerancia de ±20% debido a dispersiones en el valor de los componentes. El límite mínimo recomendado con una tensión de red de 220 voltios es de 0,46 A, que daría lugar a una disipación total del transistor de 10 W (en caso de una muestra límite en su valor V_{CE} sat).

El disipador adecuado para cumplir todos los requerimientos del transistor de salida deberá tener una resistencia térmica de $R_{th} = 3{,}6$ °C/W.

El transformador excitador aislado de red AT4043/45 tiene una inductancia de fugas suficiente para lograr los tiempos de almacenamiento citados anteriormente.

TABLA 1

Componente		Tolerancia	Efecto sobre tensión de pico	Corriente de pico
Transformador AT 2076/70		±5%	3,5%	5%
Condensador de retroceso		±5%	2,25%	—
Exactitud en el ajuste de V de salida		±2%	2%	2%
Deriva de capacidad (vida)		—2%	0,9%	—
Deriva del lazo de realimentación (vida)		±1%	1%	1%
	Valor RMS		4,8%	5,5%
Tensión de red		±20%	0,5%	0,5%
Desincronización		± 6%	7,8%	7,8%
	TOTAL		13,1%	13,8%

TABLA 2

Tensión de red	Tiempo de conducción	Ib final	ts	tbz
265V	26μs	0,7A	5,4μs	1,4μs
220V	31μs	0,67A	5,2μs	1,6μs
180V	40μs	0,6A	4,6μs	1,7μs

El transistor excitador es un BC639 que trabaja en modo no simultáneo con el transistor de salida.

En la figura 10 se muestran las formas de onda de corrientes y tensiones de este circuito.

Si después del arranque no se conmutara la tensión de alimentación del circuito por la tensión estabilizada, la corriente de base sería 0,6 A en lugar de 0,67 A a 220 V de tensión de red, y 0,4 A en lugar de 0,6 A con 180 V de tensión de red. La mayoría de transistores BU 208 A podrían funcionar satisfactoriamente con estas corrientes, incluso durante largos períodos. Pero, algunas muestras de baja ganancia en corriente sufrirían insuficiente excitación a baja tensión de red, llevando al transistor a una disipación excesivamente alta. Con el dispositivo de conmutación, las condiciones de excitación se mantienen correctas en todas circunstancias.

TENSION MAXIMA DE PICO EN EL COLECTOR

Teniendo en cuenta las tolerancias de la tensión de pico existente en el transformador de salida, con una tensión de red de 265 V, la tensión de pico del colector del BU208A puede alcanzar un nivel máximo de:

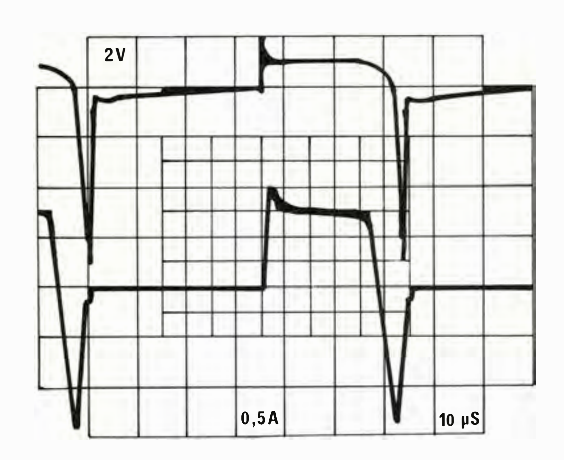
$$V_p = V_i\ \text{máx} + 1{,}131 V_{TR}\ \text{nom.} =$$
$$= 350 + 1{,}131 \times 950 = 1{,}425\ \text{V}.$$

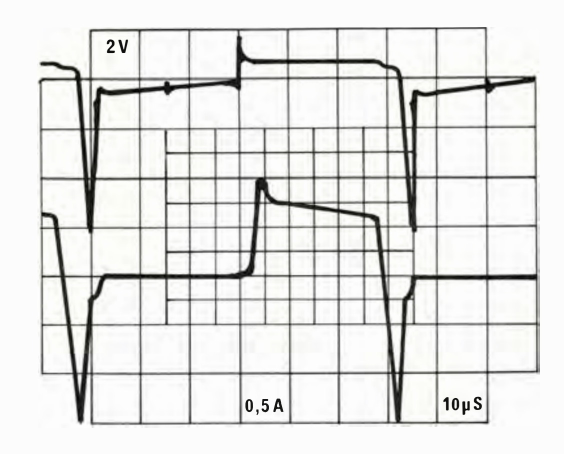
Con el fin de proteger el transistor contra las tensiones de pico excesivamente altas en condiciones de fallo (tal como una desviación grande de frecuencia), el circuito de protección está realizado para que actúe cuando la tensión de pico en el transformador llegue a superar un 20%.

Por consiguiente, la fuente de alimentación, se desconecta antes de que la tensión de pico en el colector pueda alcanzar 1.500 V.

$$V_p\ (\text{caso de fallo}) = 350 + 1{,}2 \times 950\text{V} = 1.490\text{V}$$

El circuito de protección se describirá en el próximo número (Revista Miniwatt, vol, 19. n.º 11)





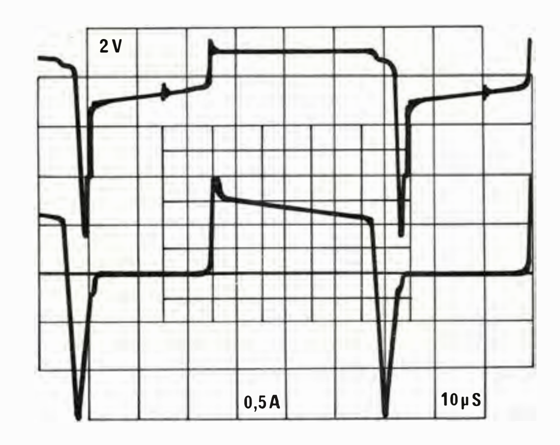


Figura 10. Excitación: V_{BE} e I_B del BU280A de la fuente.

a) Tensión de red 260 V
b) Tensión de red 220 V
c) Tensión de red 180 V

DECODIFICADOR DE COLOR PAL CON EL CIRCUITO INTEGRADO TDA 3560

En este artículo se describe un decodificador PAL con sólo un circuito integrado TDA 3560 y su acoplamiento.

1. INTRODUCCION

El decodificador de color PAL con un solo circuito integrado de 28 patillas, TDA 3560, combina todas las funciones necesarias para la identificación y demodulación de las señales PAL.

Contiene además un amplificador de luminancia, una matriz RGB y amplificadores RGB que porporcionan una señal de salida nominal de 5 V_{p-p}.

Tiene a su vez entradas analógicas para señales externas de RGB. El paso de manejo de video a inserción de datos se realiza por medio de una rápida conmutación de video a datos, lo que permite la inserción de datos dentro de una imagen sin causar flancos coloreados en los transistorios. Por lo tanto, estas entradas se pueden usar por ejemplo para telexto, numeración de canal, juegos de T.V., etc. Las señales de salida están controladas por un limitador de blanco de pico a través de una fuente interna de corriente en la tensión de control del contraste, lo que reduce las señales de salida cuando tienden a hacerse demasiado grandes. A continuación se da una descripción del circuito integrado.

2. DESCRIPCION DEL CIRCUITO

En la figura 1 se da un diagrama de bloques del TDA 3560. La circuitería interna conectada directamente a las patillas se discutirá en los siguientes apartados.

2.1. Señal de luminancia (figura 2)

El canal de luminancia se ha diseñado para señales de luminancia con impulsos de sincronismo negativos y debería tener una señal de entrada típica de 0,45 V_{pp} (del blanco de pico al tope de sincronismo), de esta forma el decodificador se puede diseñar fácilmente para que acepte señales externas (de grabadoras de video, por ejemplo) de 1 V_{pp} de amplitud.

La señal de luminancia está acoplada en alterna a la entrada (patilla 10) donde es fijada a una tensión interna de referencia de aproximadamente 1,7 V_{cc}.

La impedancia de entrada es muy alta (corriente de entrada máxima 0,5 μA) y las corrientes de carga y descarga del condensador de acoplo son muy pequeñas. Por lo tanto, se puede situar un circuito con una línea de retardo de 1 kΩ en frente mismo de la entrada sin que esto afecte de forma notable al nivel de negro de la señal de entrada. Además, el condensador de acoplamiento puede ser pequeño: 22 nF. El impulso de fijación se obtiene de la parte superior del impulso almena y funciona únicamente durante el pórtico posterior de la señal de sincronismo.

En la etapa de control de contraste de luminancia, la señal de luminancia está controlada en ganancia por la tensión continua que viene del convertidor lineal-logarítmico de la tensión de control de contraste de la patilla 7.

Para un margen de control de 2 a 4 V existe una relación lineal entre un cambio de tensión en la patilla 7 y la ganancia de la etapa de control de contraste de luminancia.

La impedancia de entrada en esta patilla 7 es muy alta (corriente máxima de entrada 5 μA) de manera que la circuitería de control remoto puede excitar directamente el control de contraste sin necesidad de un conversor de impedancia. (Lo mismo sucede con las entradas de fijación de brillo y saturación, patillas 11 y 6).

El margen total de contraste está por encima de 17 dB. Con una tensión nominal de contraste (máximo —3 dB) y una señal de entrada de luminancia nominal de 0,45 V_{pp}, las señales de salida RGB (patillas 12, 14 y 16) son de 5 V_{p-p} (blanco a negro). Con una tensión de contraste máxima (4 V), las señales de salida tienen una amplitud de +3 dB con respecto a su valor nominal.

Con una tensión mínima de contraste (2 V), las señales de salida tienen todavía una amplitud de —14 dB con respecto a su valor nominal.

Si el nivel de tensión en la patilla 7 es de 1 V o menor (esto está fuera del margen de control de contraste) se suprimen las señales de salida, figura 3a. Después del control de contraste se lleva la señal de luminancia a los tres circuitos de matriz.

2.1.1. Circuito externo de entrada de luminancia (figura 4)

Se considera una señal de 2,7 Vpp con una baja impedancia de generador.

La señal de video se lleva a una trampa de 4,4 MHz (L4C4) y a un circuito igualador de retardo (L5C5). Debido a este último, la atenuación de la trampa de la señal de croma de 4,4 MHz puede ser muy alta sin causar alteraciones en el tiempo de retardo de grupo de la señal de luminancia. Tiene además la ventaja de la corrección de contorno, figuras 5a y 5b. Las señales superiores en los oscilogramas de la figura 5 muestran una señal de barras de 250 kHZ con una corrección de contorno del 15% en el oscilograma *a* y del 10% en el oscilograma *b*, respectivamente. Las señales inferiores corresponden a una señal de barrido de 0 a 10 MHZ. La exten-

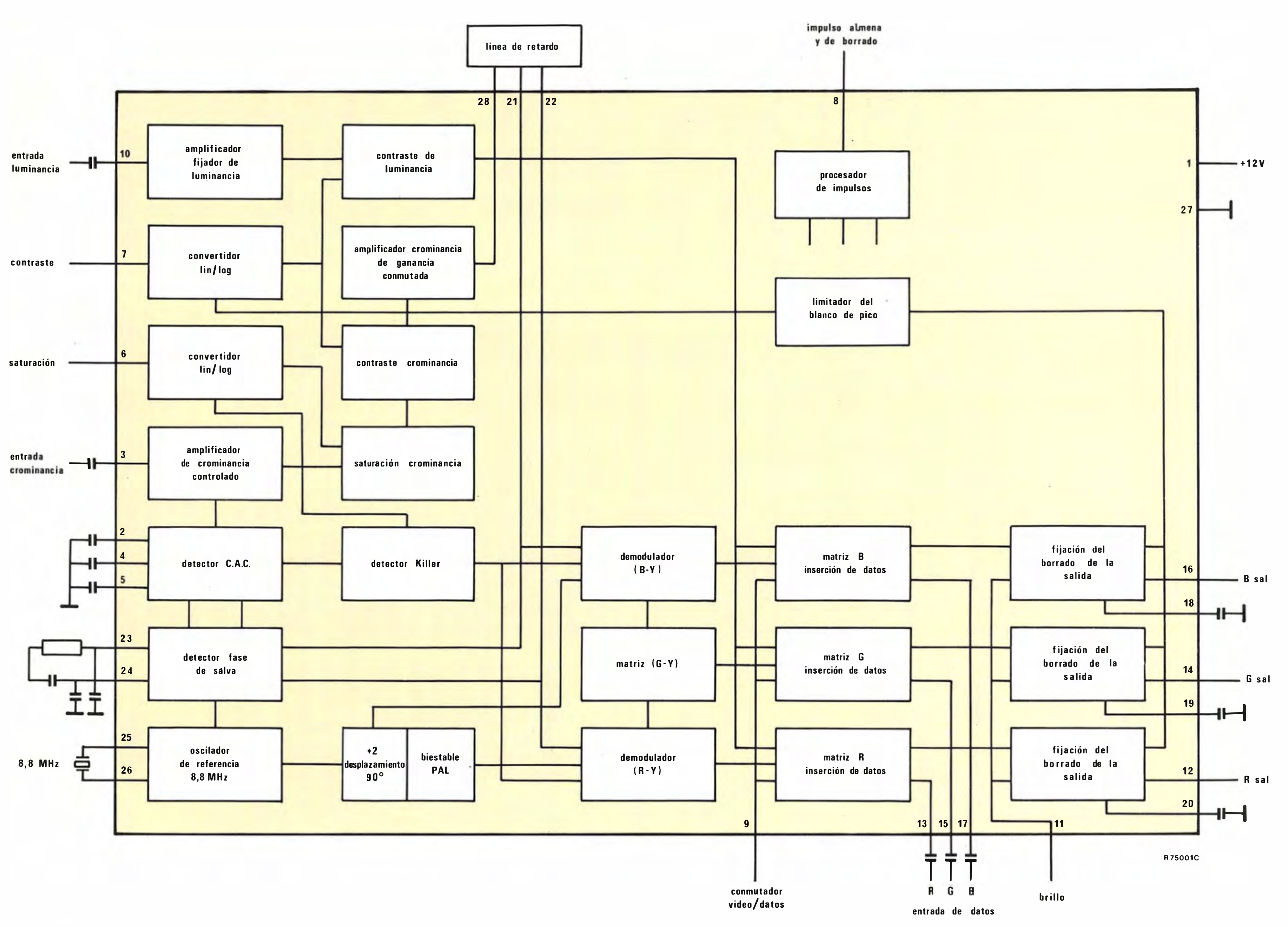


Figura 1. Diagrama de bloques del TDA 3560.

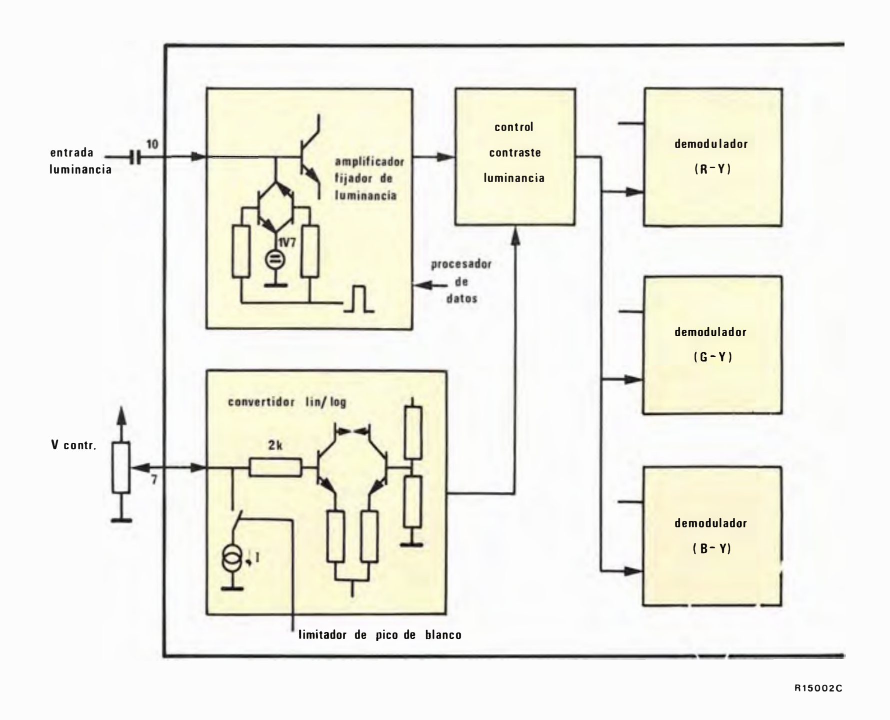


Figura 2. Canal de luminancia.

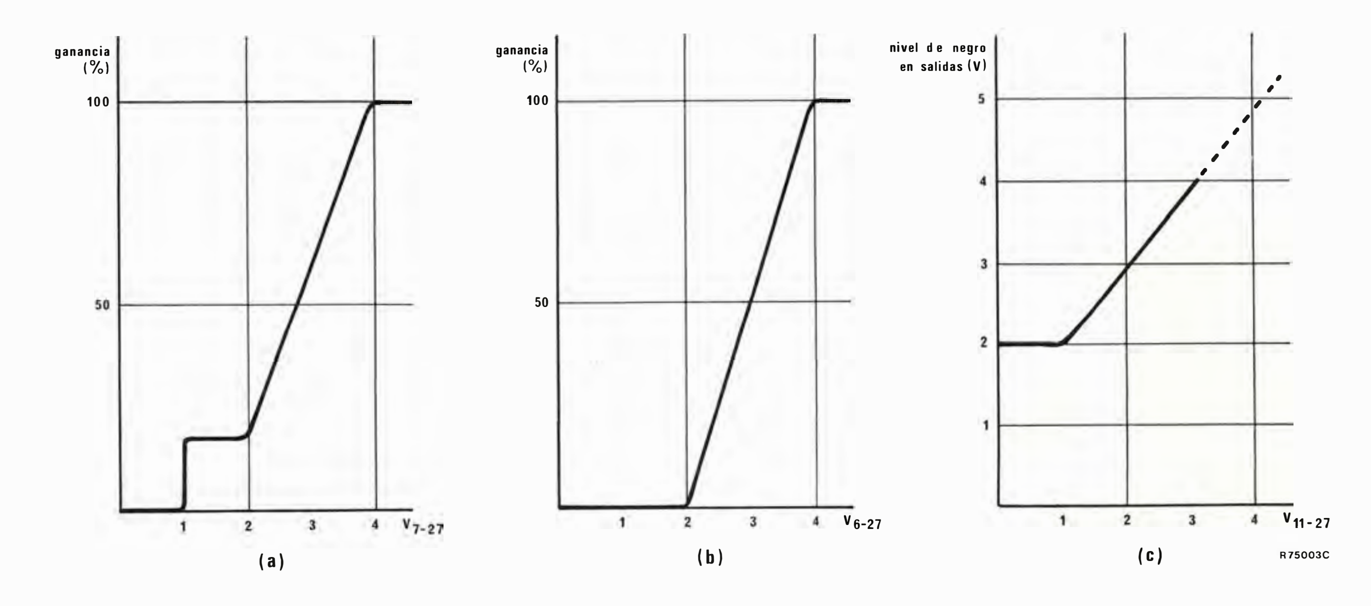


Figura 3. Controles. (a) Control de contraste. (b) Control de saturación. (c) Control de brillo.

DL 700

TDA 3560

borrado vertical

impulso almena

BAW62

R sal G sal B sal

limitador de corriente de haz

brillo

contraste

sin supresión de color

supresión de color

commutador de servicio

saturación

VIDEO 2,7 Vp.p

retardo luminancia

270 ns

commutador señal

R entr G entr B entr

Figura 4. Circuito de aplicación

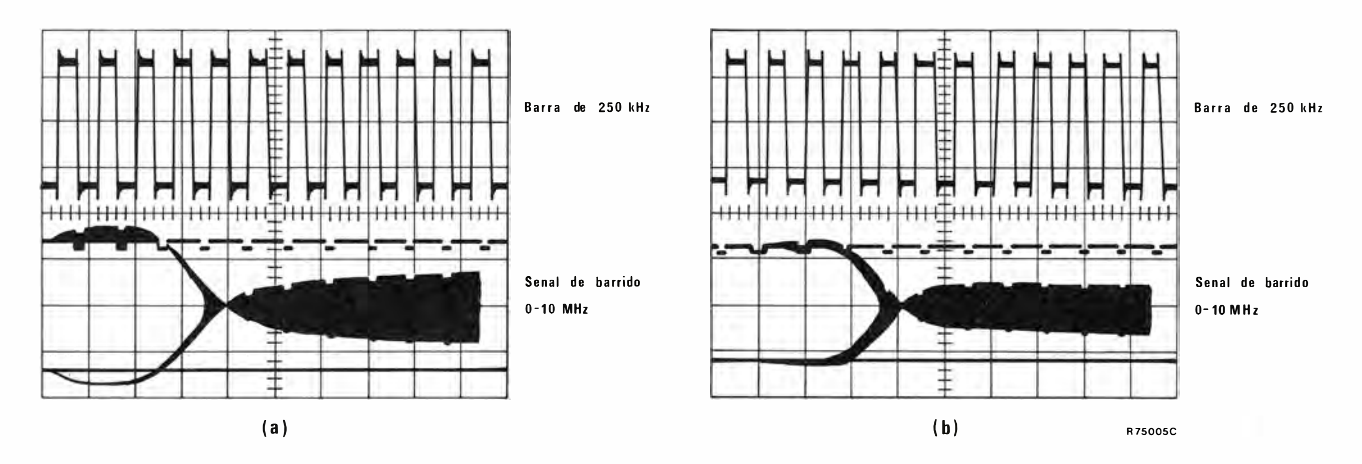


Figura 5. Señal de luminancia con corrección de contorno. (a) Corrección de contorno 15%. R7=100 Ω. (b) Corrección de contorno 10% R7=150 Ω.

sión de la corrección de contorno depende del valor de la resistencia R7 y del ajuste de L5. Después de esto, la señal de luminancia se lleva a través de una línea de retardo de luminancia y una red de resistencias al condensador de acoplo de 22 nF.

Nota: Si se usa una señal de entrada de video de 1 Vpp, se puede omitir R5 y cortocircuitar R6, sin cambiar el resto del circuito de entrada.

2.2.2. La señal de crominacia (figura 6)

La información de crominancia de la señal compuesta de video se lleva a través de R4 y C6 al filtro de 4,4 MHZ formado por R3, L3 y C3, después de lo cual se aplica a la entrada de croma (patilla 3) a través de C7. El canal de croma tiene una entrada asimétrica y se debe acoplar en alterna, su amplitud debe estar entre 55 mVpp y 1.100 mVpp (que corresponde a una señal de salva de 25 a 500 mVpp para una señal de color de barras con un 75% de saturación). La señal de croma se aplica primero a la etapa de control de ganancia, que tiene un margen de control por encima de 26 dB, controlada por el detector de control automático de color. Después de esto, la señal se aplica a las etapas de control conmutadas de saturación y contraste.

La etapa de control de contraste está acoplada directamente al control de contraste de luminancia, de manera que se obtiene un buen arrastre entre el control de contraste de luminancia y la crominancia; el arrastre típico está dentro de 1 dB en un margen de control de 10 dB, comenzando con contraste máximo. La etapa de control de saturación está excitada por el convertidor lineal-logarítmico de la tensión de control de saturación de la patilla 6.

El margen de control está por encima de 40 dB para una tensión de control de saturación que va de 2 a 4 Vcc y depende de ella linealmente, figura 3b.

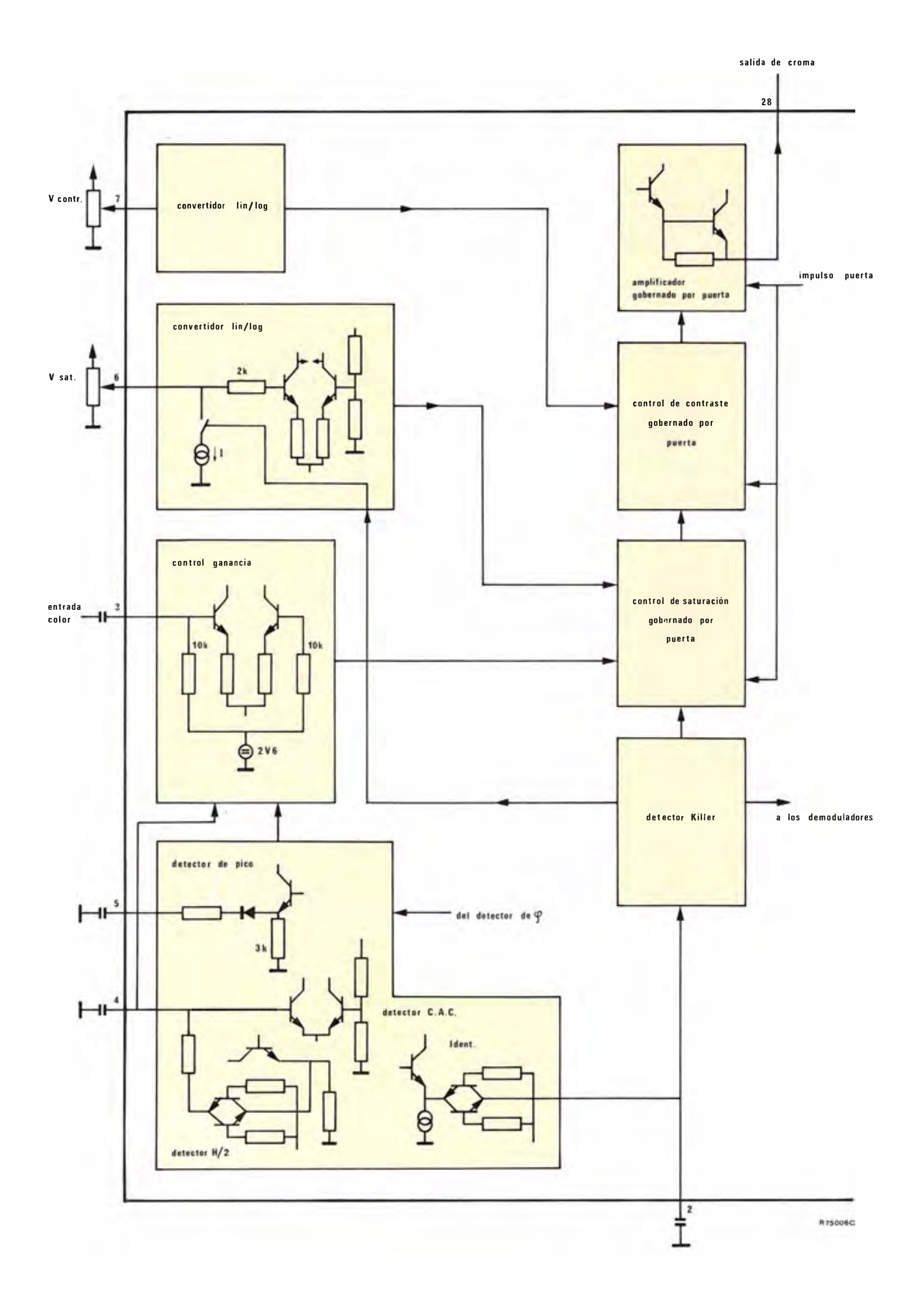


Figura 6. Canal de crominancia.

Para eliminar las fijaciones de saturación y contraste de croma durante la salva, se fijan las dos etapas de control a máxima ganancia durante el retroceso por medio de los impulsos generados en el bloque separador de impulsos de puerta. En la siguiente etapa, la señal de croma se controla mediante un amplificador conmutado que tiene una ganancia durante el retroceso de —9 dB con respecto a la ganancia durante el período de barrido, y se aplica después a través de un seguidor de emisor a la salida (patilla 28). Como consecuencia, la relación salva-/croma en la salida es idéntica a la de la entrada para una posición normal de los controles de contraste (máximo —3 dB) y saturación (máximo —6 dB). Esta señal de salida de croma se aplica al circuito de la línea de retardo y después, matrizada, a las entradas del demodulador.

La excursión disponible a la salida para la señal de salida de croma es ≃3,5 Vpp (patilla 28).

Debido a que la amplitud de la salva en las entradas de los demoduladores se mantiene

constante por el control automático de color, la amplitud de la señal de salida de croma en la patilla 28 depende de las pérdidas de inserción del circuito de la línea de retardo.

En posición normal de los controles, la amplitud típica de la salva es de 1 Vpp.

Nota: Si se usa una señal de entrada de video de 1 Vpp, R4 debe tener el valor de 1 kΩ y R3 se puede omitir.

2.3.1. Matriz de la línea de retardo (figura 4)

La señal directa se añade, a través de R8, R12 y C8, a la señal retardada en la salida de la línea de retardo por medio de L2. Los valores óptimos para los elementos de terminación de la entrada y la salida de la línea de retardo DL700 son: R=390 Ω, y L=10,7 μH. Por lo tanto, R9=390 Ω y R10=470 Ω, ya que se ha de tener en cuenta la resistencia de entrada R (patillas 21 y 22) del demodulador, que es de 2 kΩ típicos. El valor óptimo de las bobinas depende de las capacidades de carga. Véanse las hojas de datos de la línea de retardo DL 700.

2.3.2. Demodulador (figura 7)

Desde la matriz de la línea de retardo se aplica la señal (B-Y- a la patilla 21 y la señal 1±(R-Y) a la patilla 22. Las señales de referencia necesarias para los dos demoduladores se obtienen del circuito divisor de 8,8 MHZ (la señal de referencia (R-Y) a través del conmutador PAL). No se necesita ningún ajuste externo de 90°. Para restablecer la relación original entre las señales diferencia de color, la ganancia en los canales (R-Y) y (B-Y) difieren en un factor 1,78. Las señales de salida se aplican a los circuitos matriz de R y B y a la matriz de (G-Y). La señal (G-Y) se obtiene de acuerdo con la fórmula:

(G-Y)=—0,51 (R-Y) —0.19 (B-y)

y se aplica al circuito matriz de G.

2.3.3. Detector de salva

La señal de salva está también disponible en las entradas del demodulador, patillas 21 y 22. Sin embargo, debido a que el detector de salva tiene un circuito de entrada diferencial, la señal directa está únicamente en modo común y por lo tanto no le afecta. La

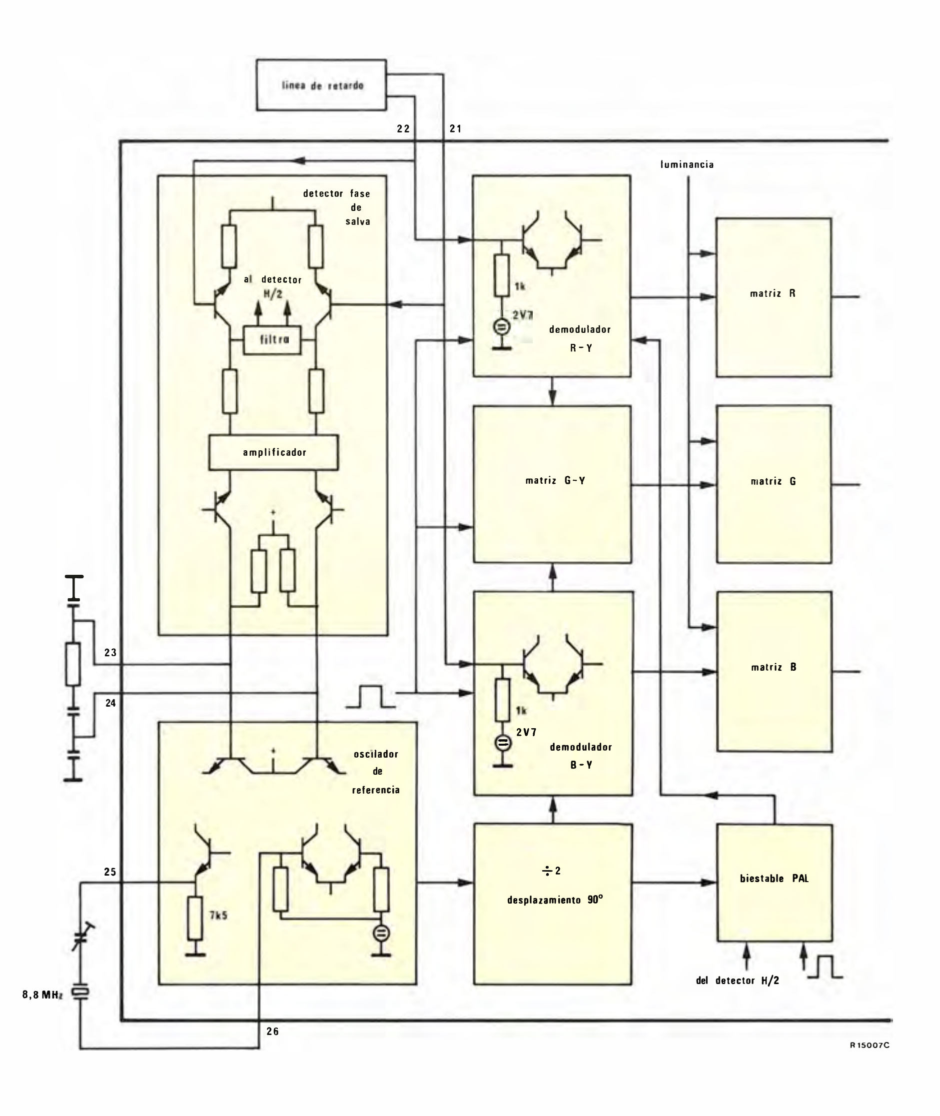


Figura 7. Canal de crominancia (continuación).

amplitud de la señal de entrada de salva se mantiene constante mediante el detector de fase de salva y el generador de control automático de color. La salida del detector de salva se aplica al oscilador de referencia controlado, a través de R11, C9, C10 y C11 en las patillas 23 y 24.

Usando el circuito de aplicación mostrado en la figura 4, se obtiene un margen de enganche ≥500 Hz.

2.3.4. Oscilador de referencia

El oscilador de referencia trabaja a 8,8 MHZ y se puede ajustar su frecuencia libre de funcionamiento mediante el condensador de ajuste C1 (en serie con el cristal).

La resistencia de entrada típica en la patilla 26 es de 270 Ω y la resistencia típica de salida en la patilla 25 es de 200 Ω.

Para hacer que el oscilador funcione libremente, se interconectan las patillas 23 y 24 (salidas del detector de fase de la salva) o bien se cortocircuita la salida de la línea de retardo de croma.

2.3.5. Control automático de color y supresión de color

La fase del biestable PAL que está exci-

tado por los impulsos obtenidos del impulso almena, se compara en el detector de H/2 con el rizado H/2 del detector de fase de salva.

Cuando la fase no es correcta, el biestable recibe un impulso de puesta a cero (reset) desde el detector de H/2. Cuando la fase es correcta, la tensión de salida del detector H/2 está relacionada directamente con la amplitud de la salva y se puede usar para el control automático de color. Para evitar una imagen demasiado coloreada en condiciones de señal débil, la tensión de control automático de color está generada por medio de la detección del pico de la señal de salida del detector de H/2.

El circuito supresor de color y el de identificación obtienen su información de la señal de salida gobernada por puerta del detector H/2. La tensión de control para la identificación está disponible en la patilla 2. Con una señal nominal de entrada de cominancia (amplitud de salva 250 mVpp) y una anchura del impulso de la puerta de salva de 4 μs, la tensión típica de control de la patilla 2 es de 4,7 V. Para una amplitud de salva decreciente, la tensión de control también decrece hasta alcanzar un nivel de tensión de 2,7 V; en este momento se activa el supresor de color. Con una señal de entrada sin salva, la tensión de control es 2,4 V. Se obtiene una señal de salva creciente sin supresión si la tensión de control sobrepasa un nivel de tensión de 3,1 V. Si se tiene una identificación errónea, la tensión de control es 1,6 V. La supresión de color se realiza a la vez a través de la etapa de control de saturación y de los demoduladores, de modo que se obtiene una buena supresión.

Durante la supresión de color, un generador interno de corriente reduce la tensión de control de saturación a un nivel bajo, supuesto que la resistencia de la red externa de control de saturación es suficientemente alta. La aparición de color se puede retardar con una elección adecuada de la constante de tiempo del circuito de fijación de la tensión de control de saturación (ver apartado 2.6.).

Se puede conseguir una supresión o aparición manual de color mediante la entrada de control de saturación de la patilla 6. Conectando esta patilla a tierra se activa el supresor de color, conectándola a través de una resistencia de 470Ω a la tensión de alimentación eliminamos el supresor de color. Esto se puede usar para el ajuste.

2.4. Amplificadores y matriz R.G.B. (figura 8)

Debido a que los tres circuitos de matriz y amplificadores son completamente idénticos, se describirán únicamente los del canal rojo.

La señal de luminancia, que proviene de la etapa de control de contraste de luminancia, y la señal diferencia de color de la matriz (R-Y) se suman en el circuito matriz de forma que se obtiene la señal R, a continuación esta señal es amplificada y se aplica al fijador de nivel de negro. El nivel de negro de la señal de salida se compara con un nivel de tensión de referencia externo (patilla 11) que se usa a la vez para control de brillo. La tensión de control se almacena en un condensador conectado a la patilla 20 (patillas 19 y 18 para las señales G y B respectivamente).

El impulso necesario de fijación de nivel de negro se obtiene de la parte superior estrecha del impulso almena de la patilla 8. La señal de salida se borra con la parte baja del impulso almena a un nivel de 2 Vcc. En la posición nominal de los controles de contraste (más —3 dB) y saturación (máx —6 dB), con unas señales de entrada nominales (0,45 Vpp de luminancia, incluyendo sincronismo, y 550 mVpp de croma con una relación salva/croma de 1:2,25) las señales de salida tienen una amplitud de 5 Vpp. En la figura 3c se da la relación entre el nivel de negro y la tensión de control de brillo.

2.4.1. *Limitador del blanco de pico*

El nivel máximo del blanco de las señales de salida es 9V. Si una (o más) de las señales de salida sobrepasa este nivel de 9 V, el

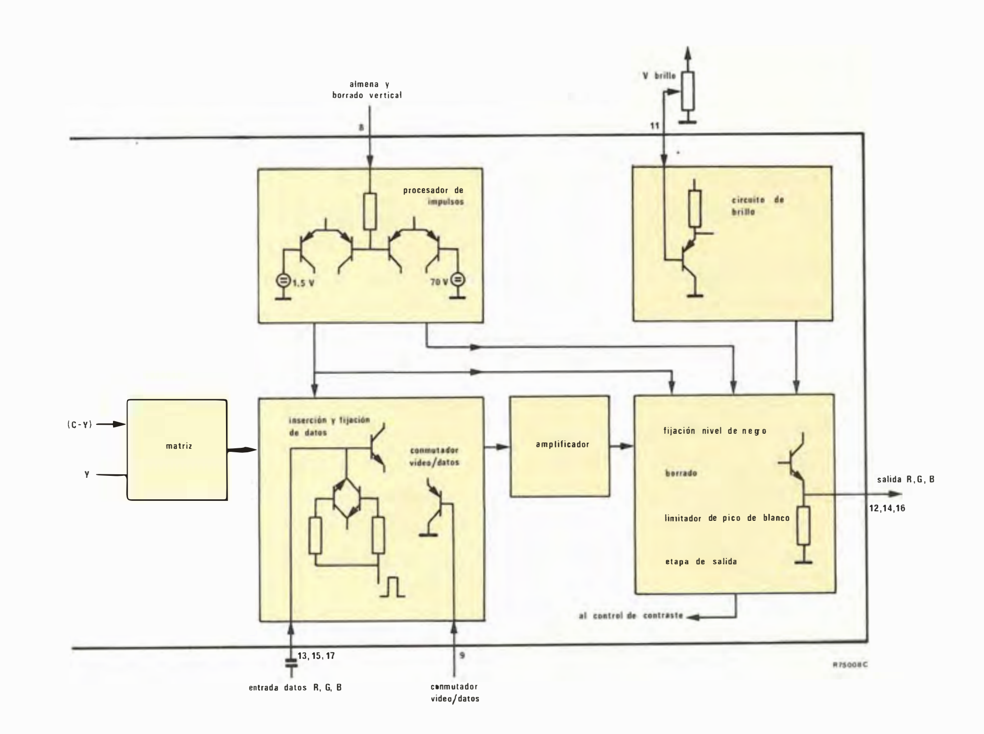


Figura 8. Matriz RGB y entrada de datos.

circuito limitador del blanco de pico se hace activo y reduce las señales de salida a través del control de contraste, descargando C2 por medio de un generador interno de corriente de unos 5 mA.

Nota: Son posibles valores de nivel de negro mayores de 4 V y hasta unos 6 V; sin embargo, en estas condiciones la señal de salida disponible se reduce a 3 Vpp (nivel del blanco de pico menos el nivel de negro).

2.5 Inserción de datos (fig. 8)

Este decodificador de un solo circuito integrado tiene también la ventaja de unas entradas analógicas, para señales de datos externos R.G.B., en las patillas 13, 15 y 17 respectivamente. El nivel de negro de las señales insertadas se iguala en las salidas al nivel de negro de la señal normal de video. Con este objeto, las señales de datos están acopladas en alterna a las entradas y se fijan al nivel de negro de las señales internas R.G.B. de los circuitos matriz durante el periodo de la parte superior del impulso almena de la patilla 8. (La diferencia entre el nivel de negro de las señales R.G.B. insertadas y las señales internas en la salida es menor de 60 mV)

La impedancia de la fuente del circuito excitador de datos no debe ser mayor de 150 Ω con objeto de evitar cualquier alteración del nivel de borrado en el circuito de fijación.

El paso de manejar señal de vídeo a insertar datos se activa por medio de la señal de entrada de la patilla 9. Si el nivel de tensión en esta patilla 9 sobrepasa el nivel de 0,9 V (máximo 2 V) se desconectan las señales de los circuitos matriz y las señales insertadas se aplican a los circuitos de salida. Debido a que los tiempos de conmutación son muy cortos (<20 ns) es posible también insertar datos dentro de una imagen, como teletexto o numeración de canal, sin causar flancos coloreados en la señal insertada en pantalla.

El manejo de señal de las señales insertadas es igual que el de las señales internas R.G.B. de los circuitos matriz; es decir: fijación, borrado, control de brillo y limitación de blanco de pico. Esto quiere decir que las señales insertadas no se ven influenciadas por los controles de contraste y saturación pero sí, en cambio, se puede fijar el brillo mediante el control del mismo.

Para una amplitud de tensión nominal de salida de 5 Vpp. la señal de entrada debería tener una amplitud de 1 Vpp.

Debido a que las señales insertadas se fijan por medio del impulso almena, las señales externas R.G.B. deben estar sincronizadas con la señal de entrada de video y el impulso almena.

Incluso si no están insertadas, por medio de la señal de conmutación de video/datos de la patilla 9, las señales externas R.G.B. en las entradas de las patillas 13, 15, 17 deben estar sincronizadas.

Esto es para evitar saltos de tensión en las señales externas R.G.B. durante el período de fijación que inducirían grandes picos de corriente, que a su vez alterarían la tensión de control de nivel de negro en los condensadores de las patillas 18, 19 y 20. Este efecto alteraría considerablemente el nivel de negro de las señales de salida y sería visible en la pantalla.

Si se quiere únicamente funcionamiento normal (manejo de video) la entrada de conmutación video/datos (patilla 9) y los condensadores de acoplo de las señales de entrada se deberían conectar a tierra.

2.6. Impulso almena y borrado vertical

El impulso almena necesario en la patilla 8 debe tener una parte superior estrecha para puerta de salva y fijación de nivel de negro, con una amplitud entre 7,5 V y la tensión de alimentación, debe empezar justo después del impulso de sincronismo para prevenir la fijación del impulso de sincronismo.

La parte más baja y ancha del impulso se usa como puerta del canal de crominancia (amplificador de contraste y saturación gobernado por puerta) y para el borrado de las señales de salida R.G.B. Debe tener una amplitud entre 2 V y 6.5 V.

La entrada de la patilla 8 se emplea también para el borrado vertical. Por lo tanto, se debe añadir al impulso almena un impulso de borrado vertical que tenga una amplitud de entrada entre 2 V y 6,5 V

2.7. Circuitos de fijación de los controles

Como se dijo anteriormente, los controles de saturación y de contraste deben tener un margen de control de 2 V a 4 V, y el control de brillo un margen de 1,0-3,2 V. La figura 4 muestra las redes resistivas que se usan para conseguir estos márgenes de control a partir de un margen de 0-12 V. La tensión de fijación de contraste está controlada también por el limitador de corriente media de haz que reduce la corriente media de haz demasiado alta, disminuyendo las salidas R.G.B. por medio de la descarga de C2.

La tensión de control de saturación se puede puntear por el conmutador de servicio, que se puede usar para supresión del color o inhibición del supresor de color durante el proceso de ajuste.

2.8. Alimentación

El valor nominal de la tensión de alimentación es de 12 V, que conrresponde a una corriente típica de 85 mA para el circuito integrado y ≃4 mA para los circuitos de fijación de control.

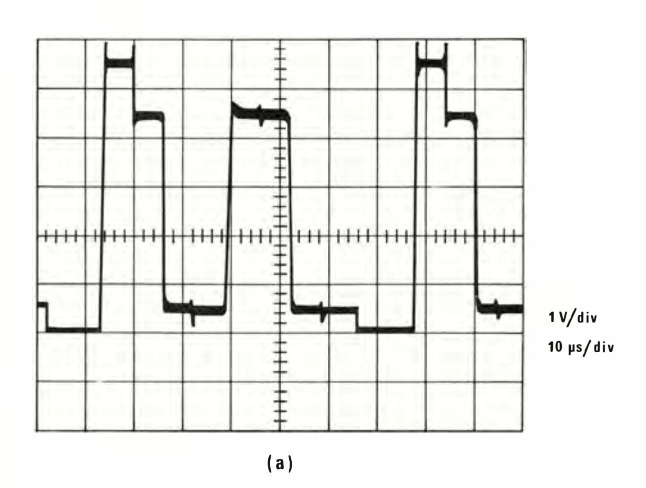
Una gran ventaja de este circuito integrado es que funciona bien para un margen de tensión de alimentación entre 8 y 13,2 V, suponiendo que los circuitos de fijación de los controles tienen la misma tensión de alimentación que el circuito integrado. Todos los niveles de señal y de control son proporcionales a la tensión de alimentación.

Véanse las figuras 9a y 9b: los oscilogramas muestran una señal de barras de color E.B.U. con barras de color al 75% en la salida R de la patilla 12, el superior (9a) con una alimentación de 12 V y el inferior con una alimentación de 8 V, ambos con los controles en posición nominal. El consumo de corriente también es proporcional a la tensión de alimentación, esto significa que con una alimentación de 8 V la corriente de alimentación es de sólo 57 mA.

2.9. Proceso de ajuste

Para el decodificador completo se necesitan únicamente seis ajustes:

- Frecuencia del oscilador de referencia.
- Trampa de 4,4 MHz en el canal de luminancia.
- Corrección de contorno en el canal de luminancia.
- Línea de retardo DL700 (amplitud y fase).
- Filtro de entrada de crominancia.



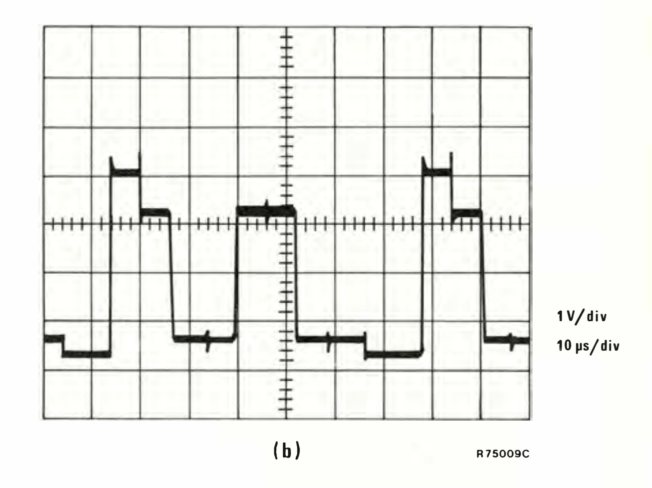


Figura 9. Señales de salida R con tensión de alimentación nominal de 12 V y 8 V (barra de color EBU con barra de color de 75%). (a) La tensión de alimentación es 12 V· (b) La tensión de alimentación es 8 V

2.9.1. Oscilador

1. Aplicar una señal de barras de color.
2. Conectar la patilla 6 a la tensión de alimentación a través de una resistencia de 470 Ω.
3. Interconectar las patillas 23 y 24 (detector de fase de salva)
4. Ajustar C1 para una rotación mínima de los colores en la pantalla.

2.9.2. Trampa de 4,4 MHz en el canal de luminancia

1. Aplicar una señal de barras de color.
2. Observar una de las señales de salida (patilla 12, 14 ó 16) y ajustar L4 para una mínima información de color o alternativamente:
   1. aplicar un color plano, por ejemplo rojo;
   2. poner el control de saturación al mínimo de manera que la pantalla se vuelva gris;
   3. poner el control de contraste al máximo;
   4. poner el control de brillo en su posición normal;
   5. ajustar L4 para una interferencia mínima de 4,4 MHz en la pantalla.

2.9.3. Corrección de contorno

1. Aplicar una señal de luminancia de barras de 250 kHZ, con tiempos de subida y de bajada del orden de 90 ns.
2. Observar una de las señales de salida (patillas 12, 14 ó 16) y ajustar L4 para un pre- y sobrepulso iguales (ver figuras 5a y 5b).

2.9.4. Línea de retardo

1. Se necesita un modelo especial de señal no alternada a lo largo del eje (R-Y) y una señal alternada a lo largo del eje (B-Y).
2. Sobre la pantalla, o en un osciloscopio se tiene que ajustar la amplitud de la señal directa de croma (R12) y la fase de la señal retardada de croma (L1) para un mínimo defecto «persiana veneciana».

2.9.5. Filtro de entrada de crominancia

1. Aplicar una señal de barras de color.
2. Observar una de las señales de salida (patillas 12, 14 ó 16) y ajustar L3 para una respuesta óptima del transitorio.

3. CONCLUSION

El decodificador PAL de un solo circuito integrado TDA 3560 es un decodificador de color muy atractivo con posibilidad de inserción de señales externas RGB, tiene además un limitador de blanco de pico que opera sobre el contraste. No necesita ajustes extras; únicamente los normales en cuanto al cristal de cuarzo, línea de retardo y selectividad de croma.

BASES DEL PREMIO SISTEMAS DE APLICACION EN TV "COPRESA"

1. Podrán concurrir a este concurso todos los autores que realicen un trabajo inédito sobre el tema que se menciona en estas bases, quedando exentas todas las personas de nuestra firma. Es condición necesaria que dicho trabajo no haya sido presentado anteriormente en ningún congreso, simposio, etc., ni publicado en alguna revista, semanario, etc. técnica nacional o extranjera.

2. El título del trabajo será "Estudio de soluciones prácticas para la obtención del rendimiento óptimo en el conjunto Alimentación-Salida de líneas-Generador de MAT en un receptor de televisión en color." El trabajo debe realizarse en torno a los transformadores DST (AT2076/30 ó AT2076/70). El circuito debe realizarse con componentes de fácil adquisición en el mercado, valorándose positivamente el contenido de componentes de fabricación nacional.

3. Los autores que participen en el **PREMIO SISTEMAS DE APLICACION EN TV COPRESA** deberán presentar:

   - una memoria con explicación descriptiva de la filosofía, funcionamiento y ventajas que aporta la solución estudiada,
   - un resultado de medidas,
   - un esquema teórico y una distribución práctica de componentes.

   La presentación de los trabajos deberá realizarse en folios mecanografiados a doble espacio y con una extensión máxima de la memoria de 30 folios.

4. El original se presentará con un título al cual seguirá un seudónimo. En un sobre cerrado aparte se incluirá el nombre y domicilio del autor. En el exterior del sobre se escribirá el título de la obra presentada seguido del seudónimo.

5. La fecha límite para la presentación de los trabajos será el día 20 de agosto de 1980.

6. Deben enviar sus originales y el sobre cerrado a: COPRESA, Depto. Técnico Consumer, Para el "Premio sistemas de aplicación en TV COPRESA", Balmes 22, BARCELONA-7.

7. Los premios serán:

   - Primer premio 100.000 Ptas.
   - Segundo premio 30.000 Ptas.

8. Los premios podrán ser declarados desiertos.

9. Durante la feria de Sonimag 1980 se realizará un acto de presentación pública de los trabajos de los concursantes finalistas. En dicha presentación se entregarán los premios, con asistencia de la prensa técnica.

10. El jurado estará formado por miembros de la Compañía de Productos Electrónicos COPRESA, S. A. Su decisión será inapelable.

11. Los originales premiados serán publicados por COPRESA y el resto serán devueltos a sus autores en los días siguientes a la concesión de los premios.

12. Los autores se responsabilizan de la originalidad de sus trabajos y se comprometen a asumir la defensa de cualquier demanda interpuesta por dicha causa.

13. La concurrencia a estos premios supone la aceptación de estas bases.

Compañía de Productos Electrónicos COPRESA, S.A.
octubre 1979

* PRORROGADA HASTA EL 29-9-80

INTRODUCCION A UN SISTEMA DE SINTONIA DE RADIO GOBERNADO POR MICROORDENADOR

Este es el primero de una serie de artículos que describen un sistema de sintonía y control de radio (RTS, Radio Tuning and Control System) gobernado por microordenador. Explica cómo se emplean dos nuevos circuitos integrados compatibles con barra de ordenador para lograr una sintonía exacta y sin deriva con un PLL (Phase-Loked Loop) en un sintetizador de frecuencia indirecto.

La tecnología LSI (del inglés «Large Scale Integration») es decir, «integración en gran escala», se halla en la actualidad tan avanzada que las funciones de sintonía, visualización y control analógico de radioreceptores pueden efectuarse económicamente mediante circuitos digitales LSI. Los componentes y partes voluminosos y caros, como condensadores de sintonía, cuadrantes, medidores, conmutadores de múltiples vías y potenciómetros pueden, por consiguiente, reemplazarse por circuitos muy pequeños pero altamente fiables que son gobernados digitalmente a través de un microordenador. Además, el control digital permite que un receptor sea operado desde el panel frontal por pulsadores del tipo usado en calculadoras o a partir de un teclado a distancia a través de un enlace por infrarrojos de datos digitales.

Las dos primeras partes de este artículo describen circuitos digitales que podrían añadirse a la sección de radiofrecuencia de un radioreceptor. Las partes restantes se dedicarán a la descripción de un nuevo sistema de sintonía de radio (RTS) que permite la construcción de receptores totalmente electrónicos en los cuales tanto la acción de radiofrecuencia como la de audiofrecuencia pueden ser gobernadas digitalmente a través de un microordenador.

Una de las ventajas principales del RTS es su construcción modular a partir de una serie de circuitos LSI, la totalidad de los cuales son compatibles con el microordenador. Esto proporciona una amplia variedad de sistemas de control que pueden adaptarse a las exigencias individuales de fabricantes de diferentes tipos de equipo. Esto se ilustra en la figura 1, la cual muestra un RTS simple y en la figura 2 en la que se reproduce un sistema más elaborado.

A fin de dar una buena descripción, el RTS se dividirá en las secciones siguientes:

— control de sintonía con un sintetizador de frecuencia.
— control de la visualización y funciones analógicas.
— controles del usuario y del microordenador.

El primer de los tres puntos se describe a continuación. Los otros dos puntos se describirán en próximas ediciones.

SINTONIA POR SINTESIS INDIRECTA DE FRECUENCIA GOBERNADA DIGITALMENTE

En el RTS, un circuito PLL (Phase Locked Loop) mantiene la sintonía estable y precisa en cualquier banda de radiodifusión en modulación de amplitud o frecuencia. La señal del oscilador local generada en el sintonizador se aplica a un divisor de frecuencia que dispone de una relación de división programable. La salida del divisor se compara con una frecuencia de referencia estable. A su vez, la salida del comparador es amplificada y filtrada antes de que sea usada como tensión de control para el oscilador local, completando por consiguiente el lazo de control. El usuario cambia la frecuencia sintonizada pulsando directamente la tecla de frecuencia requerida, la cual se convierte en la relación de división apropiada por el microordenador.

Características de funcionamiento adicionales, tales como exploración automática de sintonía, sintonía manual y memoria de estaciones pueden ser añadidas con facilidad al sistema.

Los componentes del RTS asociados con el control de sintonía son:

SAA1059 Preamplificador de entrada de alta sensibilidad y divisor de frecuencia de relación doble, que puede ser conectado a cualquier oscilador local a través de componentes pasivos.

SAA1056 Sintetizador de frecuencia con PLL, que puede ser programado directamente con la relación de división codificada en binario que es necesaria para reducir la frecuencia del oscilador local por comparación con la frecuencia de referencia. El generador de frecuencia de referencia en el SAA1056 puede ser programado para obtener pasos de sintonía de 25 kHz ó 10 kHz para modulación de frecuencia y 5 kHz ó 500 Hz para modulación de amplitud.

A fin de incrementar la sección de control de sintonía del RTS, han sido desarrollados un diodo doble de capacidad variable tipo BB212 y un diodo tipo BB223 para sintonía y conmutación de bandas en recepción de modulación de amplitud, respectivamente.

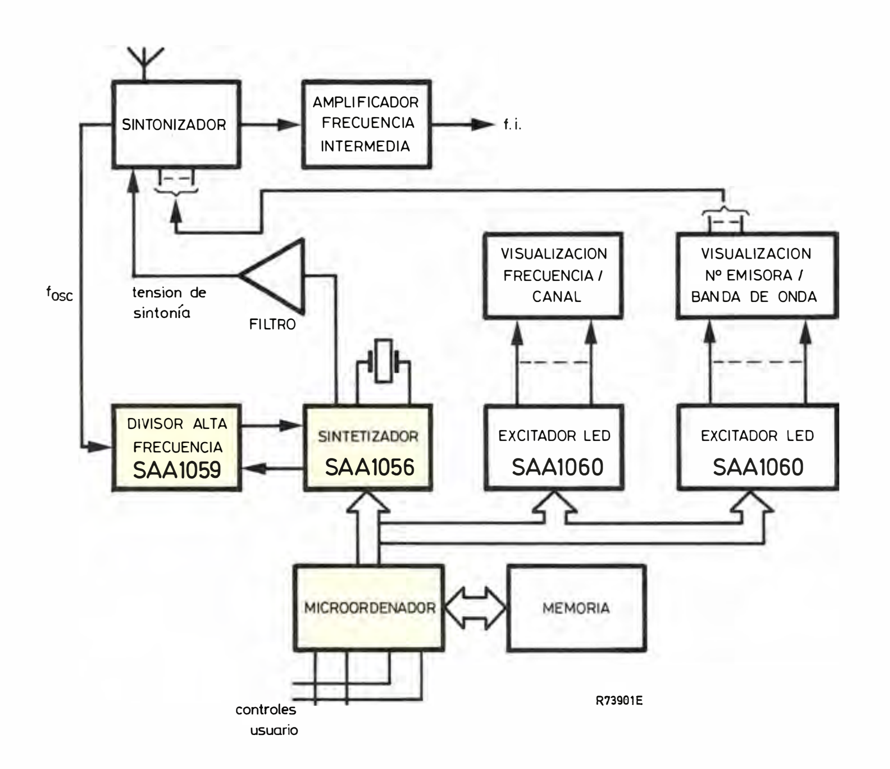


Figura 1. RTS simple.

Principio de funcionamiento de la síntesis de frecuencia

En la figura 3 se muestra un PLL básico gobernado digitalmente para efectuar la sintonía de radio. Cada ciclo de la señal generada por el oscilador local controlado por tensión (VCO) decrementa un contador preajustado de forma que genera un impulso de salida por cada N ciclos del oscilador. El tren de impulsos resultante se aplica a una entrada de un comparador de fase. Un tren de impulsos de un generador de frecuencia de referencia controlado a cristal se aplica a la otra entrada del comparador de fase. La salida de dicho comparador, que es proporcional a la fase relativa de las dos señales de entrada, se aplica a un filtro pasa bajos a fin de suprimir las componentes de alta frecuencia y se realimenta al VCO como tensión de control de sintonía. El lazo queda enclavado cuando:

$$f_{osc} = Nf_{ref}$$

De la anterior expresión se deduce que el menor incremento por el cual la frecuencia del VCO puede variarse (paso de sintonía) es f_{ref}. La frecuencia de referencia debe por tanto ser suficientemente baja para conseguir la precisión de sintonía requerida. Desgraciadamente, sin embargo, existen las siguientes restricciones que limitan el valor mínimo práctico de la f_{ref}.

La conversión de la salida del comparador de fase en tensión de control del VCO es uno de los procesos más importantes en el PLL digital, ya que cualquier variación en la falta de frecuencia de la tensión de sintonía modulará en fase el VCO. La frecuencia de referencia debe, por consiguiente, ser suficientemente alta para que pueda ser filtrada adecuadamente antes de que se aplique a la entrada de control del VCO.

El tiempo que se precisa para pasar de una frecuencia sintonizada a otra (tiempo de adquisición) es una función inversa de la anchura de banda del lazo. Como quiera que esta magnitud es siempre más estrecha que f_{ref}, un tiempo de adquisición corto precisa una frecuencia de referencia alta.

Es, por tanto, esencial que la frecuencia de referencia y los parámetros del filtro del lazo sean óptimos para el margen de frecuencia requerida del PLL. Como mínimo se precisan dos frecuencias de referencia si el PLL ha de ser lo suficientemente selectivo como para que pueda usarse en un radioreceptor de dos bandas de frecuencia. Un valor típico para los pasos de sintonía en un receptor de características moderadas, es 500 Hz para onda media y larga, 5 kHz para onda corta y 25 kHz para frecuencia modulada. Para receptores de frecuencia modulada de características superiores, precisa una frecuencia de referencia tan baja como 10 kHz o, en algunos casos más raros, 5 kHz. Para ello, se intercala entre el generador de frecuencia de referencia y el compa-

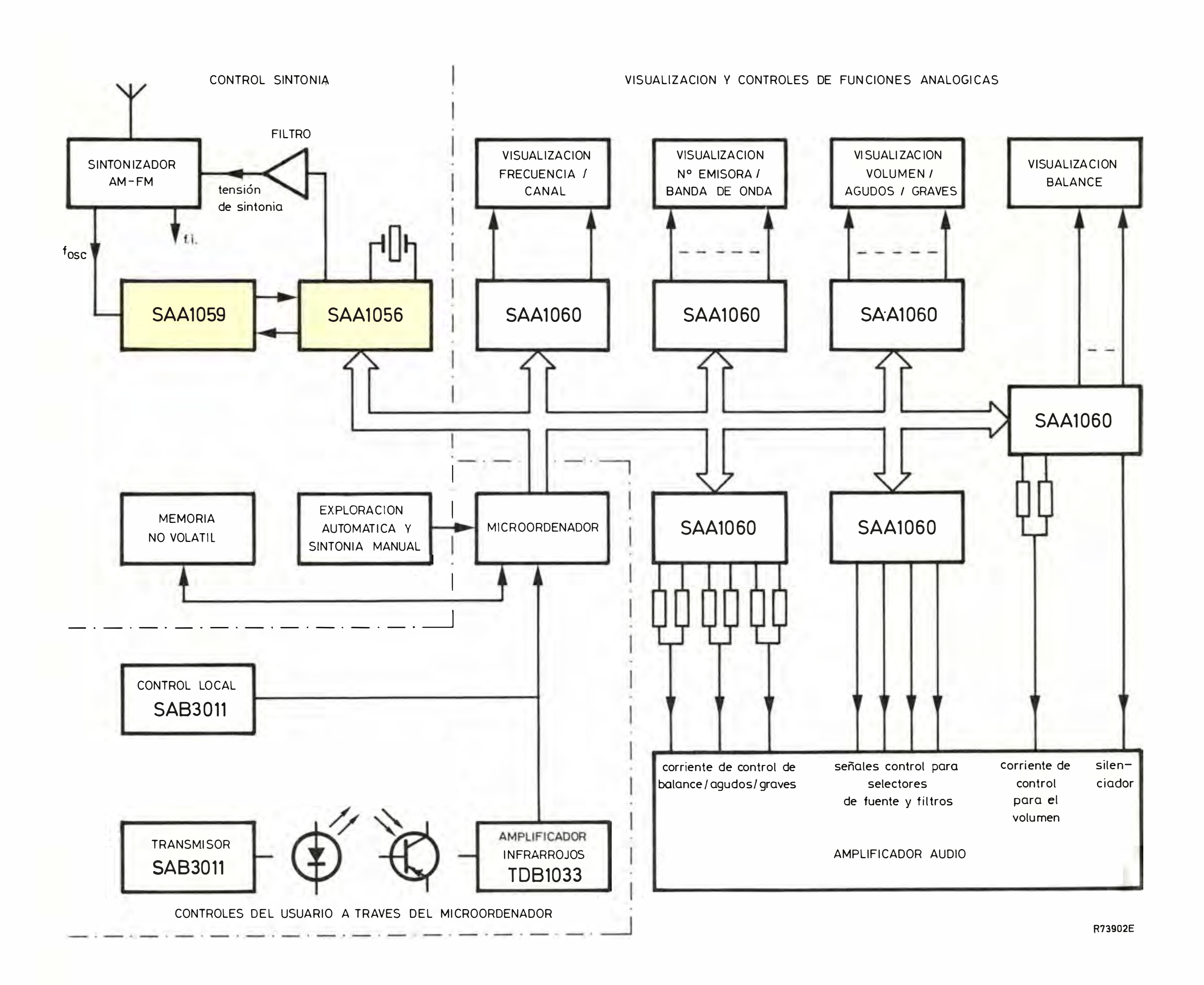


Figura 2. RTS completo.

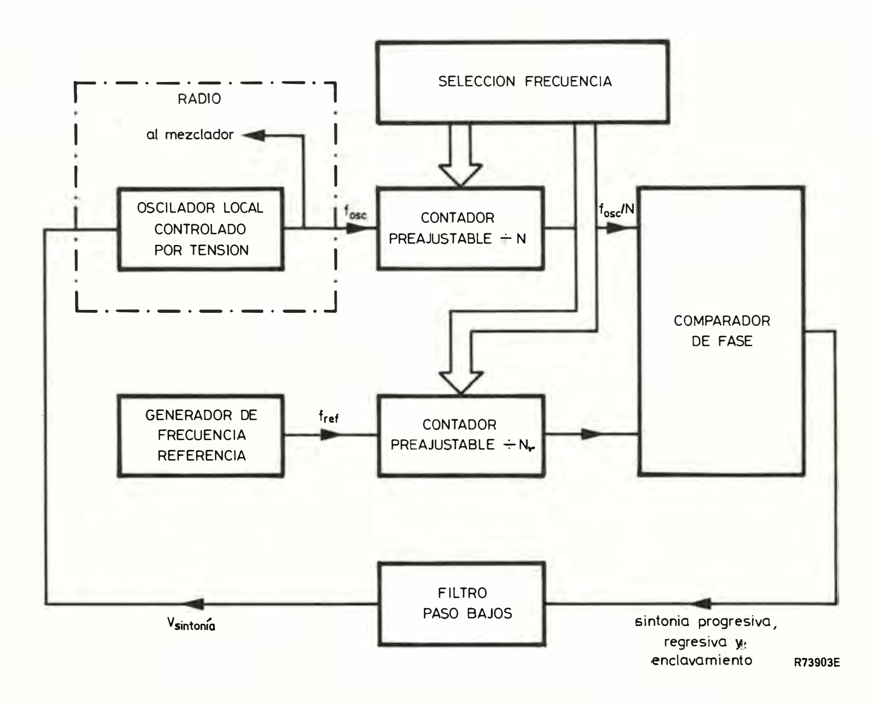


Figura 3. Circuito PLL (Phase Locked Loop) digital básico.

rador de fase, un contador divisor por N_r preajustable, de relación múltiple. La relación de división requerida para el divisor-contador por N sera:

$$N=\frac{f_{osc}N_r}{f_{ref}}$$

La relación más alta se requiere cuando la frecuencia de referencia es de 5 kHz y el receptor se sintoniza a la frecuencia más elevada en la banda de frecuencia modulada (108 MHz). En este caso, el oscilador local debería sintonizarse a:

$$f_{osc}=f_{sintonia}+f_{fi}=108+10{,}7=118{,}7\ \text{MHz}$$

El contador-divisor por N debería ajustarse a:

$$N=\frac{118{,}7}{0{,}005}=23740$$

La relación menor se requiere cuando la frecuencia de referencia es de 500 Hz y el receptor se sintoniza a la frecuencia menor en la banda de onda larga (150 kHz). En este caso, el oscilador local debería sintonizarse a:

$$f_{osc}=f_{sintonia}+f_{fi}=150+450=600\ \text{kHz}$$

El contador-divisor por N debería ajustarse a:

$$N=\frac{600}{0{,}5}=1200$$

No es práctico integrar en cascada contadores convencionales que pueden funcionar a velocidades entre 600 kHz y 118,7 MHz y que pueden ser preajustados para dividir por cualquier factor entre 1200 y 23740. Se ha diseñado por lo tanto un divisor de frecuencia integrado y controlado digitalmente que utilizaba la técnica conocida como «regresión de impulsos» para conseguir las características de funcionamiento deseadas.

El principio del divisor de frecuencia por regresión de impulsos

El principio de funcionamiento del divisor de frecuencia de regresión de impulsos y relación variable se explica con ayuda de las figuras 4 y 5.

El divisor de alta frecuencia de dos relaciones divide la frecuencia de la señal del oscilador local f_{osc} por la relación superior $N_U=33$ o por la inferior $N_L=32$. La relación de división se controla por la señal CMOD generada por el contador regresivo. Los contadores regresivos y de programa se preajustan a N_S y N_P respectivamente por dos palabras de datos de control de frecuencia derivadas de un microordenador que determina la relación requerida a partir de la frecuencia seleccionada por el usuario. Las palabras de datos de control de frecuencia se almacenan en una memoria transitoria. Los dos contadores cuentan por lo tanto en sentido regresivo a partir de los números prefijados (N_S para el contador regresivo y N_P para el contador de programa) hacia cero. Inicialmente, la señal de control de la relación CMOD se halla a nivel ALTO y el divisor divide por 33. Cuando el contador regresivo llega a cero, CMOD pasa a nivel BAJO y la relación de división del divisor cambia a $N_L=32$, quedando inhibido el contador re-

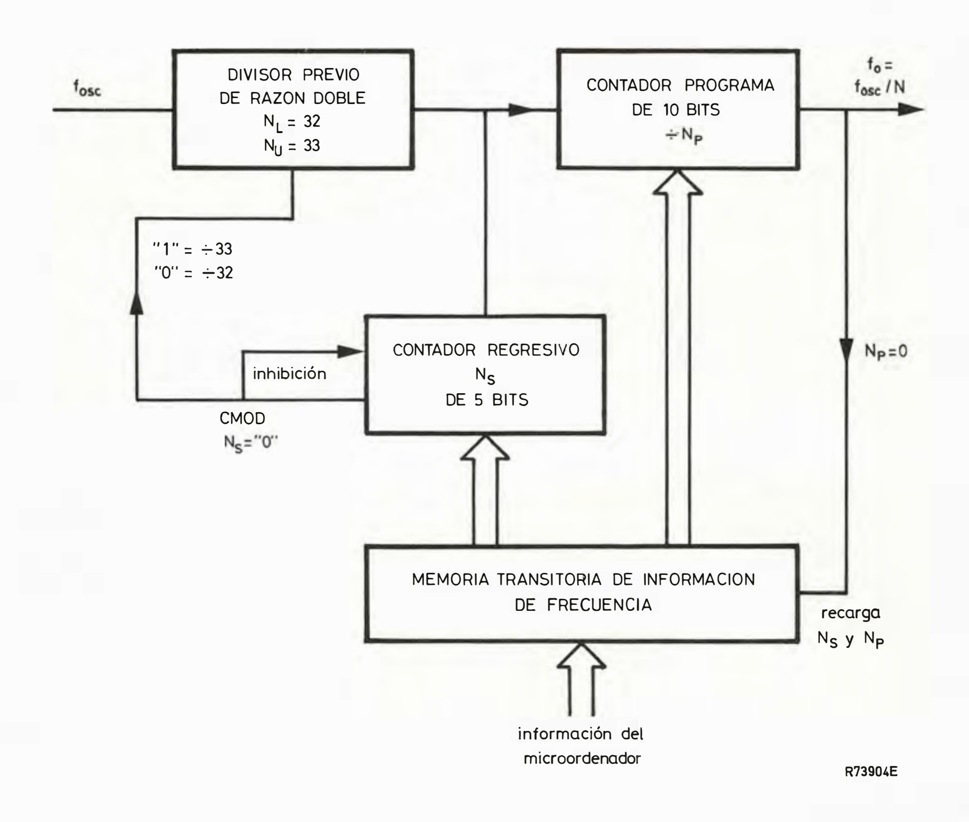


Figura 4. Divisor de frecuencia por regresión de impulsos.

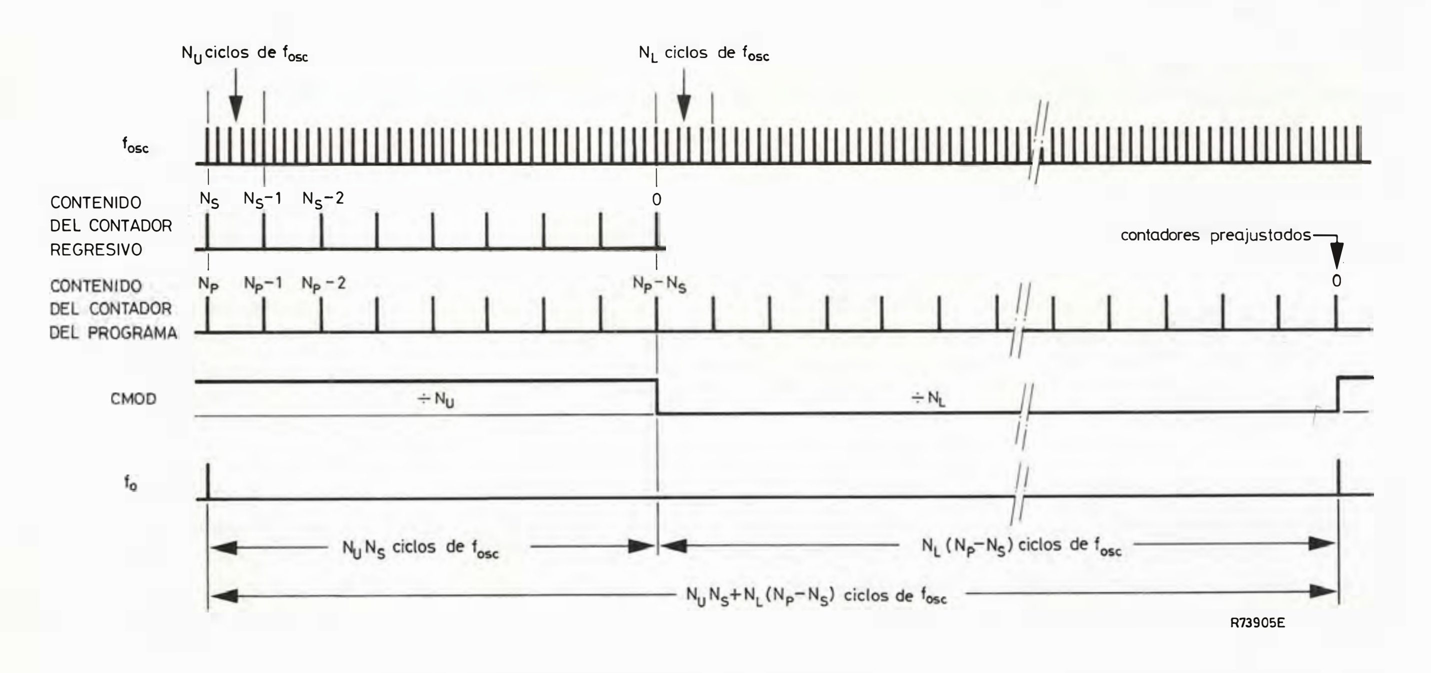


Figura 5. Principio de funcionamiento del contador regresivo.

gresivo de un contaje posterior. El contador de programa continúa su cuenta hacia cero, en cuyo momento se genera un impulso de salida. Los contadores regresivo y de programa se cargan de nuevo con N_S y N_P respectivamente y el ciclo se repite.

La ecuación que describe la operación del circuito es:

$$\frac{f_{osc}}{N} = \frac{f_{osc}}{N_U N_S + N_L(N_P - N_S)}$$

Sustituyendo los valores de N_L y N_U y resolviendo la ecuación para N, se tiene:

$$N = 33N_S + 32(N_P - N_S)$$

De esta expresión se deduce que el término $N_P - N_S$ debe ser siempre cero o positivo. Una condición de operación del contador regresivo es por lo tanto $N_P \geq N_S$. La expresión de N puede simplificarse a:

$$N = N_S + 32N_P$$

Si la totalidad de los posibles factores de la relación de división han de ser definidos, debe ser posible obtener una separación en pasos de N_S a través de todos los valores desde cero hasta 31 antes de cambiar el valor de 32 N_P.

Para satisfacer la condición $N_P \geq N_S$ durante todos los pasos de N_S, el valor mínimo de N_P es 31. Como quiera que el contador de programa tiene una capacidad de diez bits, el valor máximo de N_P es $2^{10} - 1 = 1023$. Las relaciones de división máxima y mínima son, por lo tanto:

$$N_{máx}\ N_{Smáx} + 32N_{Pmáx} = 31 + (32 \times 1023) = 32767$$

$$N_{min}\ N_{Smin} + 32N_{Pmin} = 0 + (32 \times 31) = 992$$

El margen de relaciones de división previamente especificadas como necesarias para sintonizar un radioreceptor de modulación de amplitud y frecuencia (1200 a 23740) pueden por lo tanto definirse por completo.

Cómo multiplicar o dividir por 32 en aritmética binaria es simplemente una operación de desplazar los bits del número binario cinco lugares hacia la izquierda o derecha respectivamente, es muy sencillo programar la relación de división requerida por el contador regresivo. Esto puede explicarse mejor con un ejemplo numérico. Supóngase que se requiere una relación de división de 9830. El equivalente binario en 15 bits de este número es:

$$N = \underbrace{\overset{2^{14}}{0}\,1\,0\,0\,1\,1\,0\,0\,1\,\overset{2^{5}}{1}}_{32N_P}\,\underbrace{0\,0\,1\,1\,\overset{2^{0}}{0}}_{N_S} = 9830$$

Los cinco bits menos significativos del número binario son N_S:

$$N_S = \overset{2^4}{0}\,0\,1\,1\,\overset{2^0}{0} = 6$$

Los diez bits más significativos son $32N_P$:

$$32N_P = \overset{2^{14}}{0}\,1\,0\,0\,1\,1\,0\,0\,1\,\overset{2^{5}}{1} = 9824$$

Desplazado el número binario correspondiente a $32N_P$ cinco lugares hacia la derecha (dividiendo por 32) da N_P:

$$N_P = \overset{2^9}{0}\,1\,0\,0\,1\,1\,0\,0\,1\,\overset{2^0}{1} = 307$$

Los números decimales correspondientes a N_P y N_S pueden obtenerse de la siguiente forma:

Dividiendo la relación requerida por 32:

$$\frac{9830}{32} = 307{,}1875$$

La parte entera del resultado es $N_P = 307$.

Multiplicando la parte fraccionaria del resultado por 32 se obtiene

$$N_S = 0,\ 1875 \times 32 = 6.$$

La principal ventaja de este tipo de divisor preajustable de gran margen es que requiere sólo un divisor de relación doble y alta velocidad. El circuito restante actúa a 1/32 ó 1/33 de la frecuencia del oscilador local. Esto reduce el coste, ahorra energía y permite una mayor flexibilidad en el diseño del circuito. Por otra parte, debido a que la relación menor del divisor (32) es una potencia de 2, los contadores pueden ser programados directamente con el número binario que representa la relación de división global requerida. Los diez bits más significativos del número direccionan el contador N_P; los cinco bits menos significativos direccionan el contador N_S.

SINTETIZADOR DE FRECUENCIA PRACTICO DEL RTS

El sintetizador de frecuencia digital indirecto gobernado por microcomputador que se ha descrito previamente, podría ser realizado a partir de circuitos lógicos integrados estándar. Sin embargo, este sintetizador sería muy costoso y consumiría una elevada cantidad de espacio y potencia. Para evitar este inconveniente se ha llevado a cabo la integración del circuito divisor por 32/33 de alta velocidad en un sólo «chip» (SAA1059) y el resto de los circuitos del sintetizador de baja velocidad para el RTS en un segundo «chip» (SAA1056) como se muestra en la figura 6.

Divisor pre-programable SAA1059

El SAA1059 es un divisor multietapa con una relación de división seleccionable exteriormente, de 32: 1 ó 33: 1. La figura 7 muestra un diagrama de bloques funcional simplificado del circuito.

El preamplificador asegura una elevada sensibilidad de entrada de forma que las señales de los osciladores locales del radioreceptor puedan ser conectados al RTS a través de redes de acoplamiento pasivas.

Los osciladores locales de modulación de amplitud y modulación de frecuencia pueden conectarse simultáneamente a las entradas simétricas del preamplificador sin filtro de entrada o conmutador, siempre que el oscilador sin uso se desconecte del receptor. El divisor incorpora dos etapas de salida simétricas, una de las cuales tiene salidas en emisor abierto y la otra salidas en colector abierto. Debido a que el SAA1056 es sensible a los flancos de bajada de la señal de excitación, en esta aplicación se usa la salida en colector abierto Q_{OC}. cada uno de los cuatro bloques funcionales internos tiene su propia patilla de alimentación; la patilla 3 para V_{CC1} del preamplificador de entrada, la patilla 14 para V_{CC2} de la etapa de sincronismo, la patilla 12 para V_{CC3} del divisor y la patilla 10 para V_{CC4} de las etapas de salida.

RADIO
SINTONIZADOR AM/FM
AMPLIFICADOR DE FRECUENCIA INTERMEDIA
al detector
f_{osc} AM
f_{osc} FM
$V_{sintonía}$
AMPLIFICADOR INTEGRADOR (filtro pasa bajos)
PLL
FUENTES DE CORRIENTE CONMUTADAS
$\overline{IN}$
IN
FU
FDN
DIVISOR PREVIO
SINTETIZADOR DE FRECUENCIA PLL
CONTADOR REGRESIVO
COMPARADOR DE FASE
DIVISOR PREAJUSTABLE
GENERADOR FRECUENCIA DE REFERENCIA
SAA1059
CM32
CMOD
CBUS
REFE
QRZ
OSC
4 MHz
selección de frecuencia de referencia
información sintonía del microordenador
R73906E

Figura 6. Sintetizador de frecuencia RTS.

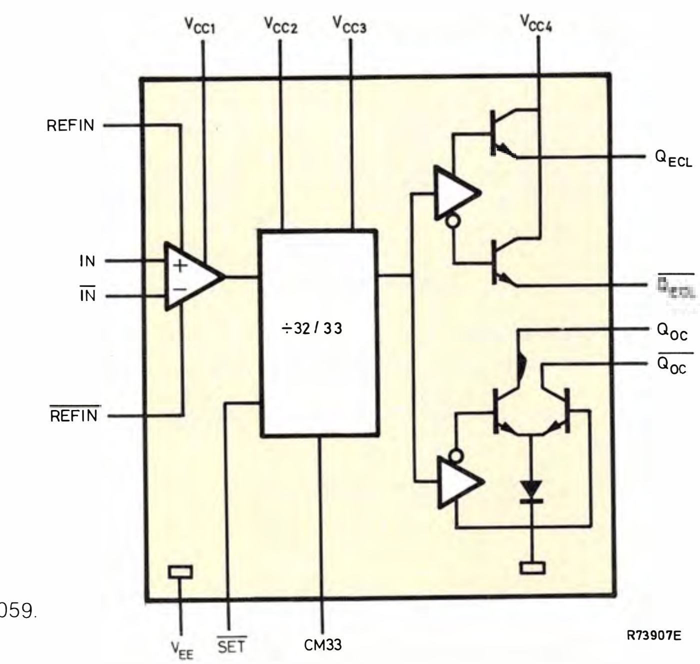


Figura 7. Divisor programable de 125 MHz, SAA1059.

En la figura 8 se muestra un diagrama de tiempos del circuito. Este diagram muestra que la señal de salida Q_{OC} consiste en una transición positiva cada 32 ó 33 ciclos de entrada (dependiendo del estado de la entrada de modo de cuenta CM33) y una transición negativa 17 ciclos de entrada después de cada transición positiva. El retardo entre el contador regresivo en el SAA1056, el cual recibe el número requerido de transiciones positivas Q_{OC}, y el cambio de relación de división de 32:1 a 33:1, debe ser menor que el período de un ciclo (T) en la salida Q_{OC}. Con la frecuencia de entrada más alta permitida (125 MHz) el período de la señal de salida Q_{OC} cuando se divide por 32 será:

$$T = \frac{32}{125 \times 10^6} = 256 \text{ ns}$$

El tiempo de ejecución (t_{su}) típico entre la orden de recepción y la ejecución de la misma CM33 es de 50 ns. El retardo máximo permisible (t_d) entre el contador regresivo en el SAA1056 recibiendo el número requerido de transiciones positivas Q_{OC} y la salida de la orden CMOD=CM33 es por lo tanto:

$$t_{d\,máx} = T - t_{su} = 256 - 50 = 206 \text{ ns}$$

El retardo máximo especificado del SAA1056 es de 150 ns.

Sintetizador de frecuencia PLL SAA1056

En la figura 9 se presenta un diagrama funcional de bloques del sintetizador de frecuencia PLL SAA1056. La función de sintonía con PLL de los cinco bloques superiores del diagrama ha sido ya explicado. A continuación se describirán las opciones de los bloques restantes.

La barra de datos en serie del ordenador (CBUS) contiene una palabra de control de relación de división de 15 bits precedida por un bit que define la frecuencia de referencia y un cero inicial en la línea de datos, una señal de autorización de línea de datos (DLEN) y un tren de impulsos de reloj (CLB). La figura 10 muestra el CBUS gobernando una relación de división de:

$$N = 32N_P + N_S = (32 \times 307) + 6 = 9830$$

Si el cero inicial se halla presente y DLEN se halla en «ALTO», el circuito de control de la barra permite que los datos sean introducidos en serie en el registro de desplazamiento a cada impulso de reloj, en sincronismo con el borde posterior de los impulsos de reloj CLB. si se han recibido 16 bits

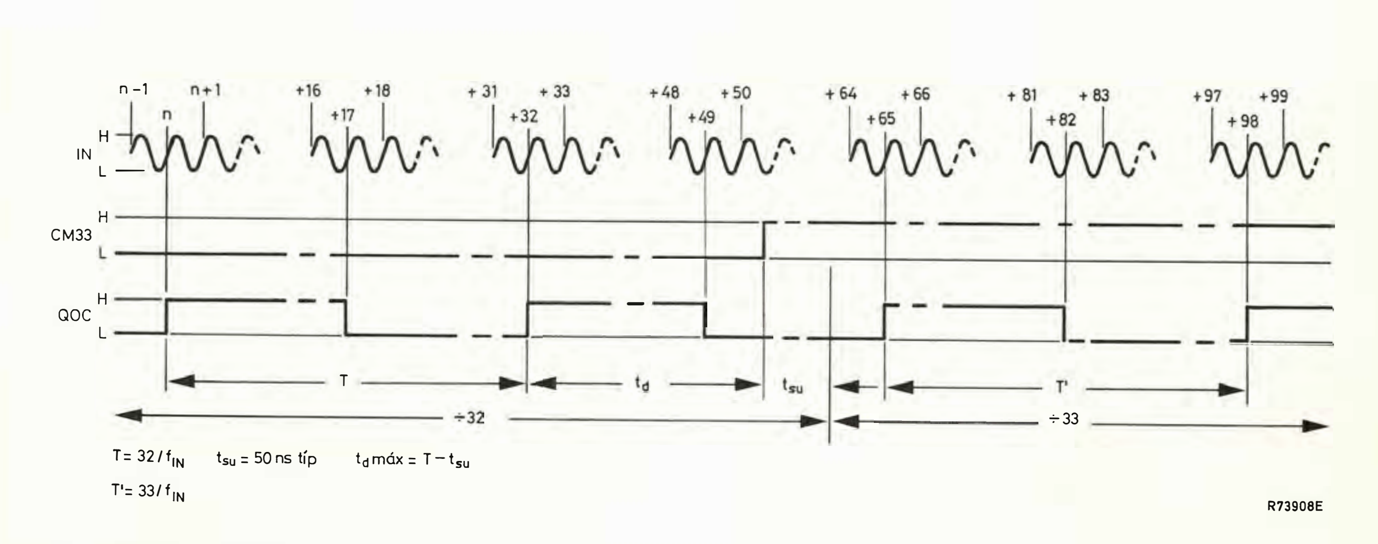


Figura 8. Diagrama de tiempos del SAA1059 cambiando de ÷ 32 a ÷ 33 después de una cuenta de n+32.

LOC FDN FU
CLO
FIN
CMOD
CONTADOR REGRESIVO DE 5 BITS
DIVISOR PROGRAMA DE 10 BITS
DETECTOR FRECUENCIA / FASE
DIVISOR DE REFERENCIA DE 13 BITS
OSCILADOR DE REFERENCIA DE 4MHz
QRZ
OSC
5
10
REF 1
REF 2
MEMORIA TRANSITORIA DE 17 BITS
DECODIFICADOR
5
10
CBUS
DATA
CLB
DLEN
REFE
REGISTRO DE DESPLAZAMIENTO DE 16 BITS Y CONTROL DE BARRA
SAA1056
V_{DD}
V_{SS}
TEST
V_{DDI}
R73909E

Figura 9. Diagrama funcional de bloques del sintetizador de frecuencia PLL SAA1056.

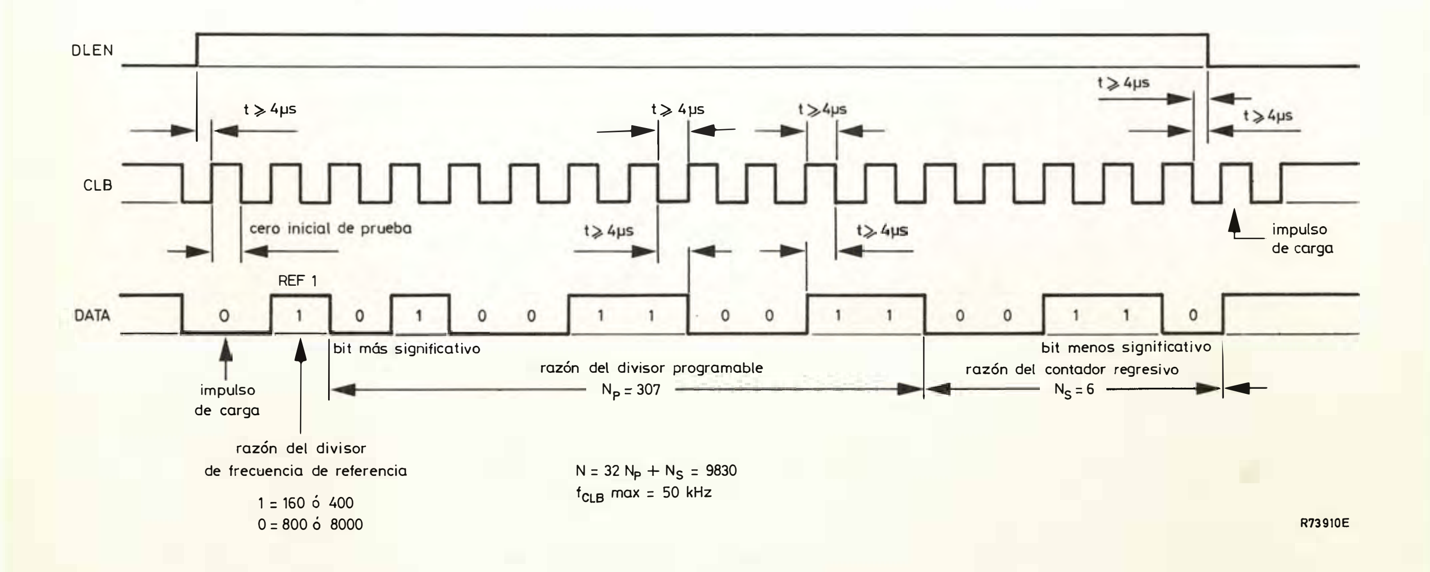


Figura 10. Datos de la barra CBUS al SAA1056 para definir una relación de división de 9830:1 y una relación del divisor de referencia de 160:1 o 400:1

de datos, DLEN pasa a nivel «BAJO» y el siguiente impulso de reloj carga los datos, junto con el bit REFE de frecuencia de referencia aplicado externamente, en la memoria transitoria de 17 bits.

El bit único de datos (REFI) que precede a la palabra de control de la relación de división de 15 bits y el bit REFE aplicado externamente, define la relación del divisor de frecuencia de referencia como sigue:

REFI	REFE	Relación de división de la frecuencia de referencia
1	1	160:1
1	0	400:1
0	1	800:1
0	0	8000:1

La relación requerida para el divisor de frecuencia de referencia se decodifica y se presenta al divisor de frecuencia de referencia como 13 bits de datos. Con el oscilador de referencia controlado por un cristal de 4 MHz conectado entre QRZ y OSC, se obtiene una elección de frecuencia de referencia como sigue:

REFI	REFE	Frecuencia de referencia
1	1	25 kHz
1	0	10 kHz
0	1	5 kHz
0	0	500 Hz

Una de las dos frecuencias más altas se usa para sintonía en modulación de frecuencia; la frecuencia de referencia de 5 kHz se utiliza en sintonía de onda corta y la frecuencia de referencia de 500 Hz es adecuada para sintonía en onda larga y onda media. La salida sin dividir procedente del oscilador de 4 MHz controlado por cristal está disponible en la salida CLO para derivar impulsos de reloj para el CBUS si no se generan en el microordenador.

Las tres entradas CBUS y la entrada REFE están conectadas a desplazadores de nivel internos, de manera que no se requieren circuitos externos de acoplamiento entre el SAA1056 (V_{DD}=9 V) y los otros circuitos integrados RTS que tienen una alimentación de 5 V.

Interconexiones del circuito

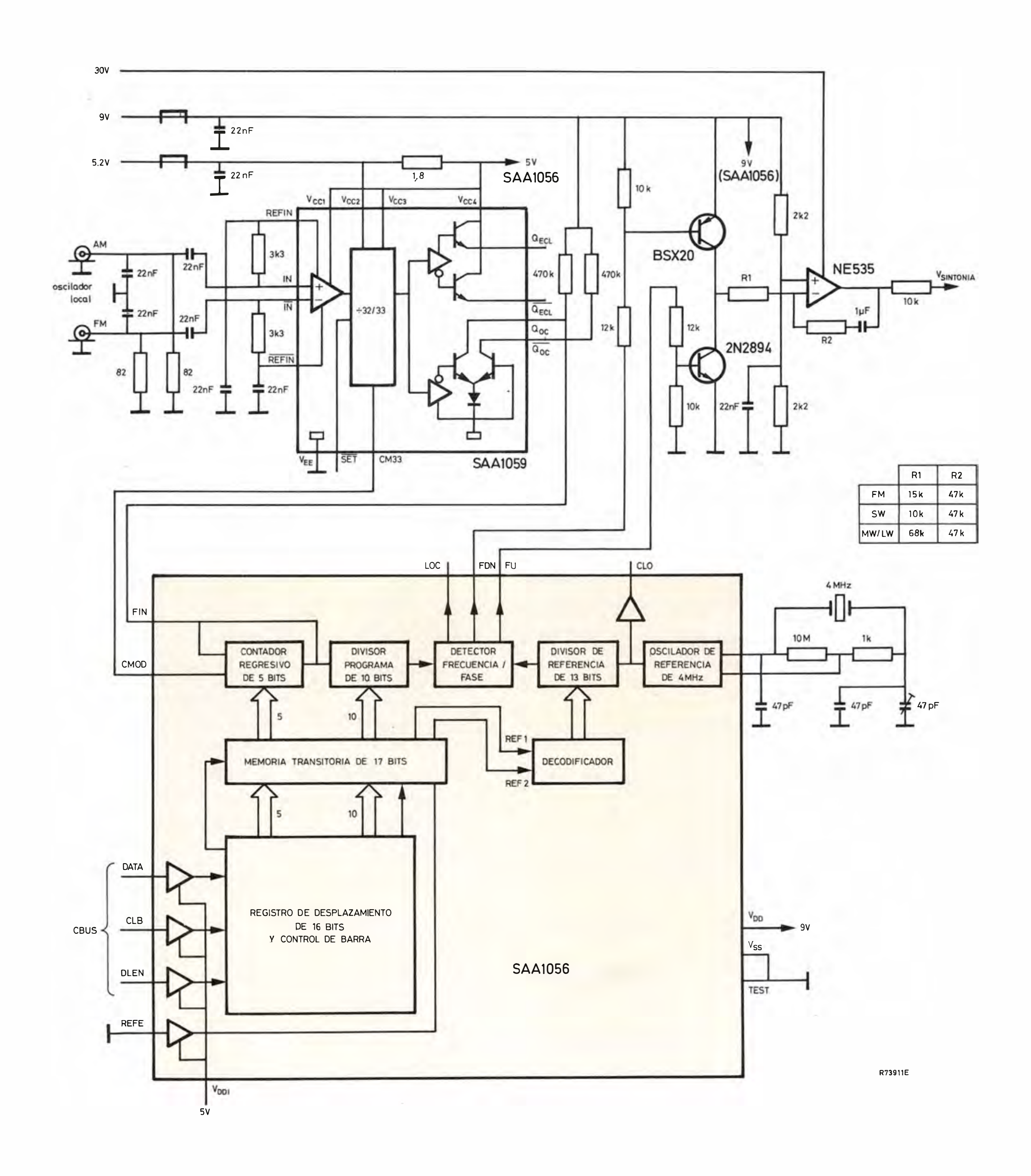
La figura 11 muestra el SAA1059 y el SAA1056 interconectados en un sintetizador de frecuencia digital práctico. Los impulsos de salida modulados en anchura FU y FDN procedentes del detector de fase en el SAA1056 se usan para introducir fuentes de corriente que a su vez accionan un integrador activo (filtro para bajos) que suministra la tensión de sintonía.

Si se requieren emisoras preajustadas, los datos de sintonía del CBUS pueden memorizarse en una memoria no volátil (NMOS o CMOS sin batería adicional).

La exploración de sintonía puede también incorporarse en el RTS a través del microordenador. Se puede hacer que este sistema sea selectivo, de forma que sólo responda a emisoras estereofónicas y/o emisoras por encima de un determinado nivel de intensidad de señal.

Las principales características del circuito de la figura 11 son:

- Sintonía mediante PLL con estabilidad de control de sintonía.
- Conexionado mínimo entre circuitos integrados debido a la transferencia en serie de datos y al control interno de formato de los mismos.
- Sencilla red pasiva de acoplo entre los osciladores locales del receptor y el divisor.
- Frecuencias de referencia programables (paso mínimo de sintonía).
- Pocos componentes periféricos.

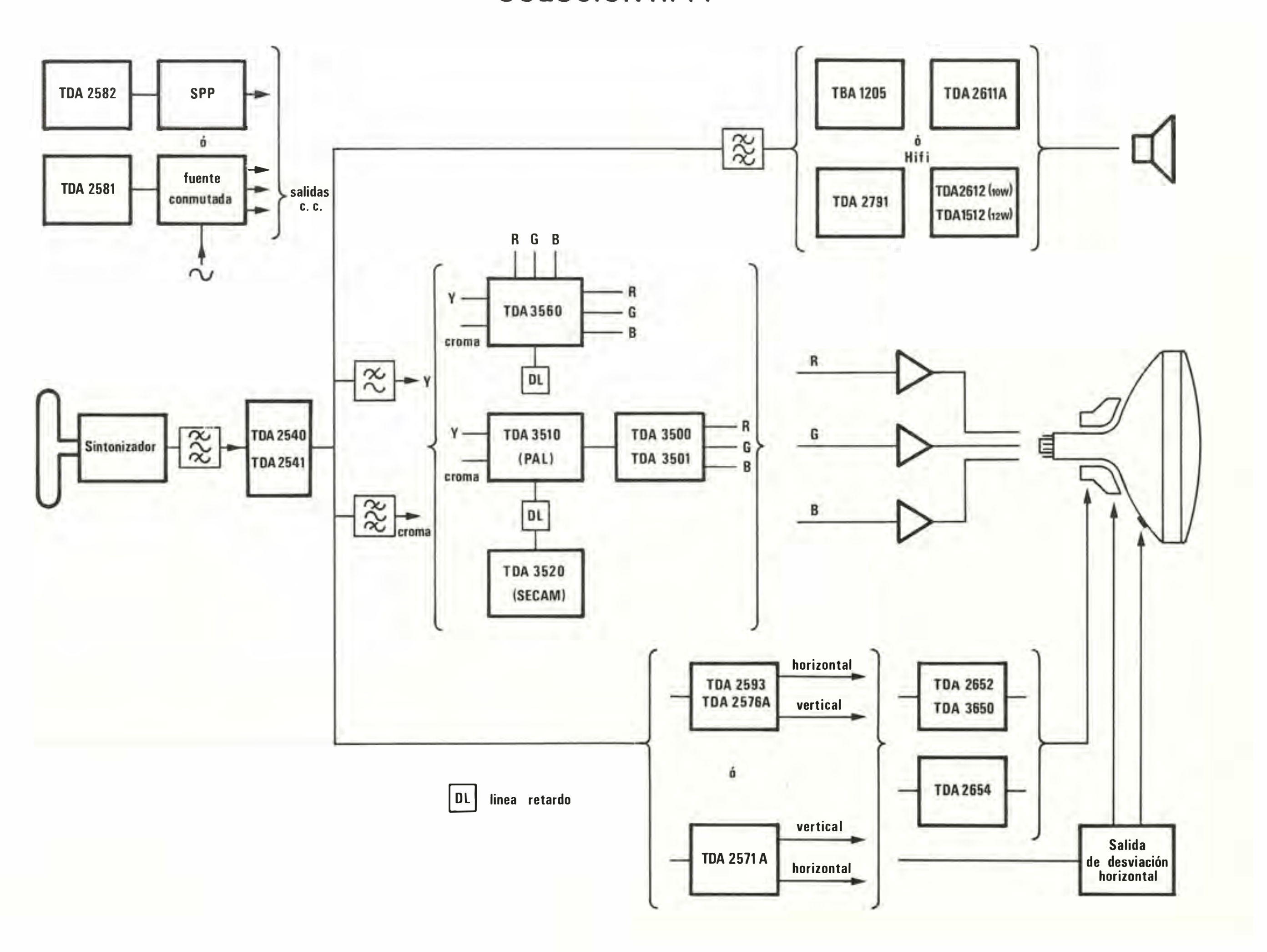


	R1	R2
FM	15 k	47 k
SW	10 k	47 k
MW/LW	68k	47 k

Figura 11. Sintetizador de frecuencia digital práctico.

CIRCUITOS INTEGRADOS PARA AUDIO

SOLUCION HI-FI



TDA 1512	Amplificador HI-FI. 12 Vatios con baja THD
TDA 1028	
TDA 1029	Conmutadores electrónicos de señales analógicas
TDA 1072	Circuito Integrado de A.M.

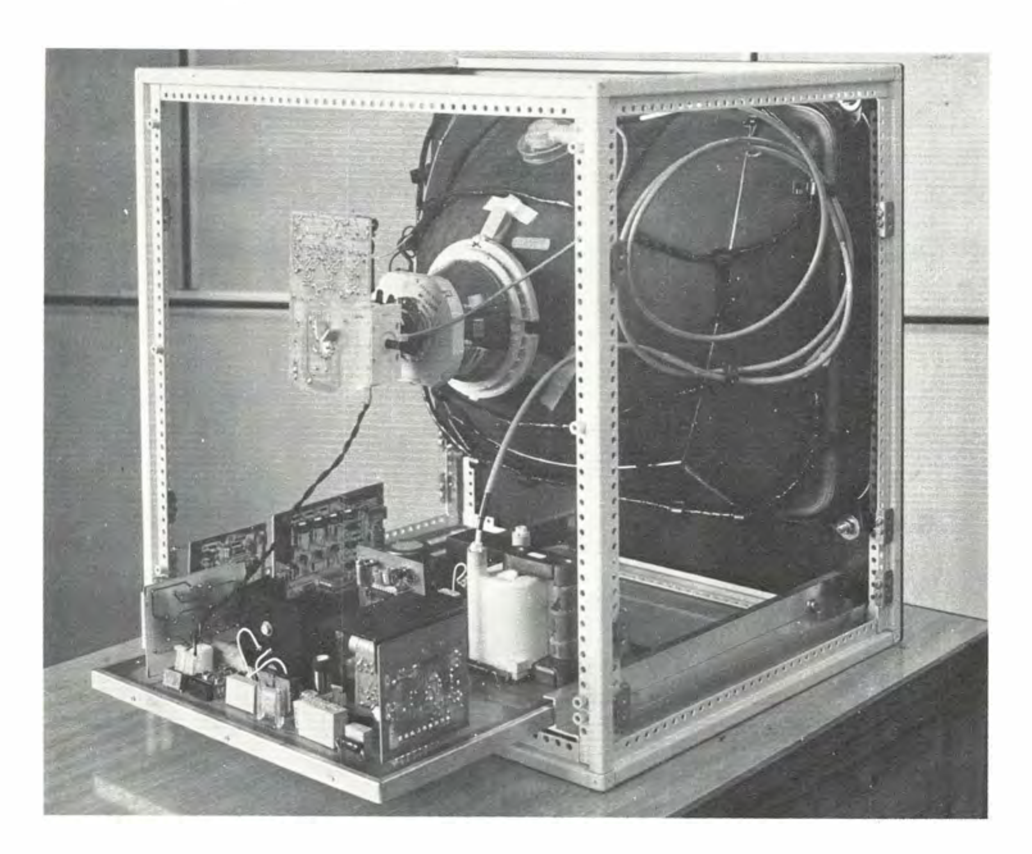
EQUIPOS PORTATILES

TDA 1011	Amplificador B.F. de 2 a 6 Vatios con Vcc de 5,4 a 24 Vcc
TDA 1012	Previo de grabación y reproducción+salida de potencia 2W
TDA 1013	Amplificador B.F. de 4 Vatios con control de volumen por CC

AUTO RADIO

TDA 1001 A	Supresor de interferencias
NE 542	Doble preamplificador
LM 381 AN	Doble preamplificador de bajo ruido
TDA 1010	Amplificador B.F. 6,4 Vatios sobre 2

MONITOR T.V.C.



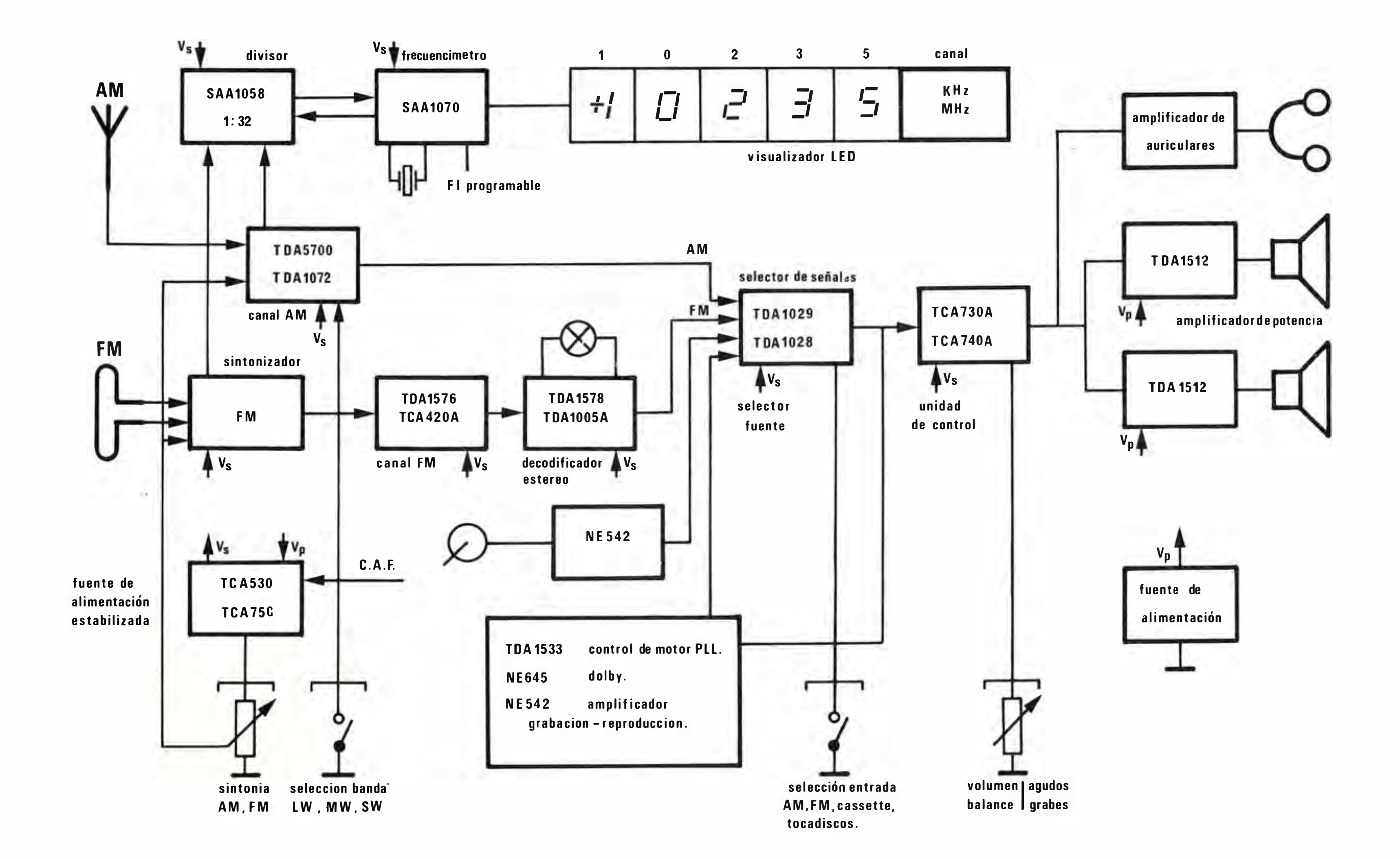
Debido al creciente interés del mercado por los monitores de T.V.C. en sus múltiples aplicaciones: juegos TV de salón, circuitos cerrados de TV., etc. COPRESA ha diseñado un circuito universal: es decir, adaptable a cualquier tamaño de TRC. Su sistema modular permite un fácil mantenimiento y posibles cambios en el diseño original.

Se ha elegido un sistema compacto de alimentación del tipo SPP por su gran fiabilidad y bajo consumo, el cual suministra todas las alimentaciones requeridas por los demás circuitos del monitor incluyendo la MAT y la tensión de foco. Esto implica una gran sencillez en el diseño del circuito de deflexión horizontal.

Los amplificadores de video realizados con componentes discretos, tienen una anchura de banda de 7 MHz. El decodificador utilizado, que puede ser opcional, está solucionado con el CI TDA 3560, el cual permite las entradas de las señales RV y A o la señal compuesta de videocolor, mediante la conmutación de uno de sus terminales a 0 ó 1. Caso de utilizar exclusivamente señales RVA puede utilizarse un módulo compatible con el decodificador.

Los circuitos de sincronismos y de deflexión vertical se han solucionado con los circuitos integrados TDA 2576A y TDA 2652, circuitos de un excelente comportamiento y gran fiabilidad.

El resultado del diseño es pues, de una gran robustez y de excelentes características técnicas.



AM
FM
Vs
divisor
SAA1058
1: 32
frecuencimetro
SAA1070
FI programable
1
0
2
3
5
canal
KHz
MHz
visualizador LED
TDA5700
TDA1072
canal AM
sintonizador
FM
TDA1576
TCA420A
canal FM
TDA1578
TDA1005A
decodificador estereo
AM
FM
selector de señales
TDA1029
TDA1028
selector fuente
TCA730A
TCA740A
unidad de control
amplificador de auriculares
TDA1512
TDA 1512
Vp
amplificador de potencia
NE542
TCA530
TCA75C
C.A.F.
fuente de alimentación estabilizada
TDA1533 control de motor PLL.
NE645 dolby.
NE542 amplificador grabacion - reproduccion.
fuente de alimentación
sintonia AM, FM
seleccion banda LW, MW, SW
selección entrada AM, FM, cassette, tocadiscos.
volumen balance
agudos grabes

CIRCUITOS INTEGRADOS PARA SISTEMA 30 X

TDA 3650

El TDA 3650 es un circuito integrado adecuado para desviación en receptores de TV color pantalla grande.
Además de los circuitos usuales, incorpora generador de borrado, generador de retroceso, comparador y protecciones térmicas del CI y de la etapa de salida, así como un circuito que evita la aparición de una línea brillante en el tubo en caso de anularse la corriente de desviación vertical por cualquier causa. El nuevo encapsulado permite una mayor facilidad en la sujección del disipador.

TDA 2576 A

EL TDA 2576 A es una combinación oscilador horizontal, adecuada para usarse con varios tipos de circuitos de desviación de línea transistorizados permitiendo excitar la salida de líneas de forma convencional o a través de la fuente. Incluye un separador de sincronismos de alto comportamiento por su sistema de sensado de tope de sincronismos y recrote de rebanada del mismo al nivel adecuado. El elevado comportamiento de sincronización vertical es debido al sistema divisor de 625. Incluye además puerta de ruido, dos delatores de fase, generador de puerta de salva, etc.

TDA 2652

Desviación vertical para TV color pantalla grande.

TDA 2593

Desviación para TV color 90° B/N y pantalla pequeña.

TDA 2593

Procesador de sincronismo, generador de puerta de salva, oscilador y detector horizontal.

TDA 2571 A

Procesador de sincronismos, generador puerta de salva, oscilador, detector horizontal divisor 625, control de fuente conmutada, excitador salida línea vía fuente alimentación, protecciones de alta seguridad.

TDA 3560

Realiza todas las funciones para identificar y desmodular las señales de color PAL. Tiene además los controles de brillo, contraste y saturación con limitador de corriente de pico interno. Salida de gran amplitud 5 V de las señales R.G.B. Entrada para inserción RGB con aplicación en juegos de T.V., Teletexto, visualización del número del canal, etc.

TDA 4510

Decodificador de color PAL

TDA 3520

Decodificador de color SECAM

TDA 3500/01

Procesador de la señal de vídeo

TDA 2791

Frecuencia intermedia de sonido para HI-FI en TV, controles separados de volumen, graves y agudos.

TDA 2612

Amplificador de salida de audio de HI-FI de 10 W; se complementa con el CI TDA2790/91

TDA 1512

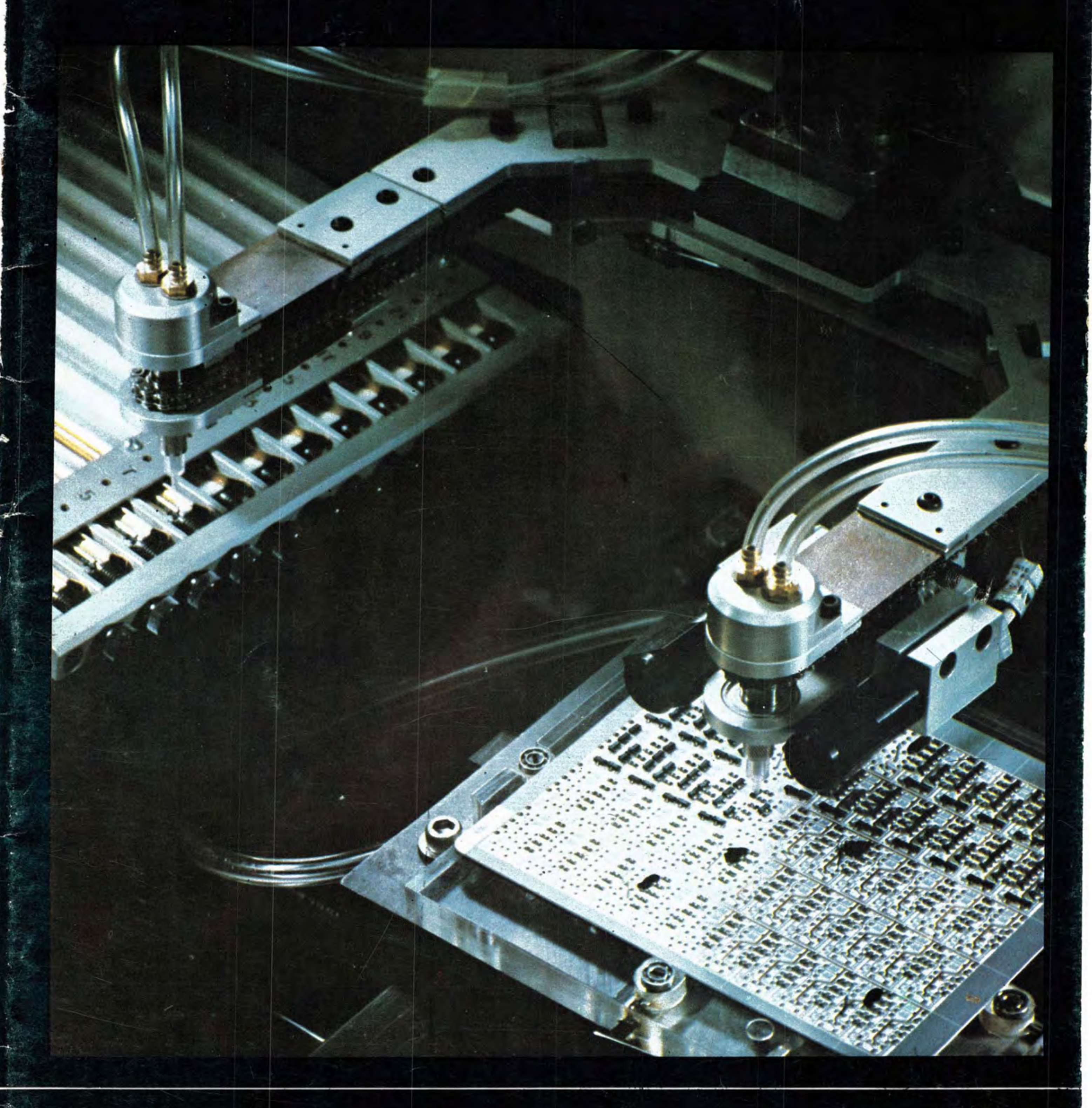
Amplificador de salida de audio de HI-FI de 12 a 20 W.

SPP

Sistema compacto de potencia para receptor de TV color que suministra todas tensiones de alimentación estabilizadas necesarias incluyendo la tensión de MAT (25 kV) y tensión de enfoque para el tubo de imagen. Todo ello permite una simplificación considerable en el circuito de salida de líneas (el transformador de líneas queda reducido a un pequeño choque) y circuito este-oeste. Asimismo permite excitar la salida de líneas sin excitador convencional. Todo ello conduce a un rendimiento elevado: 74 vatios con corriente de haz cero en un receptor 30AX.

signetics

Miniwatt



VOLUMEN 19 - Número 10 Octubre 1980 125 Ptas.







VOLUMEN 19-Número 10 **Octubre 1980**

INDICE

Revista Miniwatt

Publicada por:

COMPAÑIA DE PRODUCTOS ELECTRONICOS «COPRESA», S.A.
Balmes, 22 — Teléfono 301 63 12 — Barcelona-7
Suscripción anual (11 números) ..... Ptas. 1.100
Precio Ejemplar ..... Ptas. 125
Cambio domicilio ..... Ptas. 25

Director

D. José M.ª Llevat Grau

Editor

Cía. de Productos Electrónicos COPRESA, S.A.
Departamento de Publicaciones Técnicas
D. José Albiol Fernández

Coordinación

D. Enrique Riverola García
D. Rafael Rizo Aramburu

Redacción

D.ª M.ª Dolores Forns-Samsó

Consejo Asesor de Redacción (Técnico Consumer)

D. Antonio Griñó Berjón
D. Casimiro Pastor Millán
D. Ernesto Tassis Bosch

Suscripciones

D.ª M.ª Angeles García Ferrer

Coordinación, Maqueta y Producción

GENERAL GRAFIC, S.A.
Caspe, 172
Barcelona-13
Depósito Legal: B-18387-61

EDITORIAL

Las soluciones a problemas complejos de control con circuitos integrados convencionales, precisan muchas veces utilizar una gran cantidad de componentes. Por esta razón difícilmente estas soluciones forman equipos con suficientes garantías para su utilización industrial. La solución actual a estos problemas se halla en los circuitos integrados de gran escala de integración. Al unir íntimamente en un sólo chip gran cantidad de elementos y circuitos integrados, se eliminan todos los problemas de cableado, variaciones de parámetros entre componentes, ruidos, etc., y permite llegar a soluciones tecnológicas válidas para la industria. Este ha sido el camino andado para la consecución de variadores de velocidad para motores convencionales de c.a. que ha llevado en la actualidad a la disponibilidad de variadores para uso industrial. Hay que añadir que la potencialidad tecnológica ha jugado un papel importante pues para el buen fin del proyecto se precisan componentes periféricos al circuito integrado con características especiales. Así se han diseñado condensadores electrolíticos; ferritas, tiristores, diodos, para que junto al circuito integrado, formen un paquete específico para estas aplicaciones. El resultado es un sofisticado sistema de control con un equipo simple que, a no dudar, representa una innovación importante en el mercado.

Por último queremos invitar a todos los lectores al estand que COPRESA dispondrá en el Sonimag y del que las páginas de producto pretenden ser una reseña.

CONECTORES

NUM. TIPO	PASO mm (pulg.) 2,54 (0,1)	3,81 (0,15)	3,96 (0,156)	5,08 (0,2)	NUMERO DE CONEXIONES 1-fila	2-filas	3-filas	4-filas	Puente	TIPO DE TERMINACION Terminales soldar	Patillas sold. baño	Patillas conexión arrollada miniatura	Patillas conexión arrollada (wire-wrap)	Conexionado presión
CONECTORES PARA CIRCUITO IMPRESO														
F044	●								4 . . . 39	●	●			
F045				●	1 54	2 108				●				
F046		●			4 45	8 90				●				
F047			●		6,10,15,18,22	12,20,30,36, 44			6,10,15, 18,22	●				
F050			●		6,10,15,18,22	12,20,30,36, 44			6,10,15, 18,22	●				
F053			●		6,10,15,18,22	12,20,30,36, 44					●	●		
INTERCONECTORES PARA CIRCUITO IMPRESO														
F051			●		6,10,15,18, 22	12,20,30,36, 44				Contactos para placa circuito impreso				
CONECTORES DE DOS PIEZAS PARA CIRCUITO IMPRESO														
F054	●					32,48,64,96				●	●	●		
F068-I	●				32	64	96			●	●	●		
				●		32								
F068-II				●		32	48	64					●	
F080		●				8,32,42				●		●		
F081	●					8,48,64				●		●		
CONECTOR PUENTE DE DOS PIEZAS														
F088	●					2					●			
SISTEMA CONECTOR MODULAR														
F095	●				2 32	4 130					●			
	●				2 32	4 100					●			
	●				2 32	4 64					●	●		
	●					20					●	●		
CONECTORES DE RACKS														
F161						9,15,25,37,	50							●
										●				
											●			
											●			
												●		

Introducción al sistema de control de velocidad para motores trifásicos de c.a. por modulación de anchura de impulsos

El sistema de control de velocidad descrito emplea el principio de frecuencia variable, obteniendo elevado rendimiento y eficiencia mediante una modulación sinusoidal de la anchura de los impulsos suministrados al motor. Se ha desarrollado un circuito LSI especialmente diseñado para la generación de señal. El sistema de control analógico proporciona el correcto funcionamiento y protección de todas las funciones. Se obtiene una respuesta dinámica rápida incluso en condiciones de frenado.

La mayoría de los accionamientos industriales utilizan motores eléctricos, ya que son controlables y están disponibles en cualquier momento. En la práctica, la mayor parte de estos accionamientos están provistos de motores de inducción de corriente alterna porque tales motores son robustos, seguros y relativamente baratos.

Para controlar la velocidad de un accionamiento se han desarrollado muchos métodos, que van desde los sistemas mecánicos e hidráulicos a los eléctricos y electrónicos que utilizan por ejemplo, motores de corriente continua de excitación en paralelo cuya velocidad puede ser controlada directamente. Sin embargo, los constructores de sistemas de accionamientos han deseado por largo tiempo variar la velocidad de los motores trifásicos de inducción (asíncronos) por medios eléctricos. Esta aspiración ha sido técnicamente posible hace algunos años, pero es ahora cuando, gracias a los avances en los componentes electrónicos de potencia y a los circuitos electrónicos, se ha logrado con un costo y una calidad comparables a la de los sistemas alternativos.

Este artículo empieza considerando el desarrollo de los sistemas electrónicos más comúnmente disponibles, examinando dos sistemas para el control de motores de corriente continua: el control de fase (de la red) y el control por troceado (por conmutación). Seguidamente se discuten las características de los motores de inducción trifásicos, estableciendo la dependencia de la velocidad del motor de la frecuencia, y la necesidad de controlar tanto la frecuencia como la tensión para conseguir un método de control adecuado.

Esto se consigue utilizando un inversor trifásico para transformar la frecuencia de la red en una alimentación de frecuencia y tensión variables para el motor. Se consideran seguidamente las características principales de los diferentes tipos de inversor corrientemente disponibles. Estos sistemas tienen ciertos inconvenientes, y en este artículo se describe un sistema nuevo mejorado que utiliza la técnica de la modulación de anchura de impulsos (P.W.M.). Se ha desarrollado un circuito de gran escala de integración (L.S.I.) específicamente para esta aplicación.

INTRODUCCION GENERAL AL CONTROL DE VELOCIDAD DE MOTORES

Tradicionalmente los sistemas de control de motores de c.c. que utilizan la disposición Ward-Leonard necesitan tres máquinas: un motor de inducción trifásico, un generador y un motor de c.c. Esto puede ser sustituido en la actualidad por un puente doble de seis tiristores empleando solamente una máquina, el motor de c.c. El cambio de sistemas de control electromecánico a sistemas electrónicos proporciona generalmente menor complejidad, ahorro en los costes, espacio y tiempo de respuesta, y mayor eficiencia.

Control de fase de motores de c.c.

La figura 1 muestra un controlador típico para motor de c.c. que utiliza un circuito puente de seis tiristores alimentados a partir de la red trifásica.

El control de la tensión del motor se consigue variando el ángulo de fase con que son cebados los tiristores con relación a la forma de onda de la red que lo alimenta. Esto proporciona un margen de variación de la tensión de salida que cubre desde cero hasta un valor igual al que proporciona un puente rectificador de onda completa. Este circuito es normalmente utilizado en el control de motores de c.c. de excitación (motores de c.c. con excitación independiente).

Los circuitos rectificadores controlados como el de la figura 1, representan la forma más sencilla de control electrónico para motores debido a que los tiristores son conmutados por la red trifásica de una forma «natural». En ellos, el proceso de conmutación consiste en la transferencia cíclica de la corriente desde un par de tiristores conduciendo al siguiente. Los tres tiristores del grupo de arriba (Th_1, Th_3 y Th_5) tienen conectados en común los cátodos y la conducción se produce a través del tiristor cuyo ánodo es más positivo. Los otros dos tiristo-

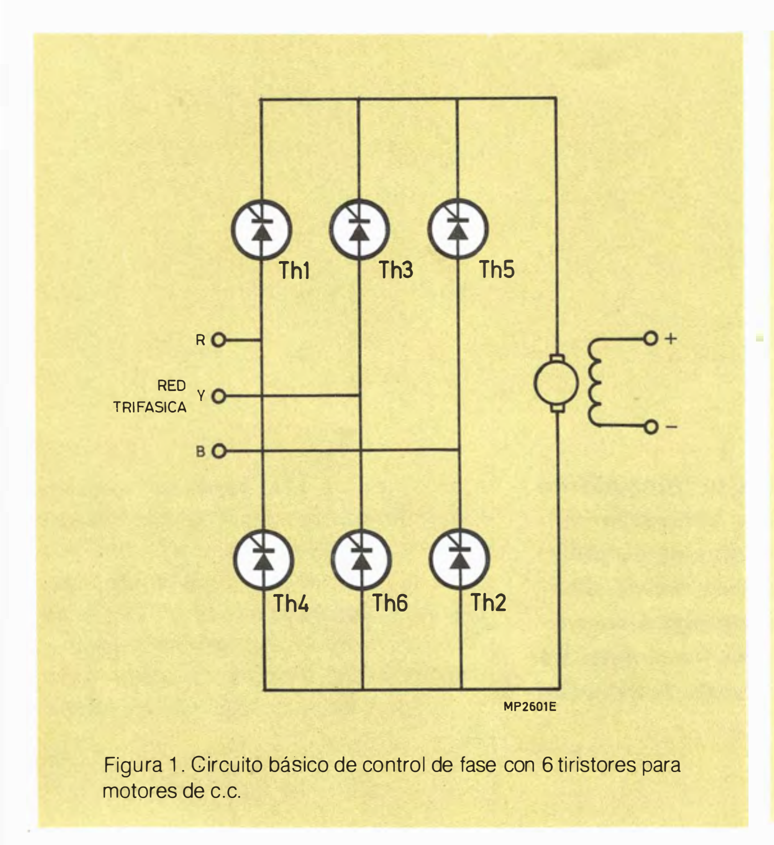


Figura 1. Circuito básico de control de fase con 6 tiristores para motores de c.c.

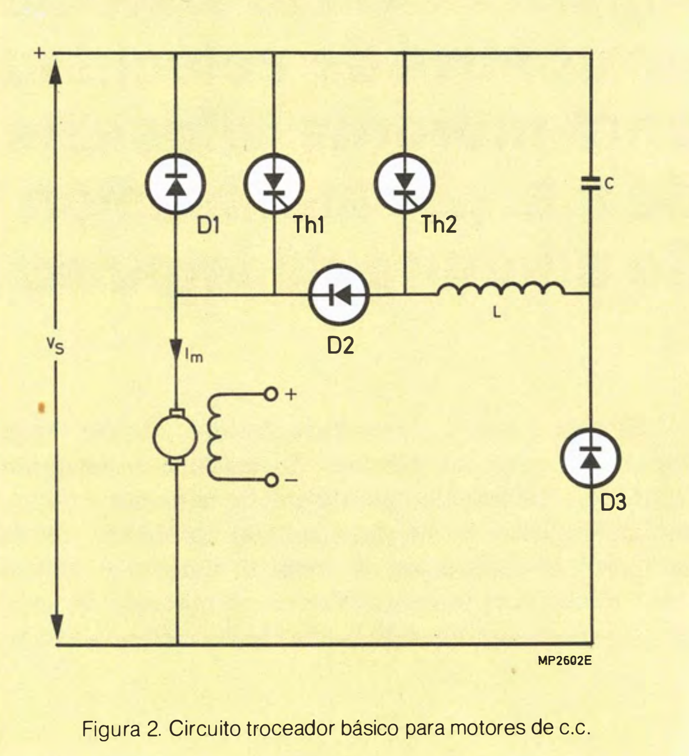


Figura 2. Circuito troceador básico para motores de c.c.

res están polarizados inversamente con relación a la conexión común del cátodo. De igual manera, los tiristores del grupo de abajo (Th_4, Th_6 y Th_2) tienen conectados en común los ánodos, y la conducción se produce a través del tiristor cuyo cátodo es más negativo. Para una secuencia de fases R, Y, B los tiristores que conducen por pares son: Th_1 y Th_2, Th_2 y Th_3, Th_3 y Th_4, Th_4 y Th_5, Th_5, y Th_6, y han sido consecuentemente numerados según la secuencia correcta de cebado en la figura 1.

En todos los sistemas que utilizan la conmutación por la red, ésta impone al control un ancho de banda limitado por su frecuencia; por lo que para mejorar los resultados son necesarios otros sistemas.

Control por troceado de motores de c.c.

Las limitaciones de control de fase pueden ser soslayadas utilizando el control por troceado. El principio de dicho sistema de control puede ser apreciado considerando el control de un motor de c.c. de excitación en paralelo a partir de una alimentación de c.a. rectificada o de una fuente de c.c. La tensión media en el motor es controlada variando la relación entre los tiempos de conducción y de bloqueo con los que la tensión de alimentación es aplicada a la carga, y el bloqueo del tiristor se consigue ahora por conmutación forzada. Como su nombre indica, en la conmutación forzada se «fuerza» al tiristor a bloquearse utilizando un circuito auxiliar (el circuito de conmutación) que consiste, por ejemplo, en un tiristor auxiliar o de conmutación y un circuito resonante serie LC.

El mecanismo de variar el tiempo de conducción-bloqueo por «troceado» de la tensión de entrada en impulsos discretos da el nombre a este tipo de control.

Así pues, variando la anchura de los impulsos, o la frecuencia de repetición del período de conmutación, el valor medio de la tensión continua de salida puede ser variado desde un valor muy pequeño hasta casi el total de la tensión de la fuente.

La figura 2 muestra un circuito troceador básico. Se denomina Im a la corriente en el motor. El tiristor Th_1 es el tiristor principal y el Th_2 es el de conmutación que es utilizado para bloquear el tiristor principal Th_1 con la ayuda del circuito resonante serie LC. Cuando Th_1 es bloqueado, la corriente del motor Im puede circular a través del diodo D_3, la autoinducción L y el diodo D_2. El diodo D_3 es conocido por lo tanto como de «efecto volante». El funcionamiento del circuito de conmutación se describe en este artículo más adelante.

El motor de c.a.

La mayoría de los accionamientos industriales son movidos por motores de c.a. de inducción y trifásicos. La amplia aplicación de estos motores es consecuencia directa de sus ventajas inherentes comparados con otros tipos. Estas ventajas incluyen:

— Elevada seguridad y bajo coste de mantenimiento.
— Bajo coste: para una potencia determinada, el motor de c.c. puede costar varias veces su equivalente de c.a.
— Elevadas relaciones potencia/volumen y potencia/peso.
— La velocidad es relativamente independiente de la carga para una determinada frecuencia de alimentación.

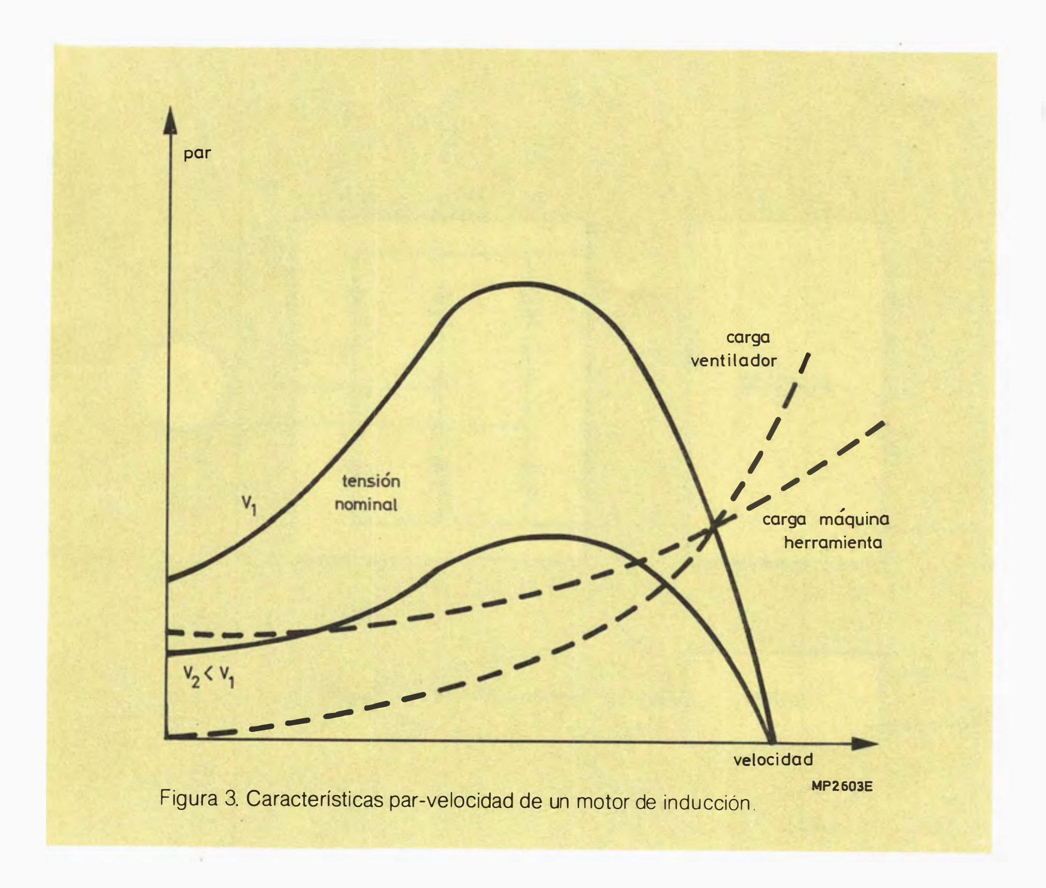


Figura 3. Características par-velocidad de un motor de inducción.

— No tiene escobillas: esto lo hace especialmente adecuado para ser utilizado en ambientes peligrosos como minas e industrias petroquímicas.
— Versiones normalizadas están realmente disponibles en «stock».

El motor trifásico de inducción normalizado es esencialmente una máquina de una única velocidad cuando es alimentado con tensión y frecuencia fijas. Si f es la frecuencia de la red que lo alimenta y p es el número de pares de polos del inductor, la velocidad de giro del campo inductor (velocidad síncrona) está dada por:

$$Ns = \frac{f}{p} \times 60 \text{ rev/min.}$$

Cambiando el número de pares de polos del motor, éste puede funcionar a un determinado número de velocidades fijas. Sin embargo, para conseguir un control de velocidad variable, se debe variar la frecuencia y en proporción lineal con ella la tensión aplicada para mantener constante el flujo motor. A frecuencias bajas, cuando la reactancia inductiva del motor es baja, se puede reforzar la tensión aplicada para compensar la caída de tensión en el inducido (IR). Así pues es necesario controlar tanto la frecuencia como la tensión para conseguir un funcionamiento adecuado con velocidad variable. En condiciones normales de funcionamiento, la velocidad del rotor (eje motor) es solamente un bajo tanto por ciento inferior que la velocidad de sincronismo. La diferencia entre ambas velocidades se denomina deslizamiento.

La figura 3 muestra la curva característica par-velocidad con alimentación a la tensión nominal V_1 y con tensión reducida V_2, junto con (superpuestas) la respuesta típica de cargas correspondientes a ventilación y a una máquina-herramienta industrial. Se puede demostrar que el conseguir un control suave de velocidad depende de la respuesta de ambas curvas, la del motor y la de la carga. Así pues, el funcionamiento correcto con frecuencia constante y tensión variable es adecuado solamente con cargas cuya ley de variación es «cuadrática» como lo son las de los ventiladores o las bombas, para asegurar unas condiciones adecuadas de arranque y de marcha estable. Los sistemas que utilizan la variación de tensión para controlar la velocidad no son adecuados para ser utilizados con cargas de respuesta par-velocidad constantes, y cuando son utilizados con ventiladores o bombas su rendimiento es bajo. Para solventar estas limitaciones es necesario alimentar el motor con frecuencia y tensión variables, y esto exige la utilización de un inversor.

INVERSORES PARA MOTORES DE C.A.

Existen dos tipos básicos de inversores para ser utilizados en sistemas de control de velocidad con frecuencia y tensión variables para motores de c.a. trifásicos. Los generadores actúan como generadores de corriente o como generadores de tensión.

El inversor-generador de corriente

La figura 4 muestra el diagrama de bloques del inversor que actúa como generador de corriente. Consta de un rectificador controlado por fase o de un rectificador-troceador, seguido de una autoinducción de choque que proporciona una fuente de corriente constante al inversor. Los tiristores

rectificador controlado

choque

inversor fuente de corriente

R

RED TRIFASICA

Y

B

M 3~

MP2604E

velocidad

CONTROL

Figura 4. Sistema inversor de fuente de corriente de frecuencia variable.

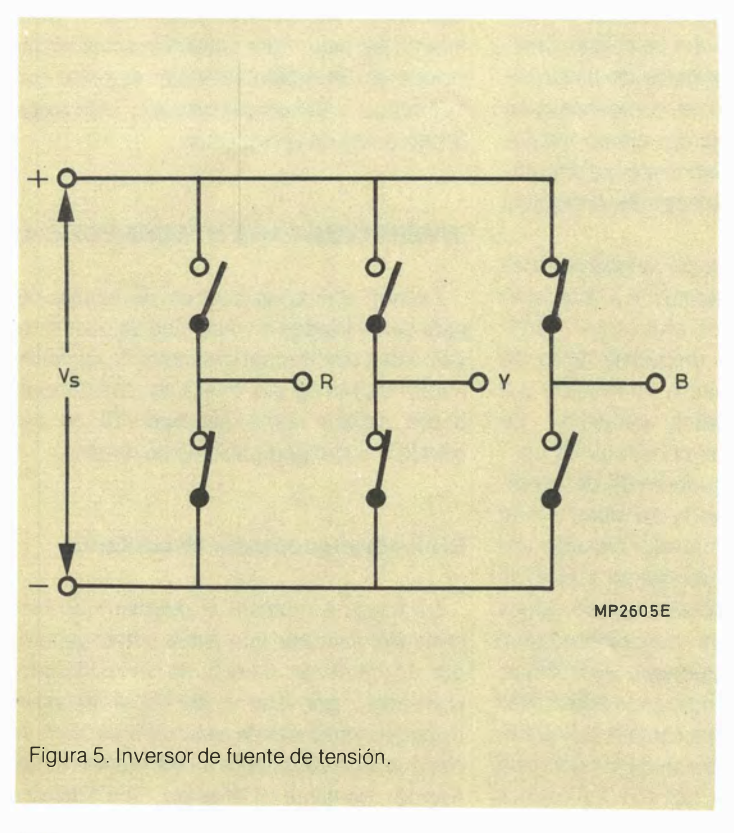


Figura 5. Inversor de fuente de tensión.

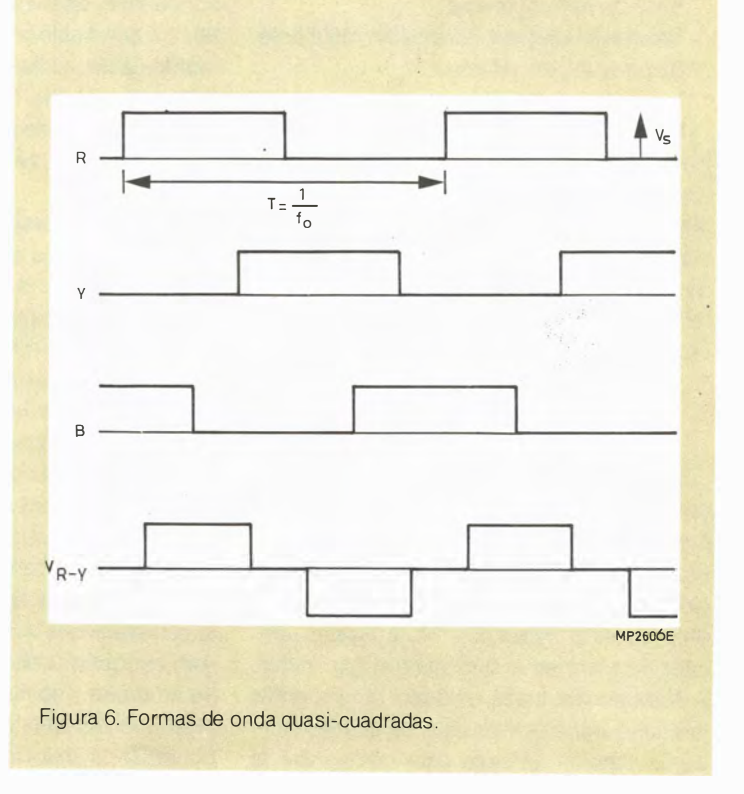


Figura 6. Formas de onda quasi-cuadradas.

del inversor son forzados a conmutar para transferir la corriente entre fases. Como el inversor se alimenta de una fuente de corriente, está protegido contra los picos de corrientes que provocan las variaciones rápidas de la carga.

En teoría, el inversor-generador de corriente hace posible el diseño de un inversor económico en el que los tiristores son aprovechados al máximo durante el funcionamiento normal. Sin embargo, no puede ser utilizado para controlar dos o más motores en paralelo, y los motores adolecen de un par pulsatorio a bajas frecuencias. Debido a estas restricciones su aplicación es limitada.

El inversor-generador de tensión

Debido a las limitaciones del inversor-generador de corriente, el inversor-generador de tensión es el tipo más frecuentemente utilizado. Su forma más simple es el de inversor de forma de onda quasi-rectangular o inversor de «seis tiristores».

Control de motores de c.a. con forma de onda quasi-rectangular

En los sistemas inversores de onda quasi-rectangular, la salida de cada una de las fases es conmutada entre el positivo y el negativo de la alimentación fija de c.c. cada semi-período, como se muestra en la figura 5. Esto produce las formas de onda de salida de la figura 6. La tensión media entre fases de salida es $V_{(R-Y)av}=V_s\times 2/3$, en donde V_s es la tensión de alimentación continua. Sin embargo, el motor de c.a. necesita una tensión media proporcional a la frecuencia, y esta variación de la tensión de salida junto con la frecuencia exige la utilización de un troceador adicional.

Inversor de impulsos de forma onda quasi-rectangular

La necesidad de este circuito extra puede ser soslayado por el sistema de impulsos de forma de onda quasi-rectangular. La salida de este sistema está representada en la figura 7. En él, cada una de las tres salidas del inversor alimentan el motor con n impulsos de salida de amplitud V_s y de anchura $T\delta$, durante cada semi-período.

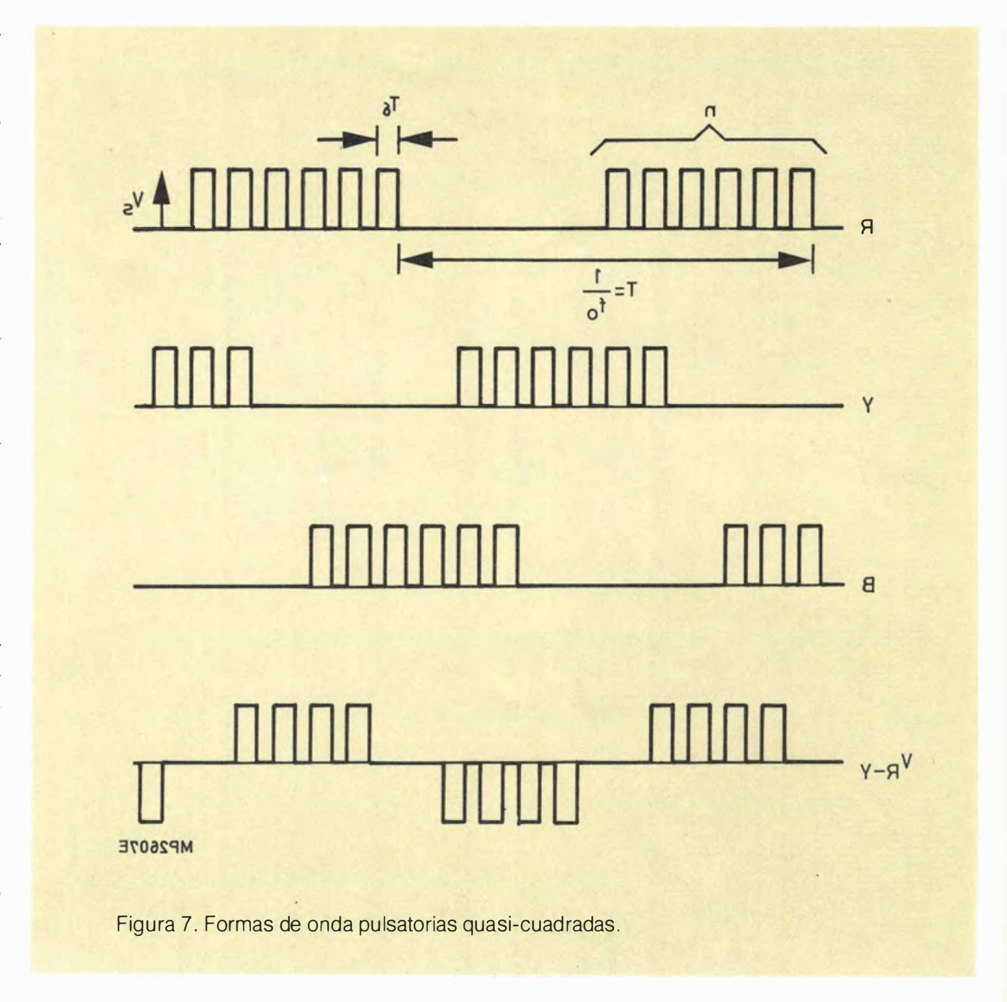


Figura 7. Formas de onda pulsatorias quasi-cuadradas.

La tensión media de salida entre fases para cada semi-período es:

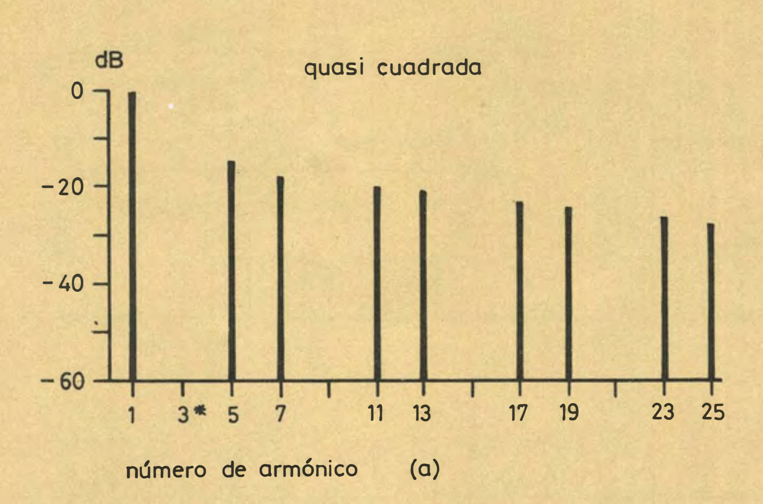
$$V_{(R-Y)av}=V_s\times n\times\frac{2}{3}\times T_\delta\times\frac{2}{T}$$
$$=V_s\times\frac{4n}{3}\times T_\delta\times f_o.$$

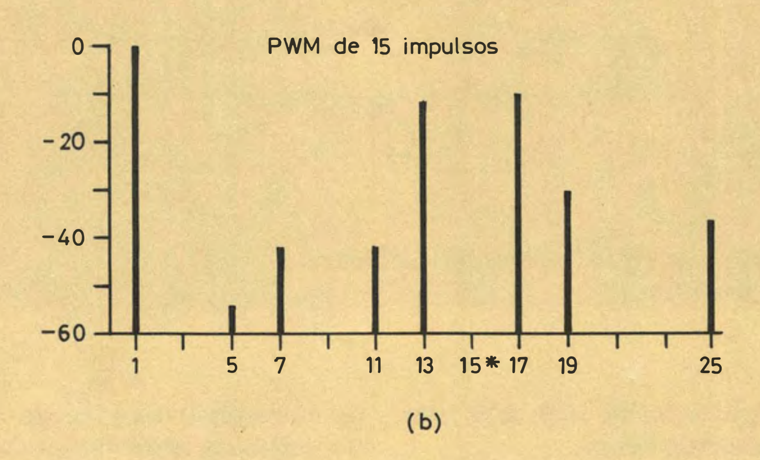
La tensión de salida $V_{(R-Y)av}$ es proporcional por lo tanto a la frecuencia de excitación del motor f_o, suponiendo que V_s y T_δ son fijos, y con ello la inducción dentro de todo el margen de velocidades es constante. Sin embargo, para un determinado número fijo de impulsos por ciclo, el resultado del sistema está limitado a velocidades elevadas por la elevada frecuencia de conmutación del inversor necesaria, y a bajas velocidades por el par pulsatorio producido.

El funcionamiento del sistema por impulsos con forma de onda quasi-rectangular puede ser considerablemente mejorado aumentando el número de impulsos por semi-período cuando disminuye la velocidad del motor. La anchura de los impulsos tiene que ser disminuida al mismo tiempo, de forma que el producto tensión-tiempo total dentro de un semi-período permanezca constante. Este aumento del número de impulsos reduce el nivel de armónicos en la corriente del motor a un nivel comparable con el de la forma de onada quasi-rectangular simple. No obstante, el espectro de frecuencia asociado a la forma de onda quasi-rectangular (figura 8a) da lugar a significantes pérdidas en el motor que exige una infrautilización en potencia.

Control de motores de c.a. con modulación de anchura de impulsos (P.W.M.) utilizando un circuito L.S.I.

El resultado obtenido utilizando el sistema con inversos y onda quasi-rectangular puede ser mejorado utilizando la técnica de modulación de anchura de impulsos modulados por forma de onda senoidal (P.W.M.). Han sido desarrollados en el pasado mu-





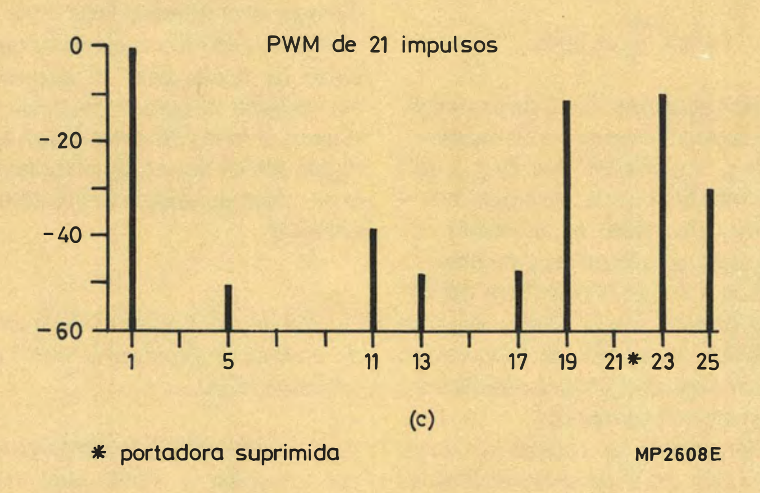


Figura 8. Espectro de la tensión de fase del motor.

chos tipos de sistemas de P.W.M. senoidales pero cada uno tiene sus propias desventajas, tales como circuito complicado, coste, variación de la salida con la temperatura, etc. El sistema que se describe aquí solventa todos estos problemas utilizando un circuito LSI especialmente diseñado, tipo HEF4572V, para la generación de señales. Este circuito integrado es totalmente digital y se fabrica utilizando el proceso LOCMOS. La figura 9 muestra el diagrama de bloques del sistema, y la parte más importante de dicho diagrama, la sección PWM, se desribe a continuación.

El circuito integrado proporciona tres pares de salidas complementarias con una forma de onda de excitación tal que aplicadas a un puente inversor trifásico éste produce una salida trifásica simétrica (120°). Tiene previstas entradas para las señales de cambio de sentido, marcha-paro y para determinar el retraso de entrelazado. El usuario dispone de doce salidas de P.W.M. junto con señales para visualización y sincronismo.

Las formas de onda de salida son impulsos de anchura modulada que utilizan la modulación de doble frente, de forma que la diferencia de tensión media entre dos cualquiera de las tres fases de salida varía senoidalmente. La figura 10a muestra la salida no modulada del inversor; la figura 10b, muestra la fase R con doble frente modulado, y las figuras 10c y 10 d las fases Y y B con doble frente modulado. La tensión entre dos fases se obtiene restando las fases R e Y, como muestra la figura 10e. El término n se define como la relación entre la frecuencia de conmutación y la frecuencia de excitación del motor. En la práctica fueron escogidos los siguientes ocho números de impulsos (n):

$$n=15, 21, 30, 42, 60, 84, 120, 168.$$

En la figura 8 se compara el espectro de frecuencia de una forma de onda quasi-rectangular con el de una forma de onda PWM con n=15 y n=21. La información de la figura 8 aparece también en la tabla 1. Este espectro de PWM junto con el funcionamiento con número de impulsos variable produce pocas pérdidas en el motor y un arranque suave.

La relación entre la tensión de excitación del motor y la frecuencia es inherentemente lineal, pero si es necsario también es posible el control de la tensión y la frecuencia por

RED TRIFASICA
R
Y
B
Cb
B
Y
R
M
3~
+
−
V_{Cb}^*
velocidad
CONTROL
CI-PWM
I_m^*
MP2609E

Figura 9. Sistema inversor PWM (modulación por anchura de impulsos) fuente.

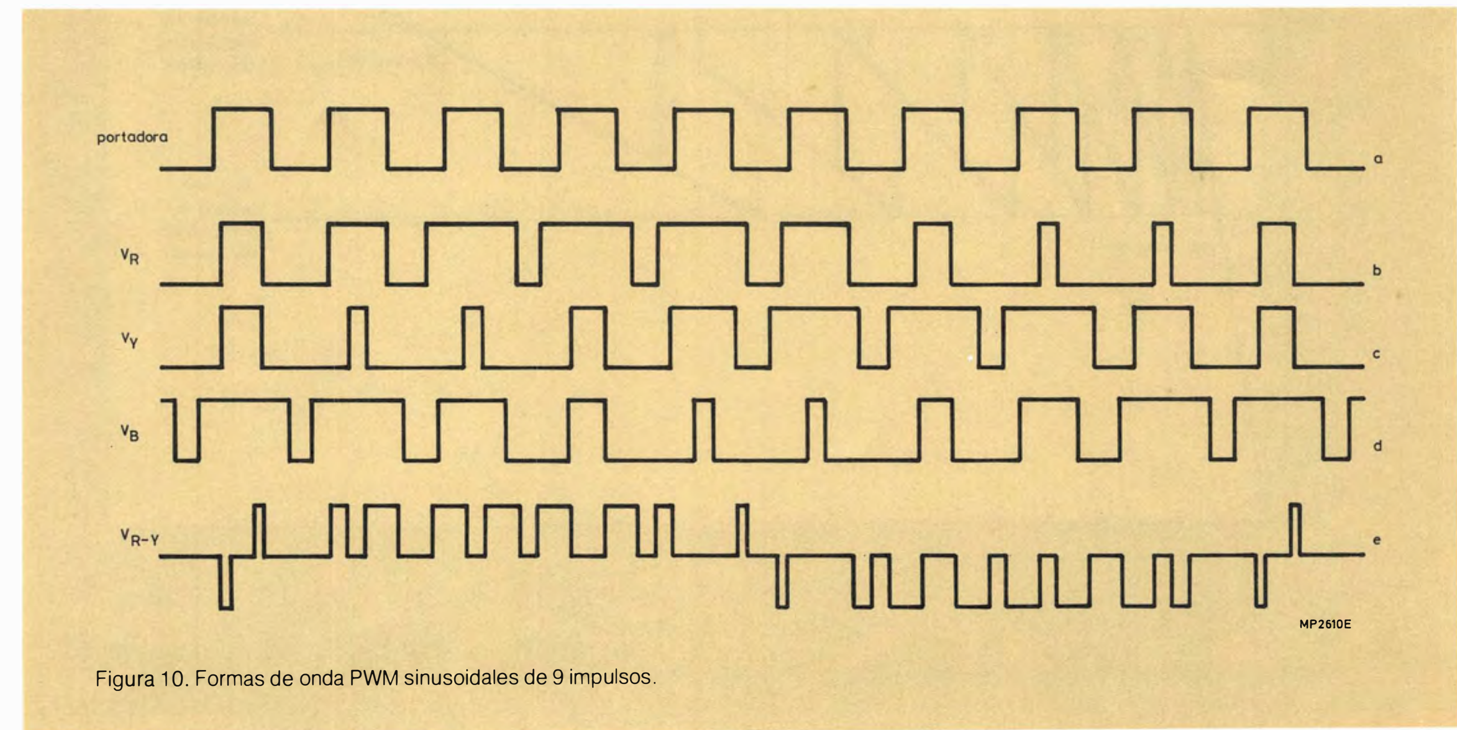


Figura 10. Formas de onda PWM sinusoidales de 9 impulsos.

Tabla 1. Contenido de armónicos de las formas de onda quasi-cuadradas, de 15 impulsos y de 21 impulsos.

Armónico N.°	A_1	A_5	A_7	A_{11}	A_{13}	A_{17}	A_{19}	A_{23}	A_{25}
Onda quasi-cuadrada	1,103	0,221	0,157	0,100	0,085	0,065	0,058	0,048	0,044
Onda de 15 impulsos*	0,881	0,002	0,007	0,009	0,248	0,305	0,038	0,001	0,016
Onda de 21 impulsos*	0,881	0,003	0,001	0,014	0,005	0,006	0,257	0,295	0,031

* Al 100% de modulación

Todos los valores tabulados se refieren a una fuente de tensión de c.a.

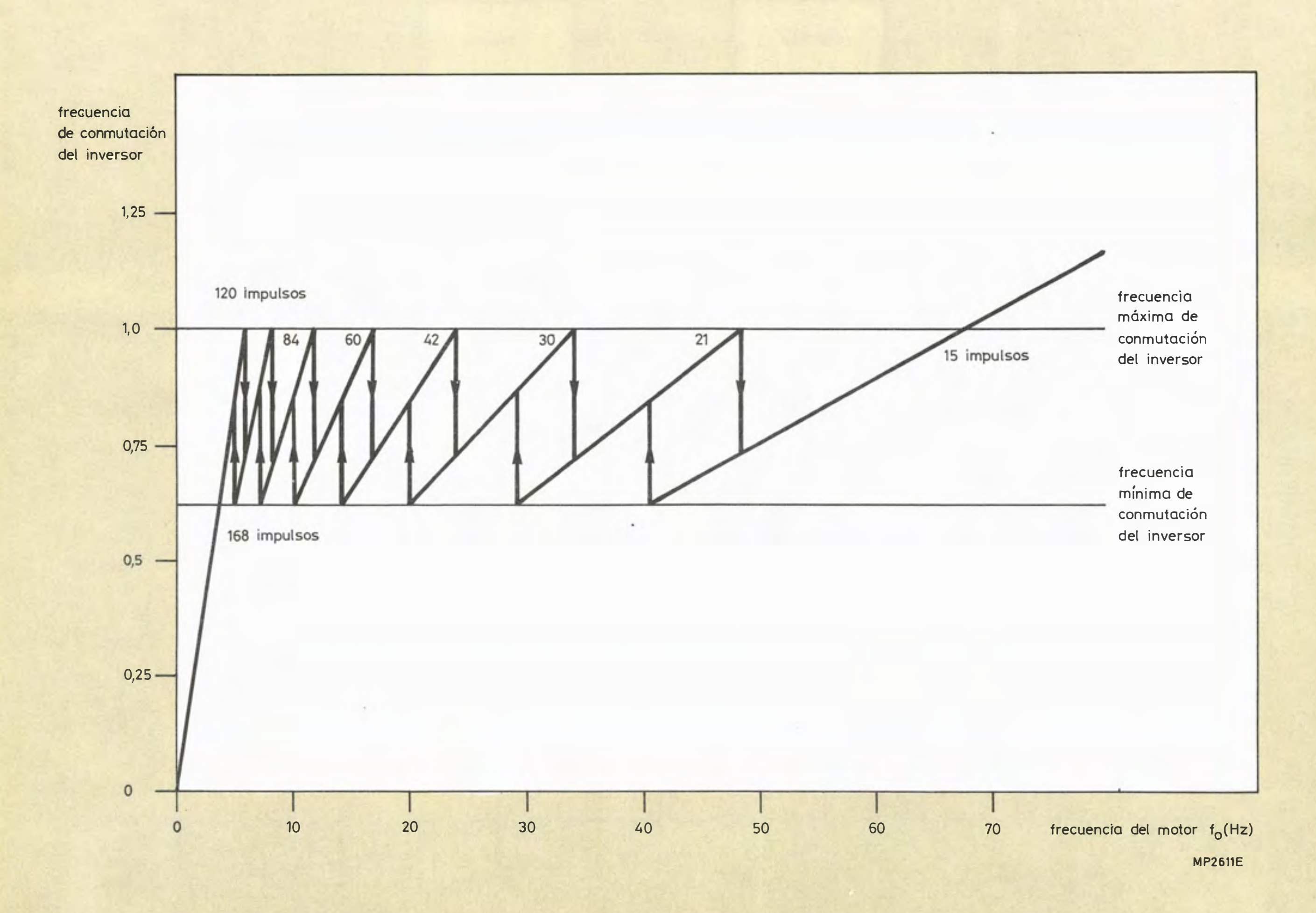
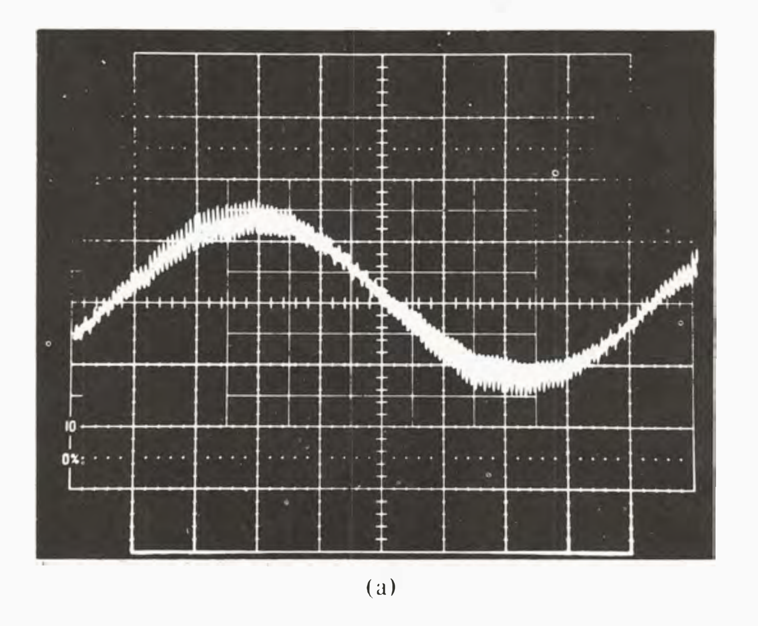
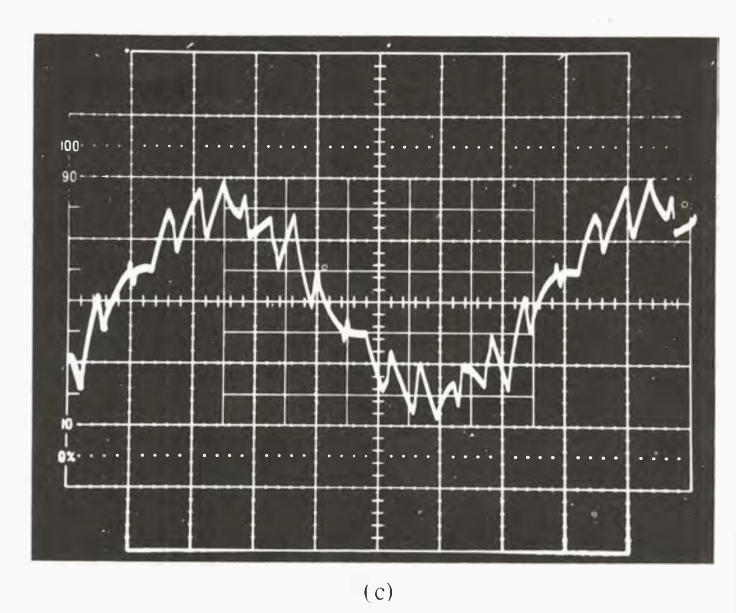


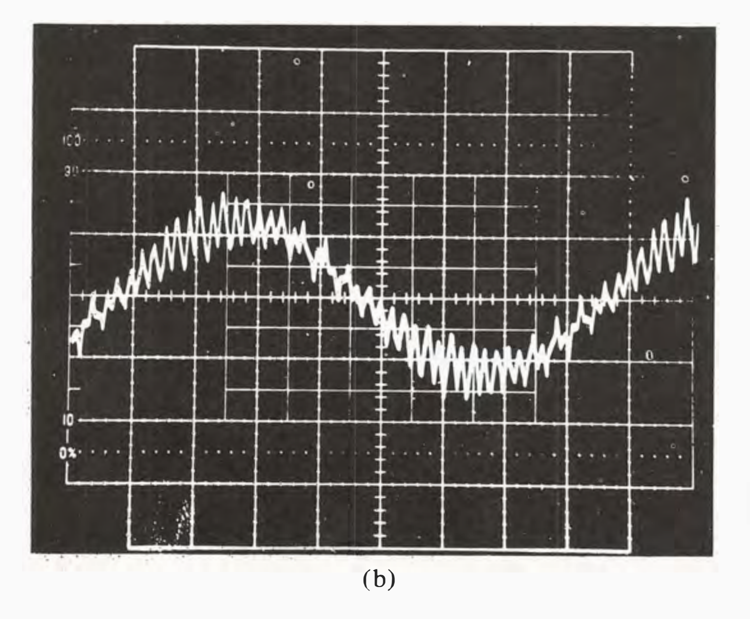
Figura 11. Frecuencia de conmutación del inversor en función de la frecuencia de excitación con el número de impulsos como parámetro.



(a)



(c)



(b)

Figura 12. Formas de onda de corriente de fase para varias frecuencias de excitación del motor.
a) Frecuencia de excitación del motor=10 Hz, número de impulsos=60.
b) Frecuencia de excitación del motor=25 Hz, número de impulsos=21.
c) Frecuencia de excitación del motor=50 Hz, número de impulsos=9.

separado. La modulación de los dos frentes tiene la ventaja de entregar el doble de impulsos por fase para una determinada frecuencia de conmutación, lo que da como resultado sustancialmente bajos valores de rizado de la corriente del motor en comparación con los sistemas de modulación de un solo frente. El sistema posee además la posibilidad de ser sobre-modulado, lo que permite que la forma de onda de PWM sea una forma de onda quasi-rectangular en condiciones límite. Esta posibilidad es útil en aplicaciones en las que un motor normalizado es acoplado a la maquinaria y se desea un funcionamiento hasta la misma velocidad máxima. El circuito integrado tiene cuatro entradas de reloj que definen respectivamente la frecuencia del motor, la frecuencia del motor en Hz/voltio de tensión, la frecuencia de conmutación del puente y la anchura mínima del impulso. La frecuencia de conmutación del puente f_s es un múltiplo entero de la frecuencia de excitación del motor, es decir:

$$f_s = n\, f_o.$$

La figura 11 muestra el funcionamiento típico con la frecuencia de conmutación máxima de 1 kHz. Se incluye una pequeña histéresis en los puntos de cambio del número de impulsos para evitar la oscilación entre ambos cuando se opera en estas regiones. La frecuencia mínima de conmutación está fijada internamente en el circuito LSI a un valor:

$$fs(\text{mín}) \simeq 0{,}6\, fs(\text{máx}).$$

La frecuencia del rizado de la corriente de línea del motor es mantenida dentro de una banda de anchura constante en un margen de frecuencias de excitación mayor que 18,5:1.

La figura 12 muestra la corriente de línea del motor con diferentes frecuencias para un motor de 2,2 kW utilizando una frecuencia máxima de conmutación de 1 kHz.

Sección simple del inversor trifásico

El circuito inversor necesario para ser utilizado con PWM y el circuito LSI tipo HEF4752V está compuesto por tres troceadores completamente independientes para cada una de las fases R, Y y B. El esquema de una sección de dicho inversor aparece en la figura 13.

El circuito consta de cuatro tiristores, dos tiristores principales Th_1 y Th_2 que trocean la tensión rectificada de la red y dos tiristores de conmutación Th_3 y Th_4 que fuerzan la conmutación de Th_1 y Th_2. Los impulsos de cebado para los tiristores son aplicados a través de transformadores de impulsos excitados por amplificadores. La corriente del motor Im es conducida alternativamente a través de Th_1 y el diodo de «efecto volante» D_2, o a través de Th_2 y D_1.

El circuito de conmutación de Th_1 está compuesto por los elementos Th_3, D_3, L_2 y C_1, y el diodo de «efecto volante» D_1.

La conexión en anti-paralelo de la combinación tiristor-diodo principal evita la necesidad de utilizar tensión inversa de conmutación, lo que es de particular importancia ya que permite el empleo de los modernos tiristores asimétricos de alta velocidad que poseen capacidad para soportar una tensión inversa de bloqueo de unos pocos voltios.

El principio de funcionamiento del circuito de conmutación puede comprenderse con la ayuda de la figura 14 que muestra solamente los elementos básicos del circuito de conmutación asociado al tiristor principal Th. Se supone que el condensador C_1 está cargado a la tensión de alimentación con la polaridad marcada con una «a» y Th_1 está conduciendo la corriente de carga I_m y hay que bloquearlo. La conmutación se inicia cebando el tiristor auxiliar Th_3. Esta acción produce el flujo de una corriente senoidal de resonancia a través de Th_3, L_2 y C_1 en la dirección de la flecha marcada con una «A». Al final del semi-ciclo de la corriente senoidal, la polaridad de C_1 es la invertida (marcada con una «b»), la corriente a través de Th_3 es cero y se bloquea. Seguidamente la corriente a través del condensador se invierte y se inicia el segundo semi-ciclo de la corriente senoidal de resonancia que circula en la dirección indicada por la flecha marcada «B». Como la corriente a través de D_3 aumenta durante el semi-ciclo de resonancia, la corriente de carga I_m es suministrada progresivamente por el circuito resonante. Se alcanza un punto en el que la corriente no es suministrada por Th_1 y el tiristor se bloquea.

El exceso de corriente que fluye a través de D_1 y el tiempo que dura esta conducción, proporciona el tiempo de descebado. Durante la última cuarta parte del ciclo, cuando la corriente a través de D_3 es reducida de nuevo al valor de la corriente de carga I_m, se aplica de nuevo una tensión directa a los tiristores Th_1 y Th_3, y se restablece la polaridad de la tensión del condensador a la con-

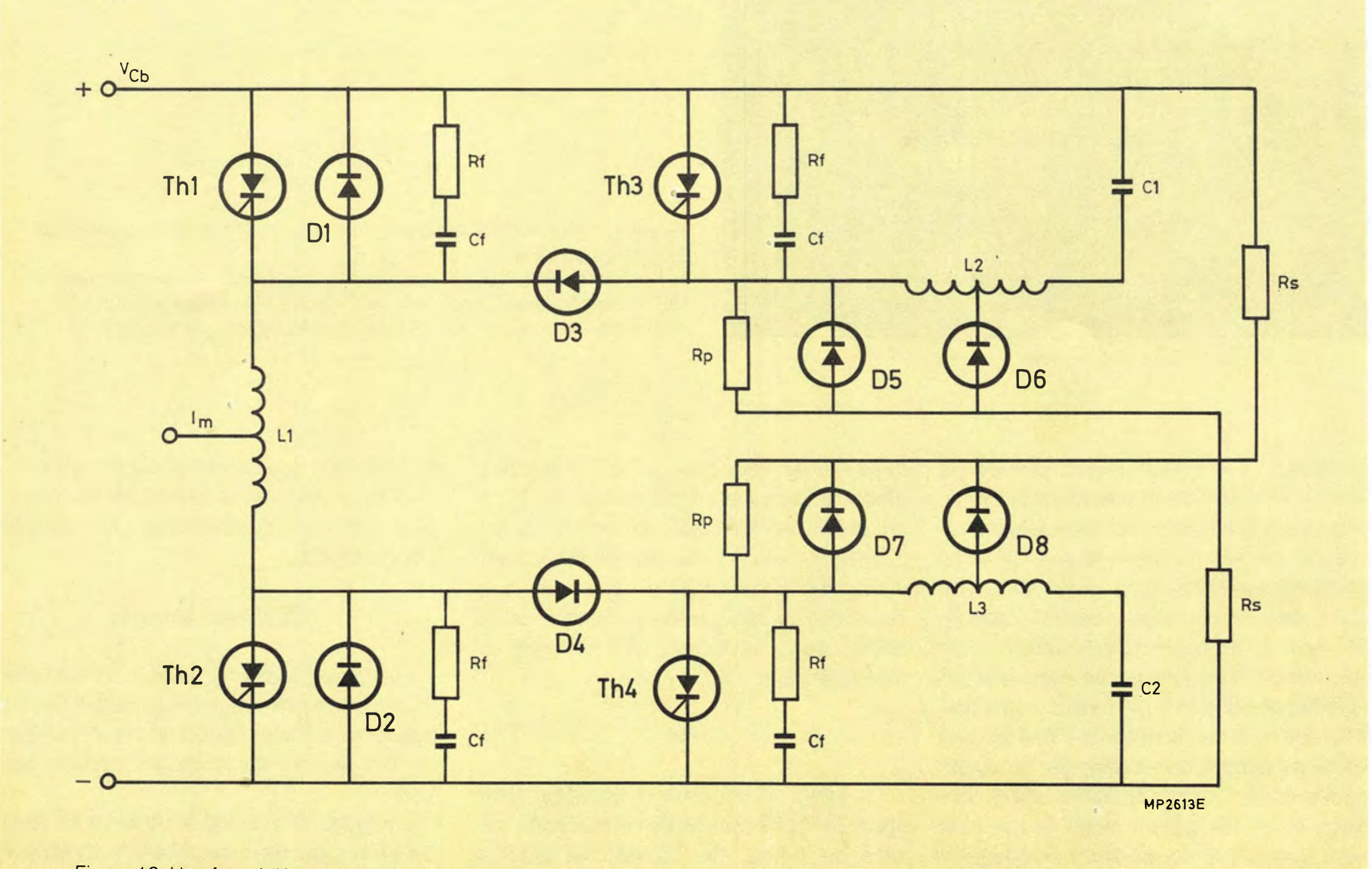


Figura 13. Una fase del inversor PWM trifásico.

dición inicial marcada con una «a», y se ha completado la conmutación de Th_1.

La segunda semi-senoide de corriente que desceba Th_1 tiene una amplitud igual a Icp y un período T_{cp} aproximadamente iguales a:

$$I_{cp}=V_{Cb}\sqrt{(C_1/L_1)},$$

$$T_{cp}=\pi\sqrt{(L_2C_1)},$$

en donde C_1=capacidad de conmutación y L_2=autoinducción de conmutación.

Los valores de C_1 y L_2 se deben elegir de manera que la corriente de conmutación en L_2 sobrepase a la corriente de pico máxima de carga I_m durante el tiempo de descebado t_q del tiristor Th_1.

En la sección inversora de la figura 13, los valores de L_2 y C_1 necesarios son determinados por el valor máximo de pico de la corriente I_m, la tensión mínima V_{cb} (mín) y el tiempo de descebado necesario t_q de Th_1, como expresan las siguientes ecuaciones:

$$L_2 \simeq \frac{0{,}4V_{Cb(min)} \times t_q}{I_{m(pk)}}$$

$$C_1 \geq \frac{t_q \times I_{m(pk)}}{V_{Cb(min)}}$$

Un filtro RC conectado a cada tiristor asegura que, después de la conmutación, la pendiente de la tensión aplicada dV/dt no exceda los valores nominales del tiristor. Los diodos D_6 y D_8 y el resistor R_s proporcionan un amortiguamiento crítico a los circuitos L_2C_1 y L_3C_2 al final del ciclo de conmutación. Los diodos D_5 y D_7 limitan la tensión de pico máxima en los tiristores a un valor ligeramente superior al de la tensión continua de alimentación.

Para un funcionamiento adecuado, un funcionamiento suave a bajas velocidades y un elevado rendimiento eléctrico, es necesario hacer funcionar el inversor a una frecuencia de conmutación de P.W.M. relativamente elevada. Esto requiere la utilización de tiristores con un tiempo de descebado t_q corto y que pueda soportar un dV/dt elevado, junto con diodos correspondientemente rápidos.

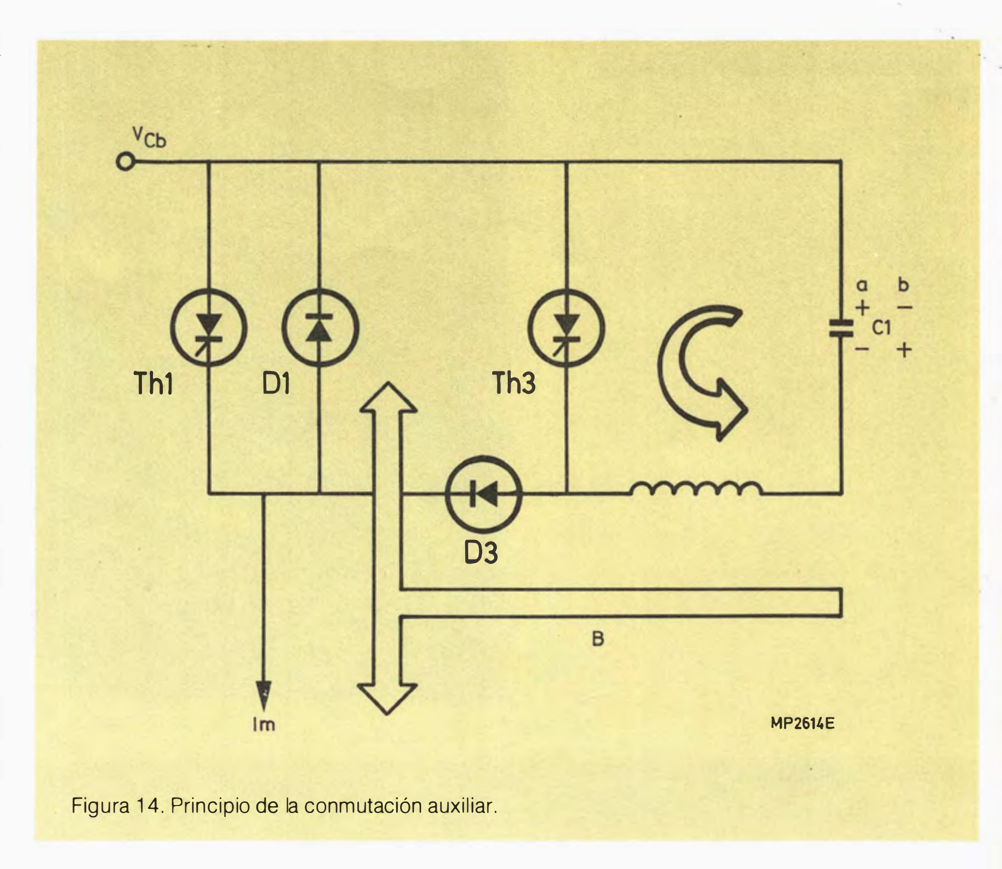


Figura 14. Principio de la conmutación auxiliar.

SISTEMA DE CONTROL DE VELOCIDAD DE MOTORES DE C.A. QUE UTILIZA EL HEF4752V

Se ha diseñado un sistema práctico de control con nuestros tiristores rápidos y circuitos integrados de PWM tipo HEF4752V (ver figura 15). El tipo de los tiristores y el diseño de la sección de potencia dependen de la potencia del motor que se va a controlar.

Características del sistema

Las especificaciones del sistema descrito son:

— Red trifásica estándar de 380 a 415 V, 50Hz.
— Rapidez de respuesta dinámica (aceleración y deceleración).
— Frecuencia de salida: desde 0 a 100 Hz (control de velocidad bidireccional).
— Tensión de salida: hasta 415 V eficaces (fase/fase) para una tensión eficaz en la red de 415 V fase-fase.
— Frenado dinámico rápido.

Sistema de control

El sistema de control incorpora las siguientes posibilidades de ajuste:

— Ajuste de la velocidad del motor, desde cero al doble de la velocidad nominal. Es posible el control remoto mediante una tensión de control exterior.
— Ajuste de la corriente máxima en el motor hasta alrededor del 150% del valor nominal.
— Ajuste de los tiempos de aceleración y deceleración durante la variación de la velocidad del motor.
— Limitación de la potencia regenerada durante la deceleración de la velocidad para proteger al inversor contra sobretensiones.
— Ajuste de la corrección del deslizamiento para mejorar la regulación de la velocidad con la variación de la carga.
— Ajuste de la compensación IR para aumentar el par de arranque.

La figura 16 muestra el sistema básico de control. La red se conecta al rectificador a través de un filtro contra interferencias con

Figura 15. Sistema de control de motores de c.a. por modulación de anchura de impulsos de 2,2 kW.



Figura 16. Prototipo de control de motores PWM que utiliza el circuito HEF4752V.

lo que se asegura que la contaminación de la red producida por el inversor esté por debajo de los límites CISPR y VDE. La tensión continua V_{cb} es filtrada por condensador y aplicada al inversor. El inversor entrega una tensión de salida de c.a. trifásica al motor. La tensión continua se aplica también a una fuente de alimentación conmutada (SMPS), que proporciona las bajas tensiones para la alimentación de la sección de control.

Con el fin de limitar la corriente y V_{cb} durante sobrecargas o durante el frenado, se aplican a la sección de control las siguientes señales de realimentación:

— Una tensión V_{cb}^*, que viene de la fuente de alimentación conmutada. Esta señal es proporcional a la tensión continua en el condensador de filtro. Si no se prevé alguna forma de limitación de la tensión continua en el condensador de filtro, ésta puede llegar a ser excesiva durante un frenado incontrolado. La tensión Vcb* se utiliza también para proporcionar condiciones de seguridad durante la puesta en marcha y la desconexión del equipo.

— Una señal M/G. Esta señal se obtiene también de la tensión en el condensador de filtro e indica la dirección del flujo de energía en el sistema (funcionamiento como motor o como generador).

— Una señal proporcional a la corriente del motor Im* que es detectada por un transformador de corriente continua (DCCT) intercalado en los cables del motor.

Los doce tiristores de la sección inversora son cebados por el PWM HEF4752V, a través de amplificadores y transformadores de impulsos. El HEF4752V genera las señales de anclura de impulsos moduladas senoidalmente. Las condiciones de funcionamiento del circuito integrado están determinadas por las siguientes cuatro entradas de reloj, VCT, FCT, RCT u OCT.

— VCT (reloj de disparo de la tensión). Determina la relación frecuencia/tensión de la salida (Hz/V).
— FCT (reloj de disparo de la frecuencia). Determina la frecuencia que alimenta al motor y controla por lo tanto su velocidad.
— RCT (reloj de disparo de referencia). Fija la frecuencia máxima de conmutación.
— OCT (reloj de disparo de la salida). Fija la anchura mínima permisible de los impulsos.

La entrada CW del HEF4752V determina el sentido de rotación del motor.

Solamente se puede invertir el sentido de rotación cuando se para el reloj FCT. Las

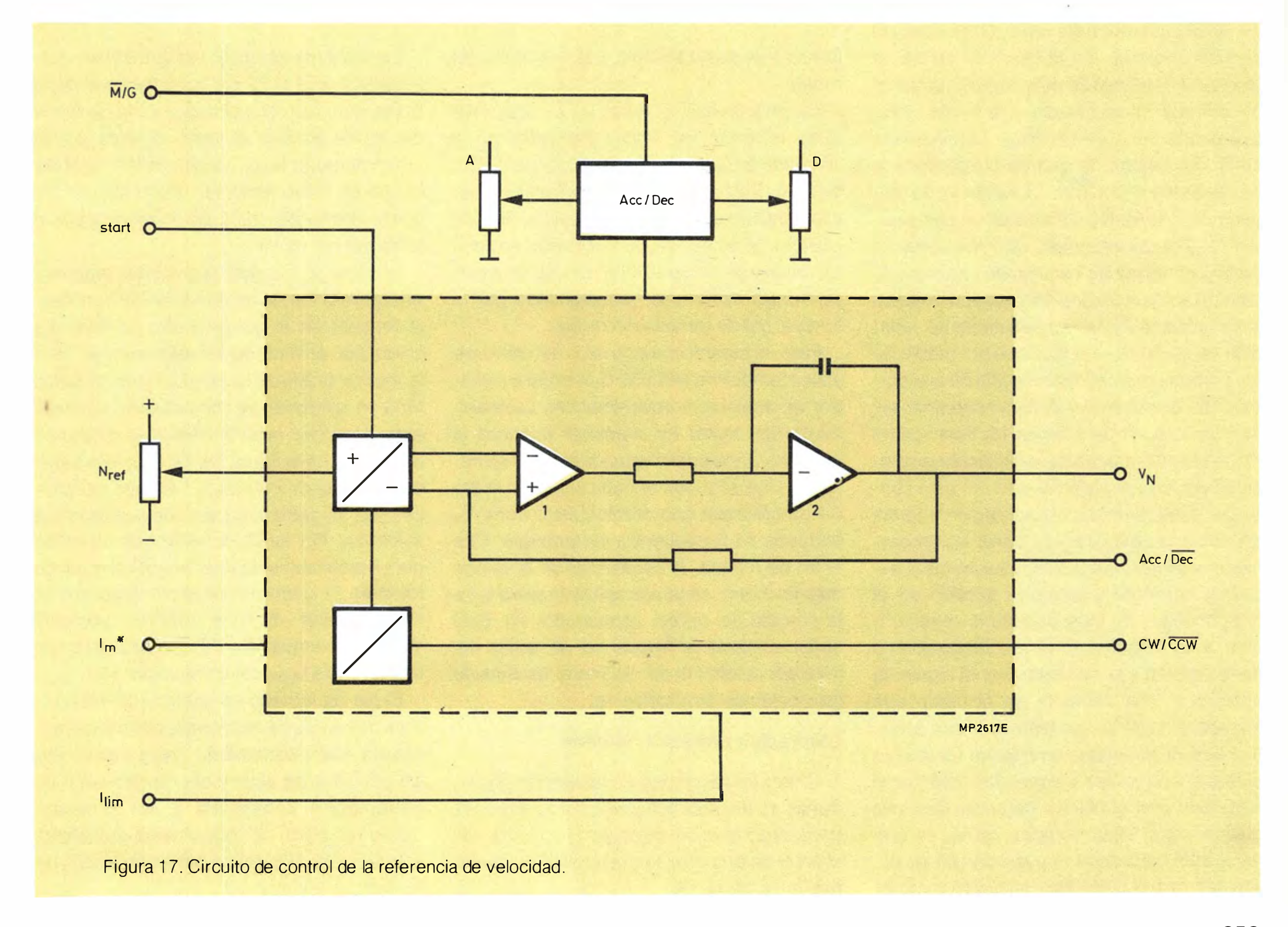


Figura 17. Circuito de control de la referencia de velocidad.

señales FCT y VCT son generadas en la sección de control. La velocidad de motor, su corriente máxima y su tensión son ajustables por medio de los potenciómetros N_{ref}, $I_{m(ref)}$ y V_{mot}. Sin embargo, en condiciones de sobrecarga y regeneración, la velocidad del motor es también controlada por la corriente en el motor por la tensión continua en el condensador de filtro. La sección analógica del control proporciona las necesarias señales de arranque o de paro para asegurar una puesta en marcha y una desconexión segura de la sección de potencia.

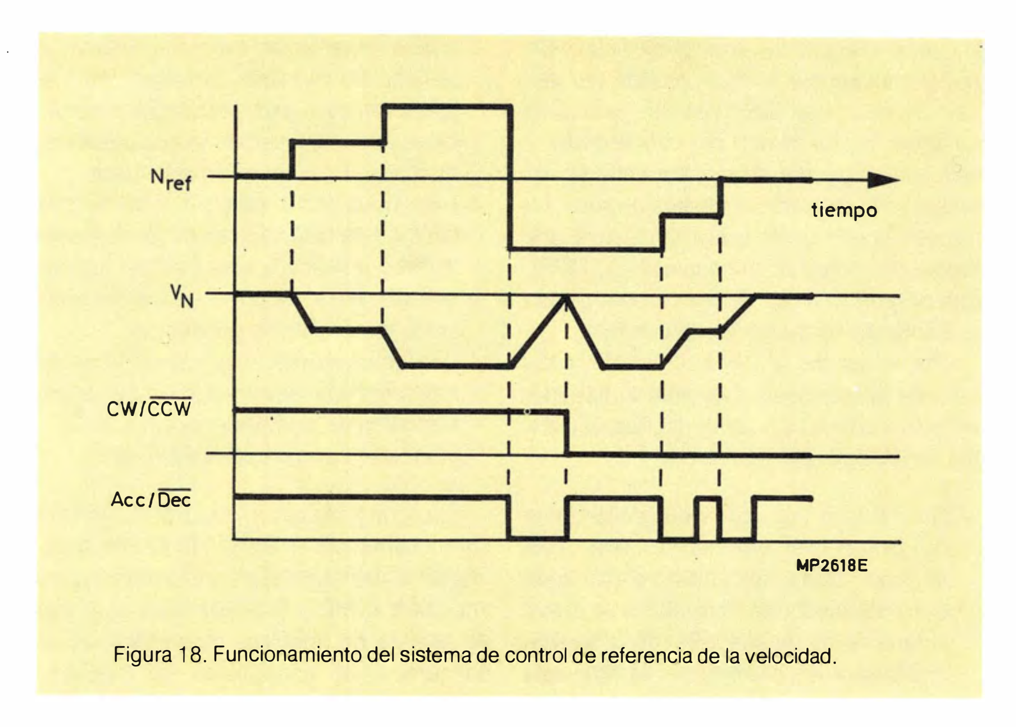


Figura 18. Funcionamiento del sistema de control de referencia de la velocidad.

Circuito de referencia de la velocidad

El circuito de referencia de la velocidad proporciona la tensión de control del generador de impulsos de reloj FCT. Dicha señal de referencia puede ser variada por medio de un potenciómetro (N_{ref}) entre —10 V y +10 V y produce una variación de la velocidad del motor desde el máximo en sentido de las agujas del reloj hasta el máximo en sentido contrario. En la figura 17 se da un diagrama funcional de este circuito. La señal de entrada es rectificada y la salida viene expresada por $V_N = -K\,|N_{ref}|$. La necesaria señal de sentido de giro es proporcionada por la salida $CW/\overline{CCW}$. La salida V_N se obtiene de la señal N_{ref} a través de un comparador (1) y de un integrador (2). Una variación de N_{ref} en forma de escalón da como resultado un aumento o una disminución lineal de la señal de salida V_N. La pendiente de variación de V_N puede ser ajustada por medio de los potenciómetros de limitación de aceleración/deceleración A y D, como muestran las formas de onda de la figura 18. Este control de la máxima rapidez de variación de la velocidad protege al sistema, y es útil para conseguir características especiales en la forma de variar la velocidad. La señal I_{lim} proporciona la protección del inversor frente a excesiva corriente y excesiva tensión en el condensador de filtro durante la regeneración, y es obtenida en el circuito de control de la tensión y la corriente (ver el siguiente apartado). Una corriente en el motor que exceda el límite de corriente prefijado con el dispositivo actuando como motor (como por ejemplo con motor bloqueado) dará como resultado una señal I_{lim} negativa. Con ello disminuirá el valor negativo de V_N, lo que dará como resultado una frecuencia de salida del inversor más baja, reduciéndose por lo tanto el deslizamiento y la corriente del motor.

Durante la regeneración, I_{lim} será positiva si se exceden los límites prefijados de la corriente o de la tensión en el condensador de filtro. Esta acción aumenta el valor de V_N, y aimenta así la frecuencia de salida. De esta manera, la diferencia de frecuencia entre el inversor y el inducido (frecuencia de deslizamiento) disminuye, reduciéndose por lo tanto el par de frenado del motor.

Para un control correcto de la corriente, se aplica también la señal $\overline{M}/G$ al circuito limitador de aceleración/deceleración. La aceleración del motor es imposible mientras la señal $\overline{M}/G$ indique la actuación como generador. Una segunda entrada digital es la señal de arranque que desbloquea la señal V_N después de la secuencia de arranque. Con el fin de mejorar la estabilidad de la velocidad del motor, se puede aplicar la señal $I_m{}^*$ a la entrada del primer comparador (1). Esta señal aumenta la frecuencia de salida del inversor cuando el par del motor es elevado (correción de deslizamiento).

Limitación corriente/tensión

Como se mencionó en la sección precedente, el inversor debía ser protegido contra corriente y tensión excesivas. Los bucles de control de la corriente y la tensión se muestran en la figura 19.

La corriente del motor es medida por tres transformadores de c.c. conectados entre la salida del inversor y el motor. Si la corriente del motor excede el valor ajustado por el potenciómetro $I_{m(ref)}$, I_{lim} se vuelve negativa, lo que da como resultado una reducción de la frecuencia de salida del inversor y por lo tanto del par motor.

Durante el frenado, cuando se regenera energía a la fuente de alimentación continua, la tensión en el condensador de filtro V_{cb} crece por encima de su valor normal. Este aumento produce la aparición de la señal $\overline{M}/G$ en la sección de alimentación a la red, y entra en acción la parte inferior de la sección de control de la figura 19. En cuanto la señal de corriente de frenado $I_m{}^*$ excede del valor de $I_{G(ref)}$, se genera una tensión positiva en la salida I_{lim}. Por tanto, la frecuencia de salida del inversor aumenta y se reduce así el par de frenado. Si la tensión en el condensador de filtro excede el nivel máximo prefijado $V_{cb(ref)}$, el comparador (3) reduce el valor de la referencia $I_{G(ref)}$ del comparador (4).

El par de frenado se reducirá de esta manera al nivel justo para que la potencia regenerada sea exactamente compensada por las pérdidas en el inversor, en la fuente de alimentación conmutada y en el motor. Como resultado de este sistema de control, está siempre disponible la máxima acción de frenado.

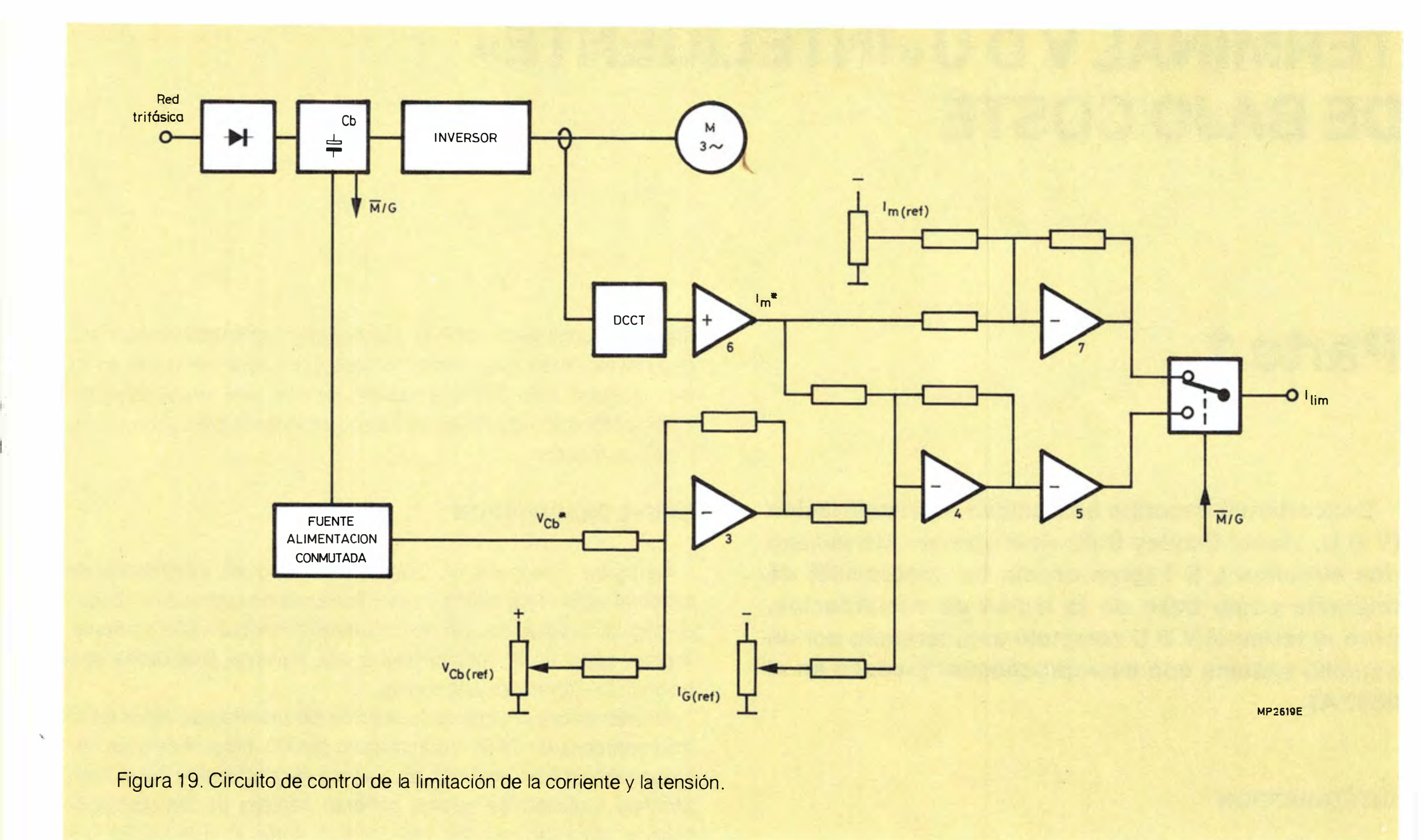


Figura 19. Circuito de control de la limitación de la corriente y la tensión.

Control de la tensión de control

Para mejorar el par motor a bajas velocidades necesario con cargas tales como compresores o sistemas de tracción de vehículos que exigen un par de arranque elevado, es necesario aumentar la tensión del motor a bajas velocidades. Esta función, que compensa las relativamente altas péridas por «IR» a bajas velocidades, se consigue disminuyendo la frecuencia del reloj VCT en el extremo inferior del margen de velocidades.

El circuito puede ajustarse por medio de tres potenciómetros que controlan los siguientes parámetros:

1) La tensión del motor a velocidad nominal.
2) El margen de velocidades con compensación de «IR».
3) La máxima compensación de «IR» a velocidad cero.

APLICACIONES

Se ha alcanzado una etapa de evolución tecnológica en la cual es económicamente factible fabricar accionamientos variadores de velocidad industriales de uso general y de alta calidad que emplean motores trifásicos de inducción. Esto ha sido posible por los recientes avances en los semiconductores de potencia y la introducción de circuitos LSI especialmente diseñados para la generación de señales.

El sistema descrito en este artículo ilustra un método para conseguir un accionamiento de velocidad variable de elevadas prestaciones para motores trifásicos de inducción, utilizando los semiconductores de potencia más avanzados y la tecnología LSI disponible en la actualidad. Las aplicaciones típicas de los inversores de frecuencia variable incluyen:

— Fabricación textil.
— El procesado químico.
— La fabricación del vidrio.
— Las máquinas-herramienta.
— La formación de polímeros.
— El procesado de alimentos.
— La manipulación de materiales y el envasado.
— La fabricación e impresión del papel.
— Las rectificadoras mecánicas.
— Las bombas.

En estas y muchas otras aplicaciones, el sistema electrónico de control de motores descrito en este artículo proporciona una mejor eficiencia, menor volumen y mayor flexibilidad de control.

TERMINAL V D U «INTELIGENTE» DE BAJO COSTE

Parte 1

Este artículo describe una unidad de visualización (V D U, Visual Display Unit) «inteligente». Se utilizan dos circuitos L S I (gran escala de integración) de teletexto como base de la lógica de visualización, pero el terminal V D U completo está formado por un sencillo sistema con microprocesador (basado en el 2650 A).

INTRODUCCION

En los últimos años, las aplicaciones de las unidades de visualización se han ampliado extensivamente. Por esto, ha aumentado la demanda de dispositivos de visualización más baratos para aplicaciones profesionales, con lo que la atención ha girado hacia campos donde los componentes han sido desarrollados y producidos en gran escala.

El desarrollo de sistemas de visualización de texto basados en televisión, tales como teletexto y viewdata, ha dado lugar a circuitos integrados que pueden proporcionar muchas de las funciones lógicas requeridas en un VDU. Así, combinando los circuitos integrados de teletexto con otros dispositivos estándar (el microprocesador 2650, por ejemplo), se puede desarrollar un VDU económico basado en componentes ya existentes.

El decodificador de teletexto descrito en Revista Miniwat volumen 19, número 4, contiene cuatro circuitos LSI específicos. El decodificador puede ser considerado como un generador autocontenido de la visualización de página, basado en los circuitos integrados SAA5020 (cadena de sincronismos-TIC) y SAA 5050 (generador de caracteres-TROM). Los otros dos circuitos integrados, control y proceso de datos de teletexto (TAC) y procesador de entrada de vídeo (VIP), se añaden como entradas de teletexto.

Por lo tanto, el terminal VDU «inteligente» contiene una sección lógica de visualización basada en dos circuitos integrados de teletexto (TIC y TROM) y una sección de proceso de datos basada en un microprocesador 2650A. El terminal tiene un teclado alfanumérico completo, una unidad de acoplamiento estándar ASCII ordenador/teletipo, y controles de visualización remotos; ofrece una amplia gama de posibilidades de visualización. Su visualizador tiene el mismo formato que un visualizador de teletexto (es decir 24 filas de 40 caracteres por fila), y se tienen muchas de las posibilidades del teletexto, tales como gráficos, caracteres de doble altura, etc. Aunque este terminal puede generar una visualización en color, proporciona también un diseño económico para aplicaciones monocromáticas.

BREVE DESCRIPCION

La figura 1 muestra un diagrama de bloques simplificado del terminal VDU «inteligente». Las secciones de proceso de datos y de lógica de visualización normalmente funcionan independientemente, pero están sincronizadas con tiempos adecuados para permitir la interacción entre ellas.

El elemento principal de la sección de proceso de datos es un microprocesador 2650A que maneja datos y proporciona las funciones de edición y control, así como la decodificación del teclado. Muchos circuitos de control generan señales de temporización para el microprocesador, seleccionan entre el visualizador y la memoria de programa, proporcionan impulsos de lectura/escritura y generan señales de selección de registro. La unidad de acoplamiento programable de comunicaciones (PCI) 2651 recibe y transmite los datos del equipo exterior, mientras que los registros de entrada y salida dan información del estado del sistema y del control. El programa para este terminal está contenido en una EPROM 2708, mientras que la memoria de visualización (que contiene dos memorias RAM estáticas 2614 de 1K×4) almacena los códigos de visualización de telexto de 7 bits y los caracteres de control, así como los datos del cursor.

La lógica de visualización de este terminal contiene, aparte de la memoria de visualización, dos memorias RAM de 4K con preferencia a ocho de 1K; existe una diferencia importante: los datos son introducidos en la memoria de visualización del VDU durante el período de borrado de línea (mejor que durante el período de borrado de cuadro). Esto se realiza incluyendo una entrada de desinhibición de elevada impedancia (HIE) en la fase de producción del TIC (SAA 5020). La entrada HIE permite el acceso a las líneas de direccionamiento sin el amplificador intermedio de tres estados o multiplexor que se requiere entre el circuito integrado TIC y la memoria de visualización.

La cadena de sincronismos (TIC) controla la mayoría de las funciones de temporización en el sistema a partir de una entrada de reloj de 6 MHZ. Durante el período de visualización proporciona las señales de lectura de memoria para el direccionamiento de columna y de fila de 5 bits. El circuito TIC genera también el intervalo básico de tiempo de entrada de datos y asegura que se mantiene una relación de fase constante entre la lógica de visualización y las secciones de proceso de datos.

El direccionador de memoria acepta la memoria direccionada y las instrucciones de dirección, y convierte los 5 bits del direccionamiento de fila y los 6 bits del direccionamiento de memoria en 10 bits de dirección de memoria. El generador de caracteres (TROM) proporciona las señales de excitación de vídeo requeridas por el visualizador, en respuesta a las señales de temporización del circuito TIC y a los datos de carácter de la memoria. Se dispone de una señal de sincronismo generada internamente, procedente del circuito TIC.

La figura 2 muestra un esquema completo del circuito del VDU inteligente, y la figura 4 muestra el circuito oscilador para el circuito TIC y el PCI. La figura 3 es un esquema de conexión; las conexiones numeradas se pueden relacionar con la figura 2. La figura 5 es una fotografía del sistema con un receptor de TV como medio de visualización.

En Revista Miniwat, Vol. 19, N.º 12 se dará una descripción detallada de las secciones de proceso de datos y lógica de visualización.

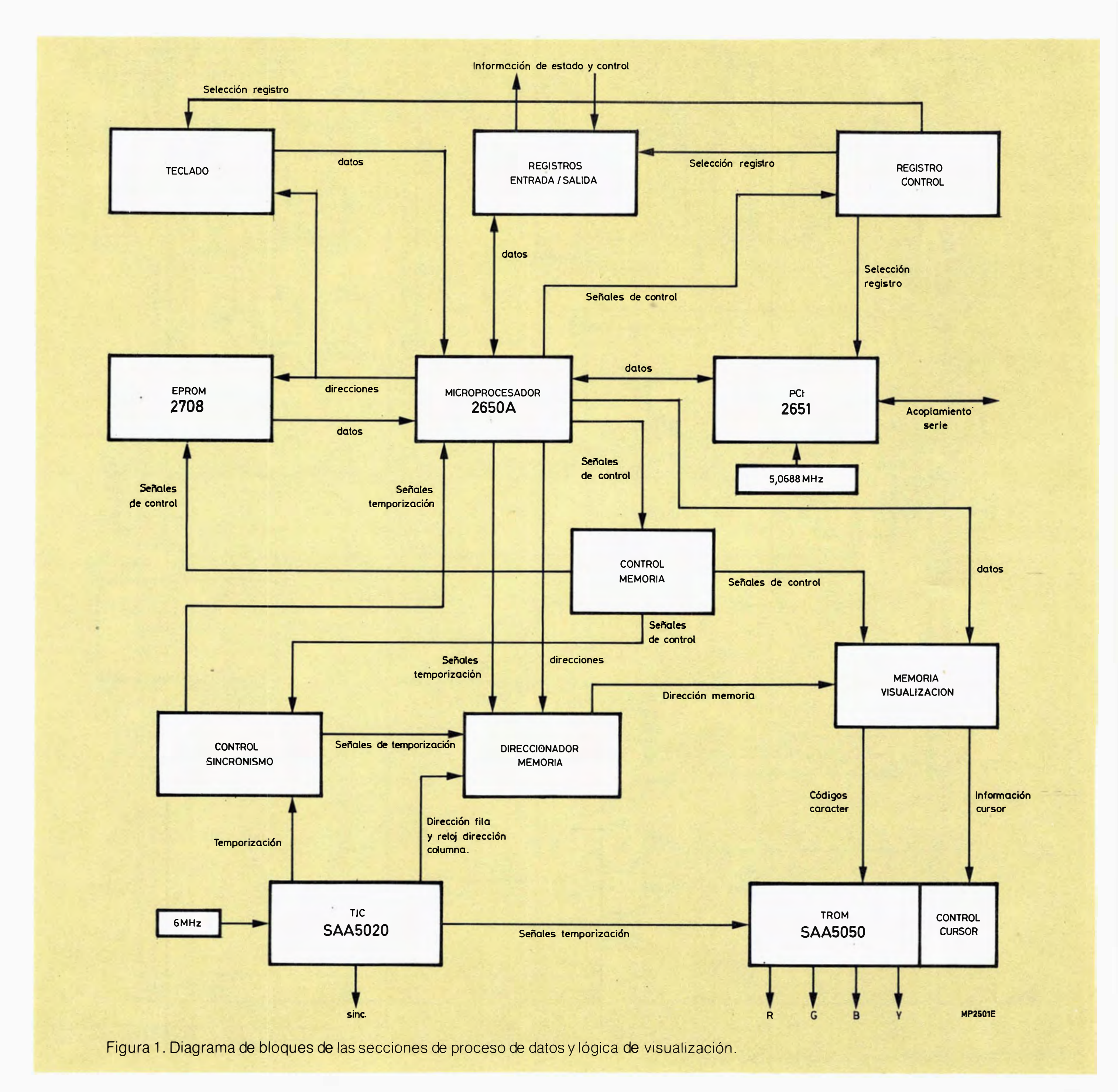


Figura 1. Diagrama de bloques de las secciones de proceso de datos y lógica de visualización.

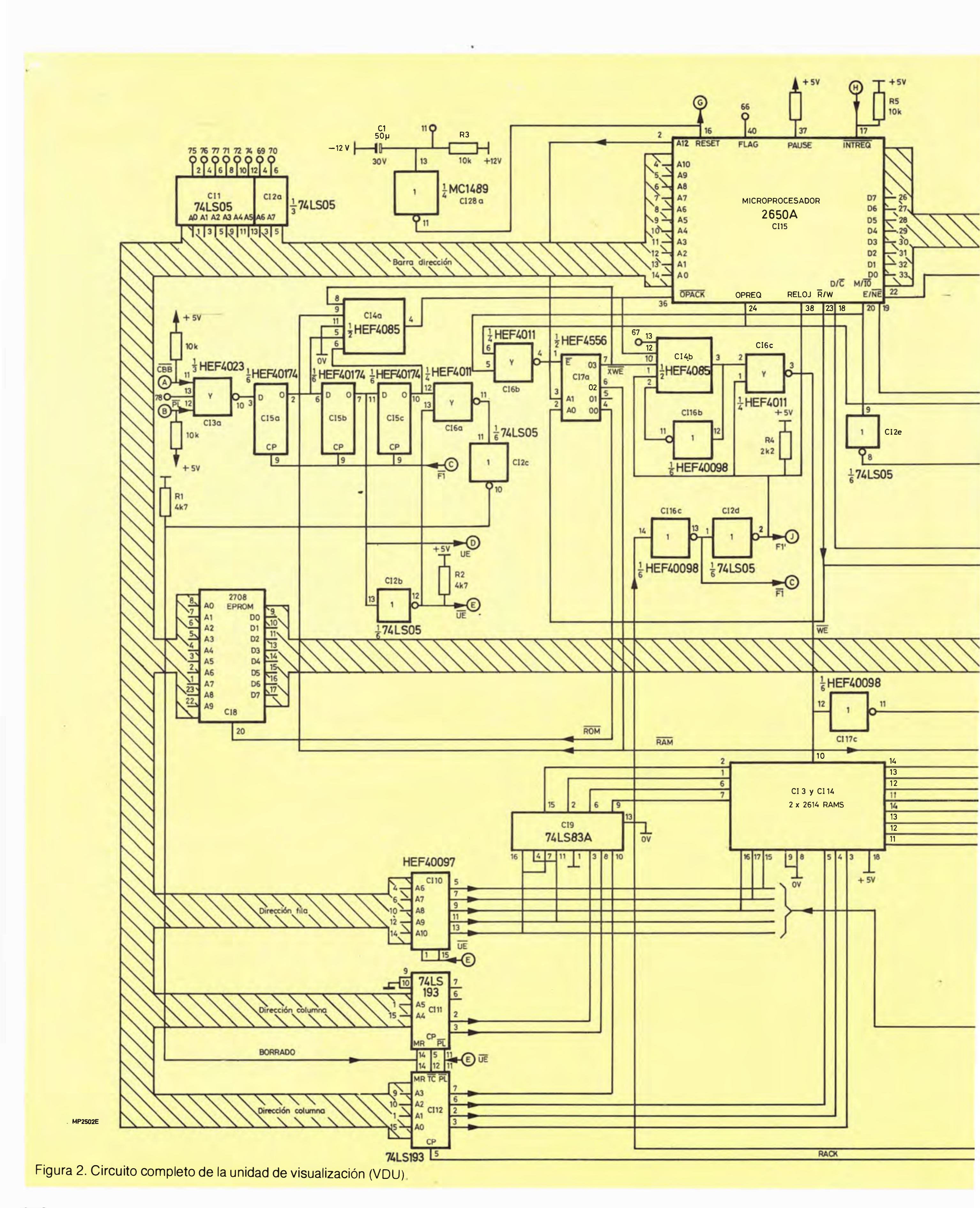
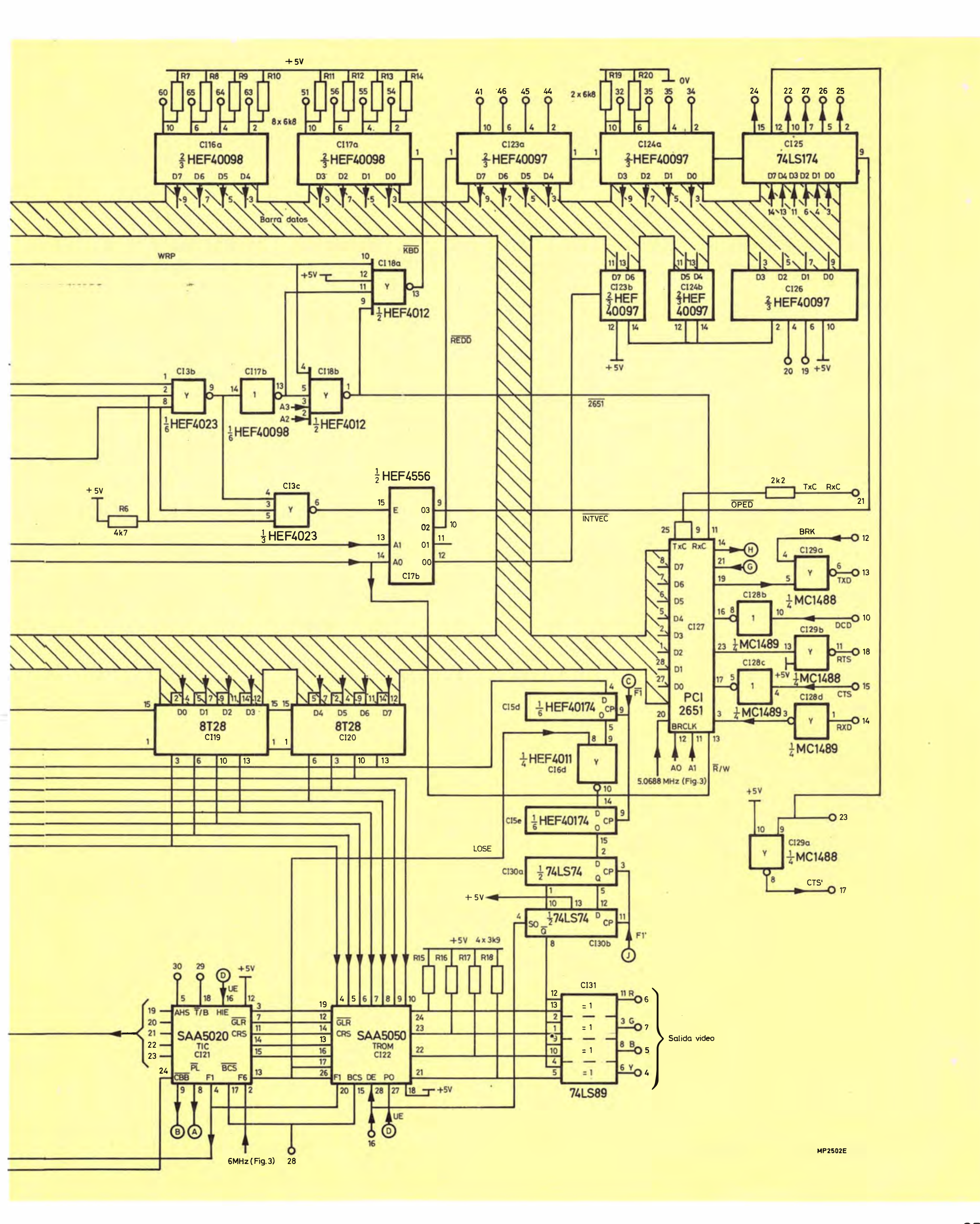


Figura 2. Circuito completo de la unidad de visualización (VDU).


+5V
R7 R8 R9 R10
R11 R12 R13 R14
8 x 6k8
CI16a
2/3 HEF40098
CI17a
2/3 HEF40098
CI23a
2/3 HEF40097
CI24a
2/3 HEF40097
2 x 6k8
R19 R20
0V
CI25
74LS174
Barra datos
WRP
KBD
CI18a
1/2 HEF4012
REDD
CI23b
2/3 HEF 40097
CI24b
2/3 HEF 40097
CI26
2/3 HEF40097
CI3b
1/6 HEF4023
CI17b
1/6 HEF40098
CI18b
1/2 HEF4012
2651
1/2 HEF4556
CI3c
1/3 HEF4023
R6
4k7
CI7b
INTVEC
OPED
2k2
TxC RxC
BRK
CI29a
TXD
1/4 MC1488
CI128b
DCD
CI29b
1/4 MC1489
RTS
CI128c
1/4 MC1488
CTS
CI28d
1/4 MC1489
RXD
1/4 MC1488
PCI 2651
CI27
BRCLK
5.0688 MHz (Fig.3)
R/W
8T28
CI19
8T28
CI20
CI5d
1/6 HEF40174
1/4 HEF4011
CI6d
CI5e
1/6 HEF40174
LOSE
CI30a
1/2 74LS74
CI30b
1/2 74LS74
F1'
CI29a
1/4 MC1488
CTS'
+5V 4 x 3k9
R15 R16 R17 R18
CI31
=1
74LS89
Salida video
SAA5020
TIC
CI21
SAA5050
TROM
CI22
UE
6MHz (Fig.3)
MP2502E

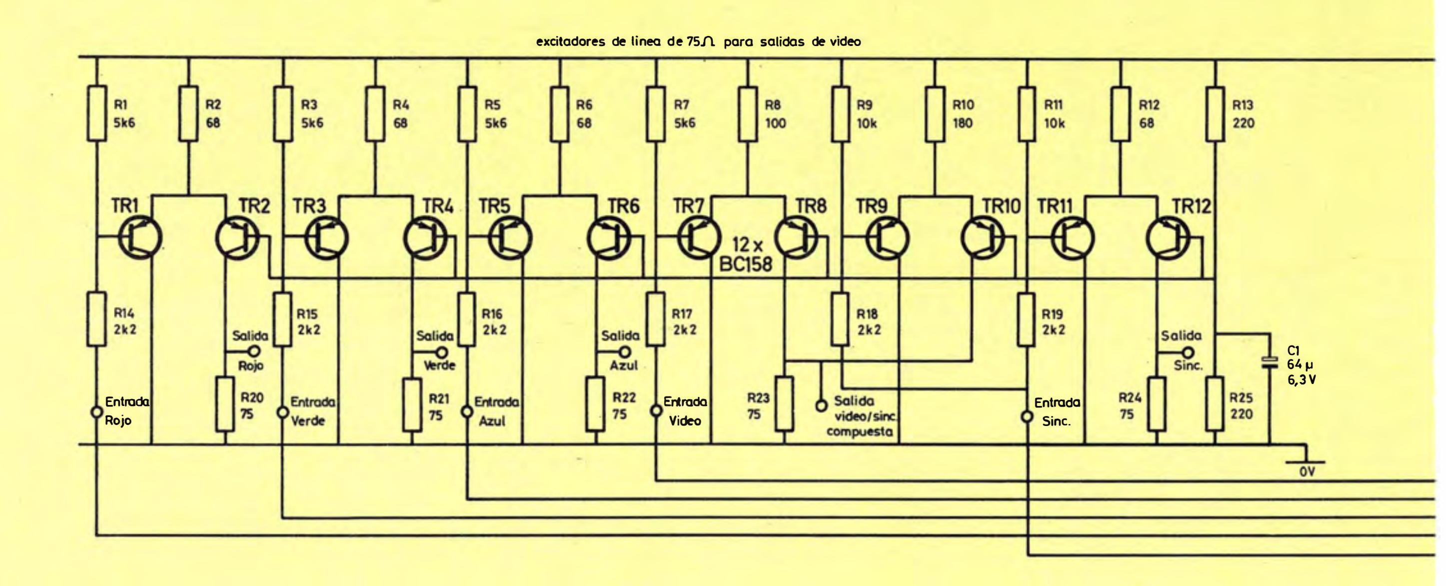
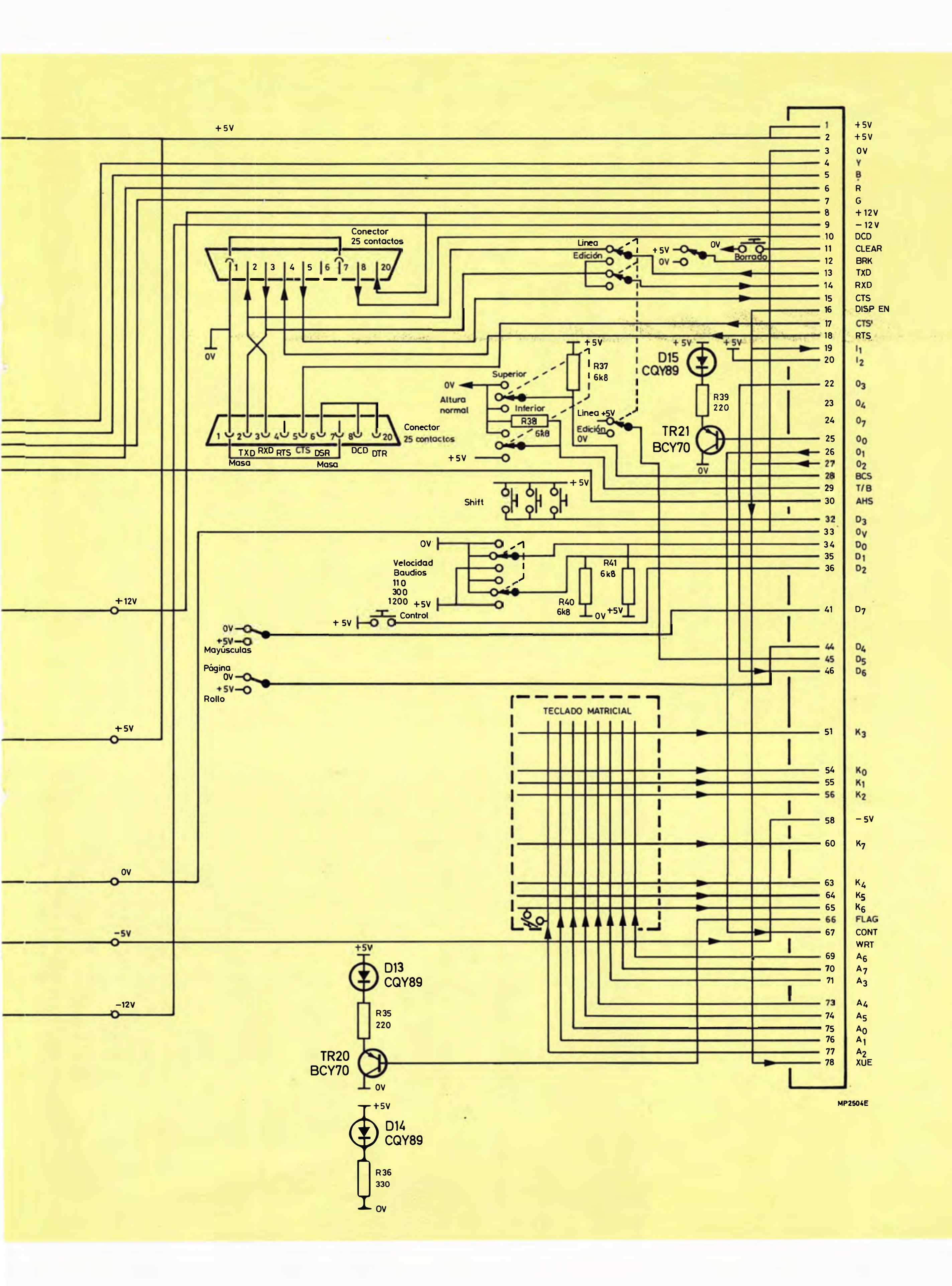


Figura 3. Esquema de conexionado del VDU.


+5V
Conector 25 contactos
TXD RXD RTS CTS DSR DCD DTR
Masa
Masa
Conector 25 contactos
0V
Linea Edición
+5V
0V
0V
Borrado
+5V
R37 6k8
+5V
D15 CQY89
+5V
R39 220
Superior
0V
Altura normal
Inferior
R38 6k8
Linea +5V
Edición
0V
TR21 BCY70
0V
+5V
Shift
+5V
0V
Velocidad Baudios
110
300
1200
+5V
R41 6k8
R40 6k8
0V
+5V
+5V
Control
+12V
0V
+5V
Mayúsculas
Página
0V
+5V
Rollo
+5V
TECLADO MATRICIAL
0V
-5V
-12V
+5V
D13 CQY89
R35 220
TR20 BCY70
0V
+5V
D14 CQY89
R36 330
0V
+5V
+5V
0V
Y
B
R
G
+12V
−12V
DCD
CLEAR
BRK
TXD
RXD
CTS
DISP EN
CTS'
RTS
I1
I2
O3
O4
O7
O0
O1
O2
BCS
T/B
AHS
D3
0V
D0
D1
D2
D7
D4
D5
D6
K3
K0
K1
K2
−5V
K7
K4
K5
K6
FLAG
CONT
WRT
A6
A7
A3
A4
A5
A0
A1
A2
XUE
MP2504E

R1
22k
R4
3k3
R7
560
TR1
BC149
Salida de 6MHz a TIC (patilla 2) o salida 5,0688 a PCI (patilla 20), ver figura 2.
TR2
TR3
2 x
BC158
R6
10k
6 MHz ó
5,0688 MHz
C2
150p
R2
18k
TR4
BSX20
R3
4k7
C1
22p
C3
220p
R5
2k2
C4
10n
MP2503E

Figura 4. Circuito de reloj para la cadena de sincronismos (TIC) (6 MHz) y para el acoplamiento programable de comunicaciones (PCI) (5,0688 MHz) de la figura 2.



Figura 5. Terminal VDU «inteligente» y receptor de TV.

SISTEMAS LOGICOS PROGRAMABLES POR EL USUARIO FPLA

(Field Programmable Logic Array)

El FPLA constituye un sistema lógico programable en el que es posible programar el valor de las variables de salida en función de distintas combinaciones de las variables de entrada.

El FPLA puede ser considerado, según la aplicación, como una memoria de dirección condicional o bien como un circuito combinacional construido con puertas O y puertas Y.

Permite, en gran número de ocasiones, reemplazar un número importante de circuitos por un solo circuito integrado. Así, un PLA en su versión programable por el usuario (FPLA) puede constituir, una vez programado, un circuito integrado LSI según las especificaciones del usuario.

DESCRIPCION

La similitud de un PLA con una PROM, permite una explicación intuitiva de su funcionamiento o filosofía, partiendo del concepto de una PROM. Se denomina a las PROMS como de 1K, 4K, etc. Esto implica organizaciones estándar como 256×4 ó 512×8, etc. La primera cifra de cada par indica el número de palabras y la segunda representa el número de bits en cada palabra. El producto de ambas cifras es el número de bits de memoria contenidos en la PROM.

Este concepto de las memorias PROM, pasado a los PLA permitiría denominar a éstos por ejemplo como 48×8. En este caso, por tanto, la capacidad del PLA sería de 384 bits.

Así, el PLA es una PROM relativamente pequeña pero, debido a una diferencia fundamental en la estructura de entrada, presenta en algunos casos ventajas interesantes.

En la figura 1 se muestra la organización interna de una PROM. En ella todas las direcciones se seleccionan mediante un decodificador integrado en el componente.

El tamaño de este decodificador, así como la matriz de memoria, está ligado a la capacidad de la PROM y fijado por la necesidad de direccionarla en su totalidad.

La capacidad y necesidad de direccionamiento, a su vez, determinan el número de entradas del decodificador, estando éste relacionado con la capacidad en la forma $c=2^n$ siendo n el número de entradas. En general, puede decirse que el tamaño del decodificador se dobla por cada entrada de dirección adicional.

Este decodificador no puede modificarse en función de la capacidad exacta requerida y de su distribución, ajustándose tan sólo a las direcciones utilizadas en la PROM, obligando a la utilización de ésta en aplicaciones en que no se emplea totalmente su capacidad. Así, por una necesidad de estructura del código a aplicar a las entradas del decodificador, en el sistema lógico final pueden quedar grandes áreas de la PROM sin utilizar.

La concepción de un PLA permite una resolución de sistemas combinacionales con una mayor eficiencia al no precisar más que las posiciones de memoria que realmente se utilizan.

Como puede verse en la organización interna de un FPLA, figura 2, éste sustituye el decodificador fijo por una matriz de direcciones programables que ofrece, en lugar de una capacidad de direccionamiento completa, la posibilidad de elegir en cada línea seleccionada, un determinado subconjunto entre un extenso número de combinaciones de entrada, haciendo de las combinaciones seleccionadas la capacidad de direccionamiento.

Cada columna de la matriz de direcciones funciona esencialmente como un comparador lógico que admite la presencia simultánea de n entradas, ya sean activas en nivel lógico 1 ó 0 o indiferentes según se hayan programado previamente, especificando una dirección en la memoria.

En consecuencia, no es preciso almacenar las combinaciones que no sean necesarias para realizar una función lógica. La salida lógica necesaria para las combinaciones no activas aparece por defecto.

Esto permite programar el FPLA eliminando las combinaciones que no son necesarias, lo que da una mayor simplicidad lógica al sistema.

Cuando se presenta en las entradas alguna combinación lógica igual a alguna de las que han sido programadas, la columna correspondiente de la matriz de direcciones (llamada término producto), pasará al estado lógico «1», poniendo todas las salidas (B) a su estado lógico «1» ó «0» según se haya programado en la memoria.

Si la combinación lógica presente en las entradas del PLA no ha sido previamente programada, todas las columnas de la matriz de direcciones pasarán al estado lógico cero, por defecto, poniendo

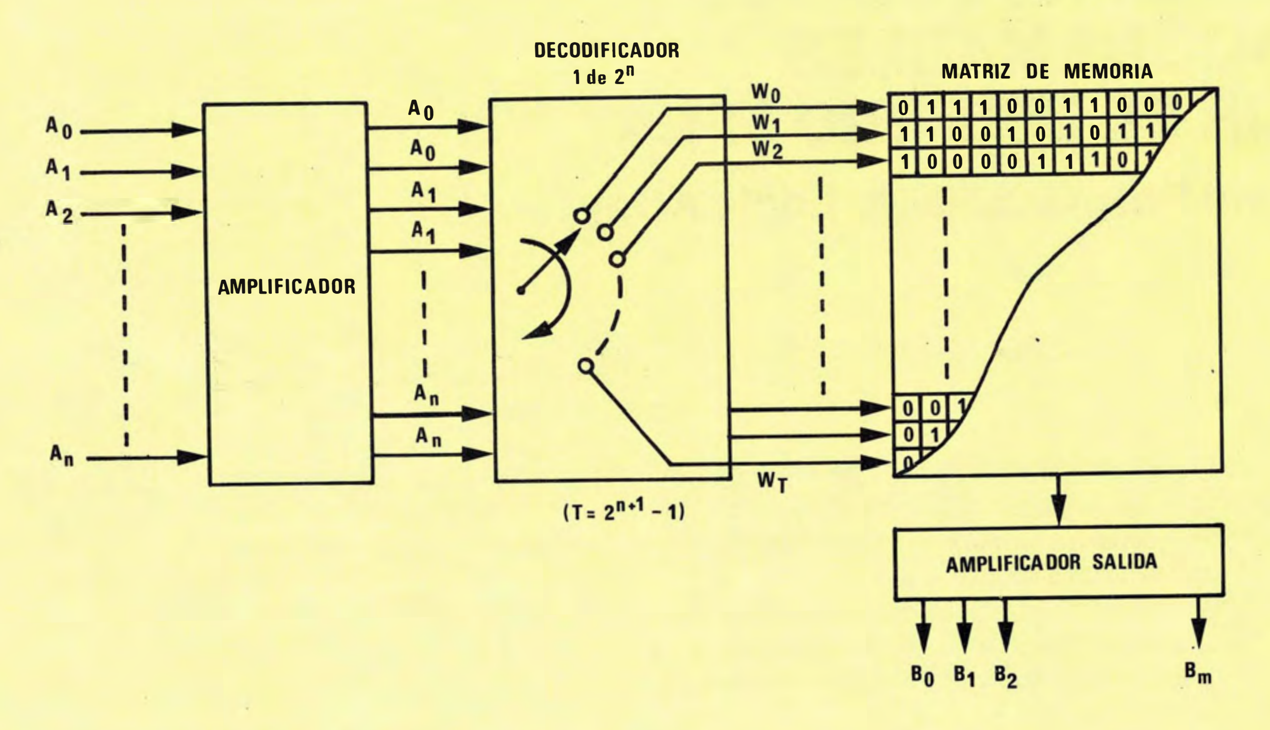


Figura 1. Organización interna de una PROM.

MP2301C

Figura 2. Organización interna de un FPLA.

MP2302C

todas las salidas (B) al estado lógico complementario al que ha sido programado como activo.

Debido a que la matriz de direcciones del FPLA es programable, su tamaño no depende del número de entradas que compara.

Supuesto el caso de un PLA con 16 entradas, si fuese una PROM, su matriz de dirección debería ser lo suficientemente extensa como para poder decodificar las direcciones de 65.536 palabras.

Existen sistemas PLA con capacidad de 48 palabras o salidas del decodificador. En este caso, se tiene la ventaja de seleccionar un mínimo de 48 palabras de entrada, entre un total de 65.536.

En un PLA, cada palabra interna (W) en la matriz de memoria, puede direccionarse mediante diversas combinaciones lógicas de entrada «términos mínimos» dadas por:

$$(Mn)\ T = 2^{m-r}$$

donde

m = número total de variables de entrada.
r = número de entradas activas (verdaderas o complementarias) contenidas en la columna o término producto, programada.

Por ejemplo, si $P_t = XXXI_0$, m=4 y r=1 para lo cual, $(Mn)\ T=2^3$; T=8.

Se entiende por combinaciones lógicas de entrada, una serie de productos fundamentales dados en la forma canónica. Cuando todos ellos admiten una minimización común, es decir un producto que cubre a todos los demás, al programar tan solo este último, se tiene una identidad de direccionamiento para todos los productos fundamentales mencionados.

Como circuito combinacional, la aplicación de un PLA, es útil en los siguientes casos:

— Cuando las variables de salida toman el valor uno solamente para un cierto número de combinaciones de entrada.
— Si el estado de la salida es indiferente para alguna de las combinaciones de las variables de entrada.
— Si puede simplificarse la expresión canónica de la suma de productos.

En la figura 3 se muestra el circuito lógico equivalente de un FPLA. En cada una de las ocho salidas puede programarse la salida activa en los niveles lógicos 0 ó 1, pero no ambas a la vez. La polaridad de salida deseada se programa mediante el fusible (S).

El diagrama de la figura 4 muestra la estructura lógica de los FPLA, en donde puede observarse que están formados por una matriz «Y» que contiene 48 términos producto (función Y) y una matriz «O» que contienen 8 términos suma, (función O) uno por

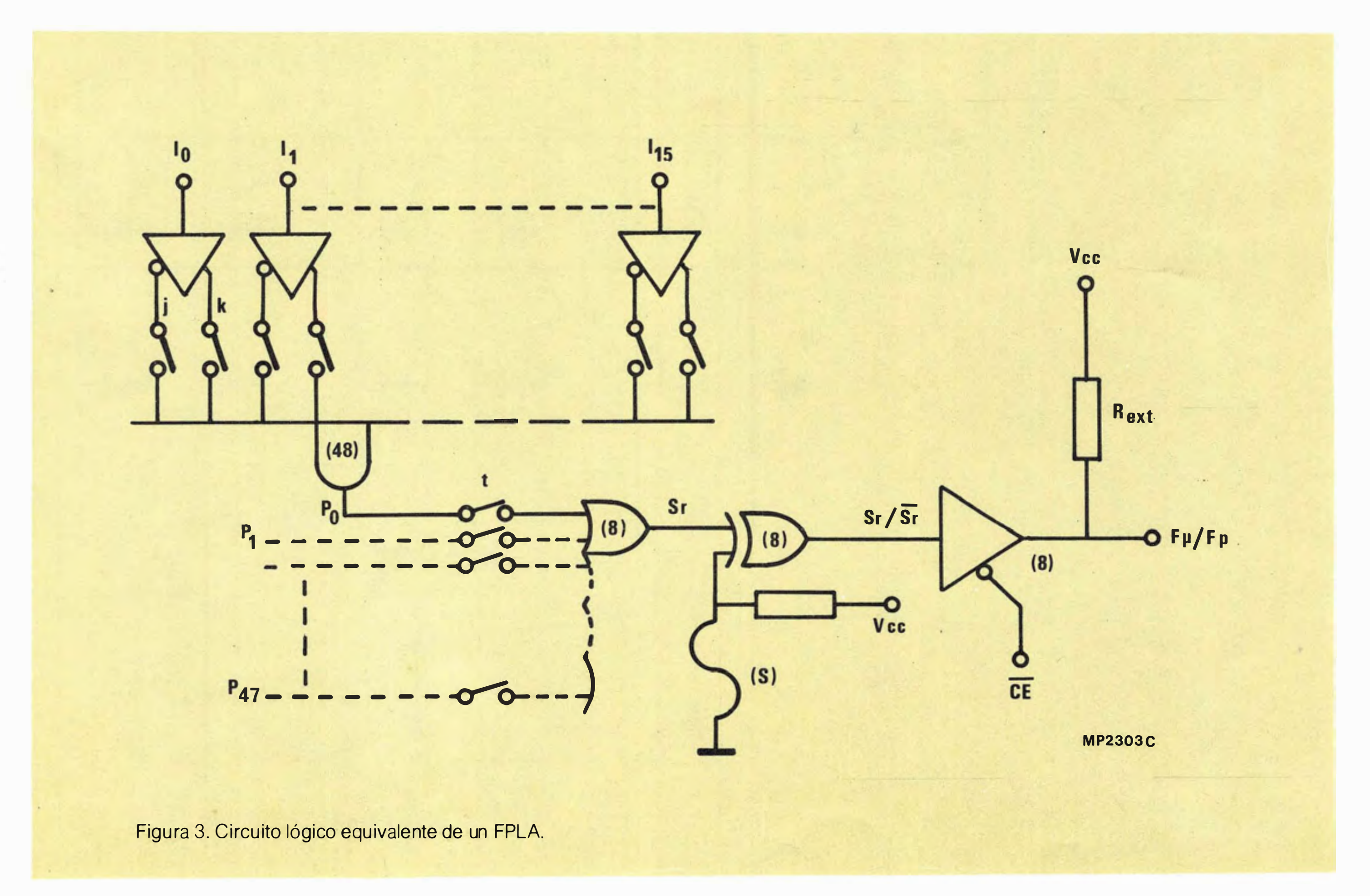
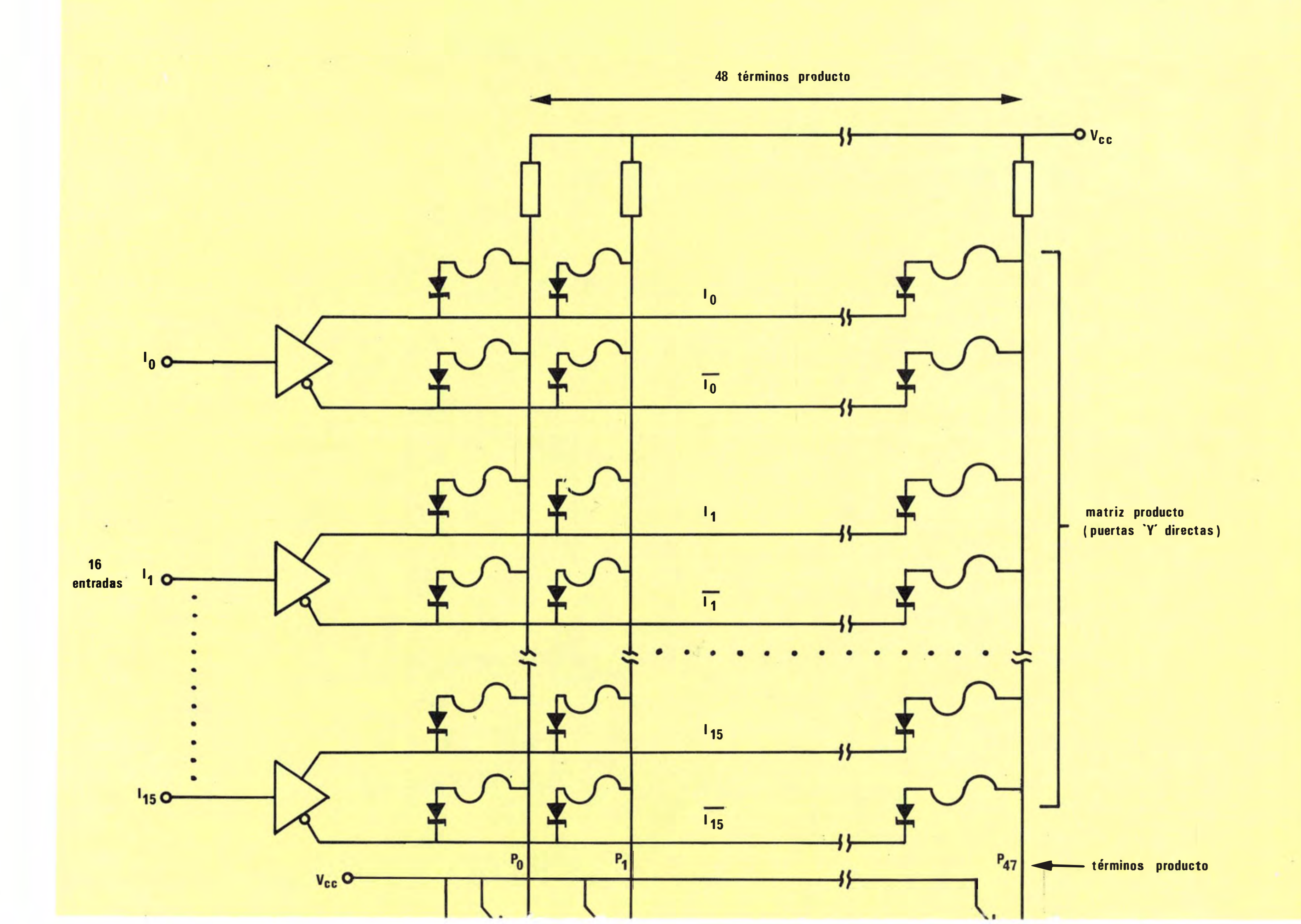


Figura 3. Circuito lógico equivalente de un FPLA.



48 términos producto
Vcc
I0
I0
I1
I1
I15
I15
16
entradas
I0
I1
I15
matriz producto
(puertas `Y´ directas)
P0
P1
P47
términos producto
Vcc

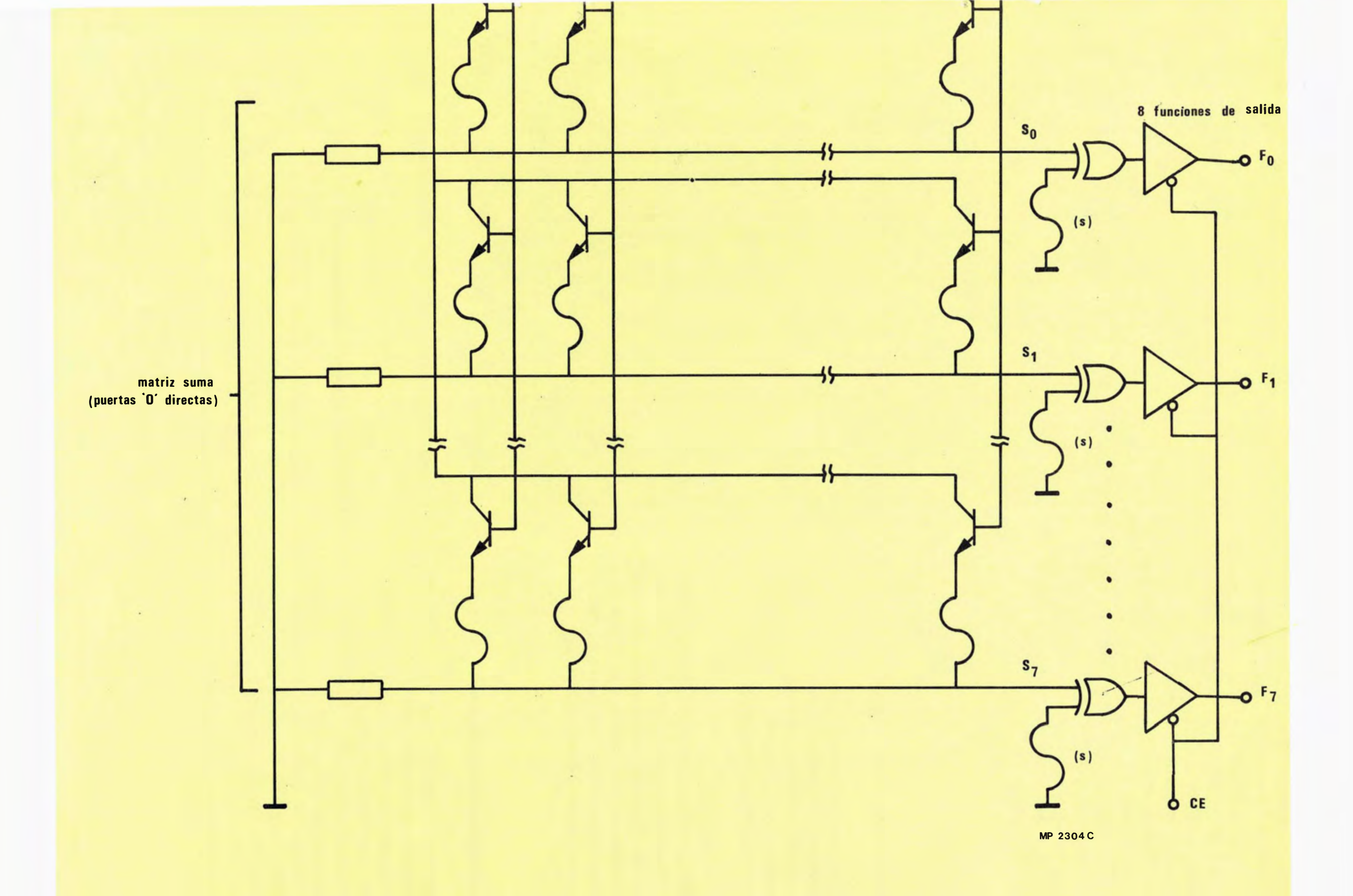


Figura 4. Estructura lógica de los sistemas FPLA.

cada función de salida. Cada función O controla una función de salida que puede ser activa en 1 (se expresa como F_p), o bien activa en 0 (se expresa como F_P*). Cada término P de la matriz Y está acoplado a cada variable de entrada E→P mediante dos diodos Schottky para programar el estado de entrada deseado, y a cada término suma de la matriz 0 mediante un transistor seguidor de emisor con el emisor conectado al fusible para elevar el resultado de la suma a un nivel alto cuando el término P está activado. Cada término suma está acoplado a su respectiva salida mediante una puerta O—EX que asume la transmisión de polaridad de salida. Una de sus entradas está conectada a masa a través de una unión fusible. Antes de ser programado, con todos los fusibles intactos, el FPLA presenta la siguiente estructura:

— Cada término producto comprende los valores directo y complementario de todas las entradas Im. Debido a ello, todos los términos producto se encuentran en un estado nulo, que es invariablemente cero.
— Cada término suma comprende todos los términos producto (48).
— La polaridad activa de todas las salidas es la correspondiente a la función directa, es decir, el nivel lógico uno (función F_p). Ya que todos los términos producto están desactivados, todas las salidas estarán en estado lógico cero cuando el circuito integrado esté inhibido (CE=Cero) independientemente de las condiciones de entrada.

La matriz de un PLA se divide en dos partes. En la primera se seleccionan las variables de entrada en su forma directa o complementaria, que deben estar presentes en cada línea de producto. Estas líneas son las entradas de la segunda parte de la matriz, en la que mediante otra serie de conexiones, se transfiere el estado de las líneas de producto convenientes, a una o más salidas.

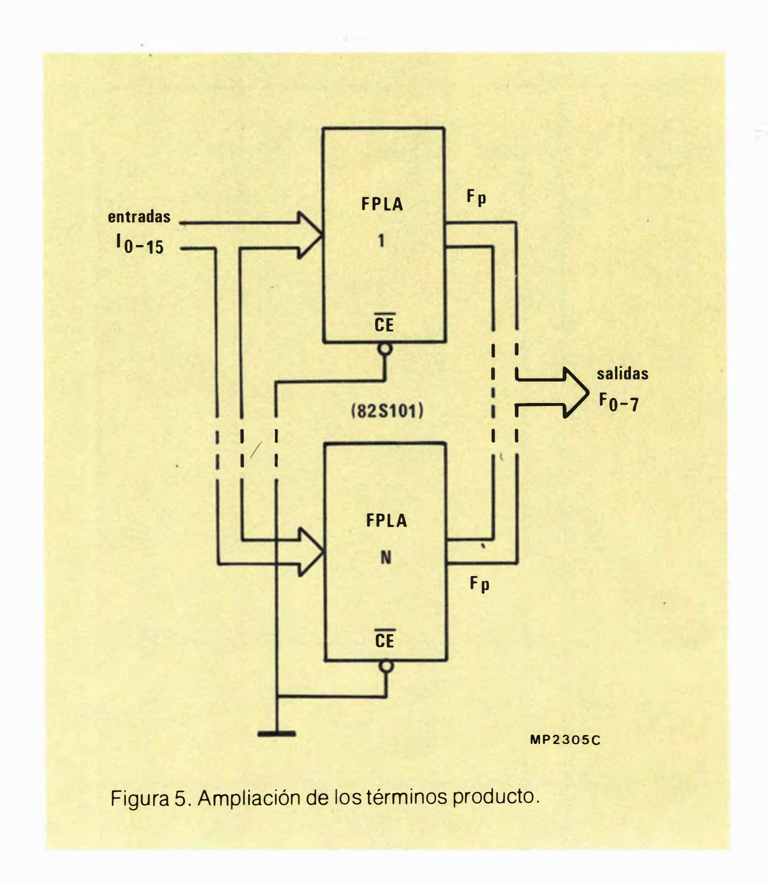


Figura 5. Ampliación de los términos producto.

AMPLIACION DEL NUMERO DE VARIABLES

En algunas aplicaciones, un sólo FPLA no es suficiente para almacenar todo un programa, por exceder este último las limitaciones del componente como son número de entradas, salidas o productos disponibles. Esto puede ser consecuencia de una ejecución poco simplificada de la tabla de programa, debido a la complejidad de datos manejados, lo que dificulta su realización. Para aumentar la flexibilidad de diseño, los FPLA poseen una entrada $\overline{CE}$ de inhibición, que puede ser utilizada para expansión de entradas y productos, inicio condicional e inhibición de salidas. Un nivel 0 aplicado a $\overline{CE}$ pone las salidas a un estado 0 «colector abierto» sin tener en cuenta la polaridad con que han sido programdas y sin afectar a las entradas del FPLA o de algún circuito periférico a éste. Esta característica permite la utilización del FPLA en organizaciones en que la transmisión de información se realiza por medio de barras y también en aplicaciones que involucren sistemas de inicialización a partir de un estado conocido.

Como se ha comentado anteriormente, puede ser necesario un FPLA con un número de entradas, salidas, o productos superiores a su capacidad. Se estudiarán a continuación cada uno de estos casos.

Ampliación de los términos producto

La ampliación de productos que involucran hasta 16 variables de entrada puede realizarse como muestra la figura 5, conectando las variables de entrada a los N módulos utilizados y uniendo las salidas en paralelo. Los distintos módulos deberán operar con la entrada $\overline{CE}$ a masa. El estado lógico de las salidas de la red está determinado por los productos activos en uno o varios PLA simultáneamente. El número total de productos disponibles es 48 N, donde N es el número de módulos conectados en paralelo.

Si se utilizan PLA con tecnología de tres estados, la ampliación de productos no puede ser llevada a cabo de la misma manera. Debido a que los PLA de tres estados tienen una salida de colector activa, las salidas pueden conectarse en paralelo con tal que, sólo

I_3	I_2	I_1	I_0	F
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

Figura 6. Tabla de la función $f = \Sigma\,(1,2,3,5,7,9,11)$.

en uno de ellos aparezca el estado lógico producido por el circuio. Para ello es necesario disponer de una entrada de inhibición que lleva al tercer estado las salidas de los restantes módulos utilizados.

En la mayoría de aplicaciones que precisan un número mayor a 48 productos, puede dividirse la tabla de programación en dos o más subtablas, de manera que en cada una de ellas figuren menos de 48 productos.

La facilidad de realización de este procedimiento depende en gran parte del contenido de la tabla original.

Unos sencillos ejemplos aclararán lo expuesto anteriormente. Se desea realizar la función $f = \Sigma\,(1, 2, 3, 4, 7, 9, 11)$, cuya tabla se muestra en la figura 6, mediante dos PLA programables, M_1 y M_2, de tres variables de entrada y cuatro productos canónicos. Las expresiones algebraicas de los productos canónicos son:

$$P_1 = I_0, \overline{I_1}\,\overline{I_2}\,\overline{I_3}$$
$$P_2 = \overline{I_0}, I_1\,\overline{I_2}\,\overline{I_3}$$
$$P_3 = I_0, I_1\,\overline{I_2}\,\overline{I_3}$$
$$P_5 = I_0, \overline{I_1}\,I_2\,\overline{I_3}$$
$$P_7 = I_0, I_1\,I_2\,\overline{I_3}$$
$$P_9 = I_0, \overline{I_1}\,\overline{I_2}\,I_3$$
$$P_{11} = I_0, I_1\,\overline{I_2}\,I_3$$

Deberá elegirse una variable que aparezca en su forma directa un número de veces aproximadamente igual al que aparezca en forma inversa.

Esta variable se conectará a las entradas $\overline{CE}$ de los PLA utilizados. Las entradas $\overline{CE}$ se conectarán entre sí a través de un inversor.

En las expresiones de los productos de F puede verse que la variable I_1 está en forma directa en cuatro de ellos y en forma inversa en tres; lo que permite utilizar los PLA M_1 y M_2 de que se dispone.

Así, la variable I_1 puede utilizarse para gobernar las entradas CE. No ocurre lo mismo con el resto de variables, ya que la variable I_0 aparece en forma directa en seis productos, y las variables I_2 e I_3 en forma inversa en cinco productos. Para utilizar las variables I_0, I_2 e I_3, se precisarían circuitos PLA de una mayor capacidad. El diagrama de bloques del circuito, sería el que se muestra en la figura 7.

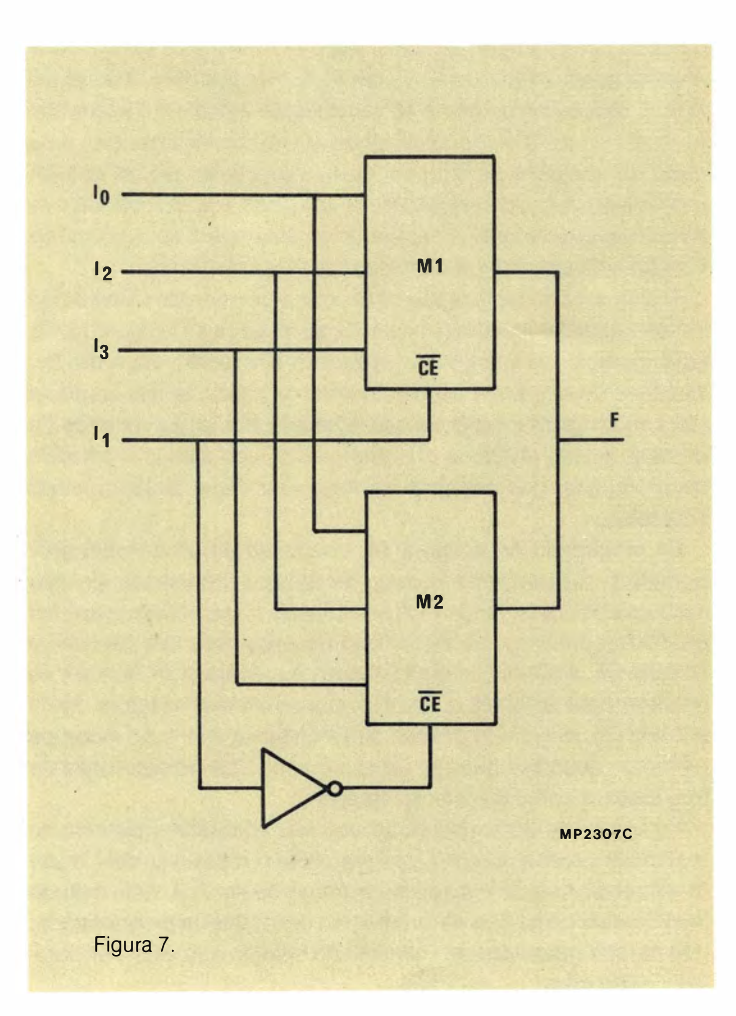


Figura 7.

En el PLA M_1 se realizan los productos P_1, P_5 y P_9 y en el M_2 los productos P_2, P_3, P_7 y P_{11}. En el siguiente ejemplo se muestra la subdivisión de una tabla de 13 productos (figura 8).

Se supone que las matrices utilizadas son de 10 productos, 3 entradas y 7 salidas. Debido a que todos los productos contienen variables indiferentes que deberán expresarse en dos productos canónicos, uno en su forma directa y otro en su inversa, es aconsejable dividir la tabla original en función de la variable de entrada que contenga el menor número de estados indiferentes.

Cada subtabla (figuras 9 y 10) contiene menos de 10 productos y se almacenarán en distintos PLA que operarán en paralelo como muestra el diagrama de bloques de la figura 11. La entrada $\overline{CE}$ será controlada por la variable adecuada, I_2 en este caso. Cuando I_2 adopte su forma directa, las salidas del PLA M_1 pasan al tercer estado. Las salidas del PLA M_2, pasarán al tercer estado cuando la variable de entrada I_2 adopte su forma inversa. Obsérvese que el número total de productos se incrementa debido a la expansión de las funciones de entrada indiferentes.

Pn	ENTRADAS				SALIDAS							
	I_3	I_2	I_1	I_0	F_7	F_6	F_5	F_4	F_3	F_2	F_1	F_0
0	X	X	X	1	0	0	0	0	0	0	0	1
1	X	X	1	0	0	0	0	0	0	1	0	0
2	X	1	0	1	0	0	0	0	1	0	0	0
3	X	0	1	1	0	0	0	0	1	0	0	0
4	X	1	0	0	0	0	0	1	0	0	0	0
5	0	1	X	1	0	0	0	1	0	0	0	0
6	1	0	X	1	0	0	0	1	0	0	0	0
7	1	0	1	X	0	0	1	0	0	0	0	0
8	1	1	X	1	0	0	1	0	0	0	0	0
9	0	1	1	X	0	0	1	0	0	0	0	0
10	1	0	X	X	0	1	0	0	0	0	0	0
11	1	X	1	X	0	1	0	0	0	0	0	0
12	1	1	X	X	1	0	0	0	0	0	0	0

Figura 8. Tabla de 13 productos.

Ampliación de las variables de entrada

La expansión de las variables de entrada es la que presenta más dificultades. Esto puede realizarse de varias maneras. La figura 12 muestra como puede ser aumentado el número de variables de entrada hasta 24 utilizando varios PLA. Puede observarse que el PLA C reduce las primeras 16 variables de entrada a 8 líneas que compararán las 8 primeras variables $(I_0 \rightarrow I_7)$ conectadas al PLA. El resto de variables de entrada (de I_{16} a I_{23}) están unidas directamente a las líneas de entrada $(I_8 \rightarrow I_{1515})$ del PLA E. En este caso se tendrá en cuenta que el tiempo de acceso entre las 16 primeras variables de entrada y el resto de ellas no es el mismo.

El diagrama de bloques de un circuito, que permite la ampliación de las variables de entrada hasta 32, se muestra en la figura 13. En este ejemplo, el tiempo de acceso es el mismo para todas las variables de entrada. Cuando, como en el caso que nos ocupa, la tabla de programación generada involucra más de 16 variables de entrada, puede utilizarse el sistema empleado para la ampliación de productos, que consiste en fraccionar dicha tabla en varias subtablas.

En el ejemplo de la figura 14, el empleo de un decodificador permite la expansión del número de variables de entrada. En este caso son precisos varios PLA aun cuando no se utilicen todos los productos posibles. La posibilidad de expansión que permite la entrada $\overline{CE}$, limita el número total de PLA precisos a 2n, donde n es el número de variables que son comunes a todas las tablas. Sin la entrada $\overline{CE}$, el número preciso de FPLA sería: 2n+1. En todos los ejemplos descritos pueden utilizarse tanto PLA de tecnología de tres estados como de colector abierto.

Para más de 20 variables de entrada, este último sistema de resolución es muy costoso, y es preferible la resolución del circuito mediante el multiplexado de las entradas de los PLA. Este método involucra un cierto tipo de subdivisión de la tabla de programación, que agrupa productos de variables de entrada que sean «exclusivas» entre ellas.

Térm. P		Entradas				Salidas							
Pn	Pn	I_3	I_2	I_1	I_0	F_7	F_6	F_5	F_4	F_3	F_2	F_1	F_0
0a	0	X	0	X	1	0	0	0	0	0	0	0	1
1a	1	X	0	1	0	0	0	0	0	0	1	0	0
3	2	X	0	1	1	0	0	0	0	1	0	0	0
6	3	1	0	X	1	0	0	0	1	0	0	0	0
7	4	1	0	1	X	0	0	1	0	0	0	0	0
10	5	1	0	X	X	0	1	0	0	0	0	0	0
11a	6	1	0	1	X	0	1	0	0	0	0	0	0

Figura 9. Subdivisión A de la figura 8.

Térm. P		Entradas				Salidas							
Pn	Pn	I_3	I_2	I_1	I_0	F_7	F_6	F_5	F_4	F_3	F_2	F_1	F_0
Ob	0	X	1	X	1	0	0	0	0	0	0	0	1
1b	1	X	1	1	0	0	0	0	0	0	1	0	0
2	2	X	1	0	1	0	0	0	0	1	0	0	0
4	3	X	1	0	0	0	0	0	1	0	0	0	0
5	4	0	1	X	1	0	0	0	1	0	0	0	0
8	5	1	1	X	1	0	0	1	0	0	0	0	0
9	6	0	1	1	X	0	0	1	0	0	0	0	0
11b	7	1	1	1	X	0	1	0	0	0	0	0	0
12	8	1	X	X	1	1	0	0	0	0	0	0	0

Figura 10. Subdivisión B de la figura 8.

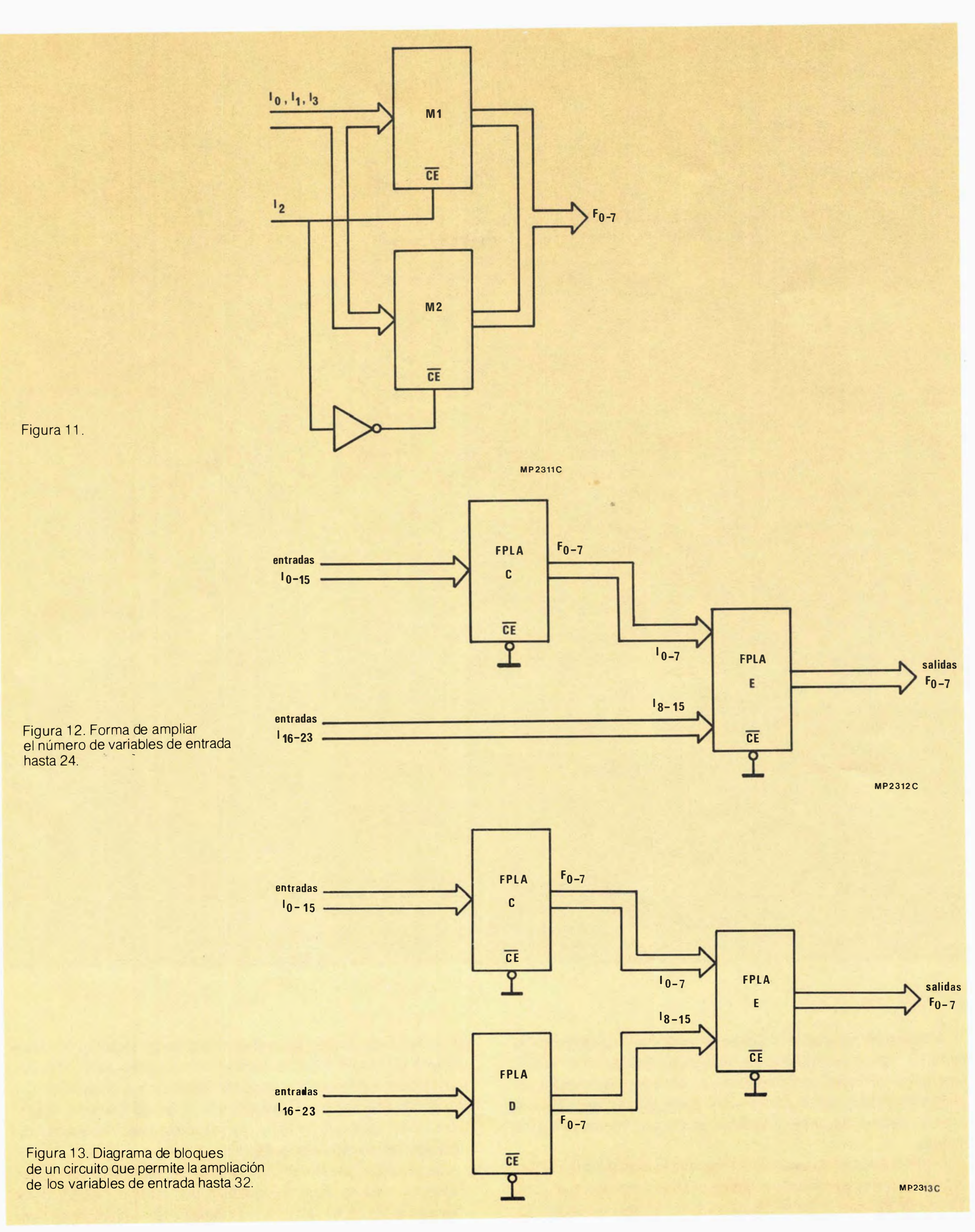


Figura 11.

Figura 12. Forma de ampliar el número de variables de entrada hasta 24.

Figura 13. Diagrama de bloques de un circuito que permite la ampliación de los variables de entrada hasta 32.

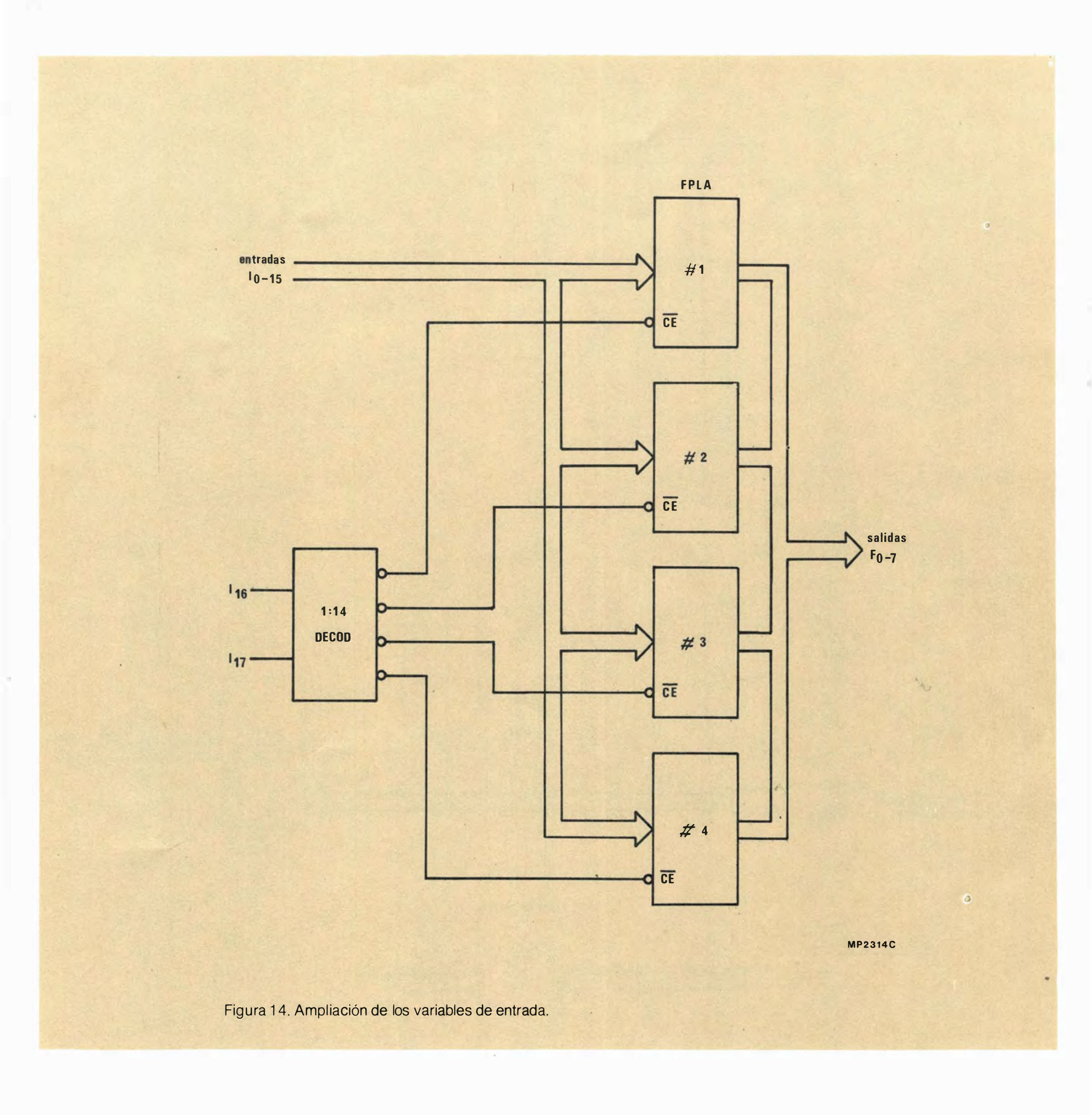


Figura 14. Ampliación de los variables de entrada.

La forma de realización se expone mediante el ejemplo de la figura 15, donde se muestra una tabla de programación en la que intervienen 17 variables de entrada y 6 productos. Se dispone de un PLA con capacidad de 16 entradas. En la tabla de programación original, deberá dividirse la variable In en sus formas directa e inversa.

Los productos se agrupan como muestra la tabla de la figura 16. Será pues necesario añadir un nuevo producto debido a la expansión de la variable In en el producto 4. En la tabla resultante se diferencian dos partes: la primera se agrupa los términos en que la variable I_{n-1} toma cualquier valor; y una segunda parte en la que los valores indiferentes agrupados pertencen a la variable I_{n+1}. Puede observarse que, cuando In vale 0, las salidas son independientes del valor que tome I_{n-1}; y cuando In vale 1 las salidas son independientes del valor que tome I_{n+1}.

Las variables de entrada I_{n-1} e I_{n+1} pueden mutiplexarse mediante un circuito exterior, realizado con puertas lógicas, como muestra la figura 17, en el que la variable de entrada In es la de

dirección del multiplexor. En casos más complejos esta operación puede realizarse con otro FPLA.

Ampliación del número de salidas

En aplicaciones que precisen un número de salidas superior a 8, la expansión de éstas puede realizarse de diversas maneras.

La forma más simple de aumentar el número de salidas es la que se muestra en la figura 18. Se supone que es preciso un número de salidas comprendido entre 9 y 16, y se dispone de «matrices» cuya capacidad es de sólo 8. Las variables de entrada deben conectarse en paralelo a los módulos necesarios. Los productos que controlan las salidas de F_0 a F_7 se programarán en el PLA A y los que controlan las salidas de F_8 a F_{15} en el PLA B. Otro método para aumentar el número de salidas en algunas aplicaciones es utilizar un decodificador como se muestra en la figura 19. Las salidas de F_4 a F_7 de un módulo se emplean para codificar las líneas de salida de F_4 a F_{19}. Debe tenerse en cuenta que estas salidas sólo pueden activarse una a una. Los niveles activos de la salida toman el valor 0 ó 1 en función del decodificador empleado.

Cuando se activa más de una salida al mismo tiempo (en el caso anterior de la F_4 a la F_{19}) no puede utilizarse el método descrito. Como muestra la figura 20, una forma de resolución es empleando una PROM. En este caso el número de salidas puede incrementarse hasta un total de 11. La PROM de 32×8 que se emplea en el ejemplo se direcciona por las salidas de F_3 a F_7 del FPLA y genera las salidas de F_3 a F_{10}. Debe tenerse en cuenta que, en cualquiera de los métodos descritos anteriormente, el tiempo de acceso entre las salidas directas y las decodificadas no es el mismo.

Pn	I_{16} .... I_{n+1}	I_n	I_{n-1} .... I_0	F_x	F_y
0	0 X	1	0 1	1	0
1	1 1	0	X 1	1	1
2	X 0	0	X 0	0	1
3	0 X	1	X X	1	0
4	1 X	X	X 0	0	1
5	1 X	1	1 0	1	0

Figura 15. Tabla de programación.

P_n	I_{16} .... I_{n+1}	I_n	I_{n-1} .... I_0	F_x	F_y
1	1 1	0→	X 1	1	1
2	X 0	0→	X 0	0	1
4a	1 X	0→	X 0	0	1
0	0 X	←1	0 1	1	0
3	0 X	←1	X X	1	0
4b	1 X	←1	X 0	0	1
5	1 X	←1	1 0	1	0

Figura 16.

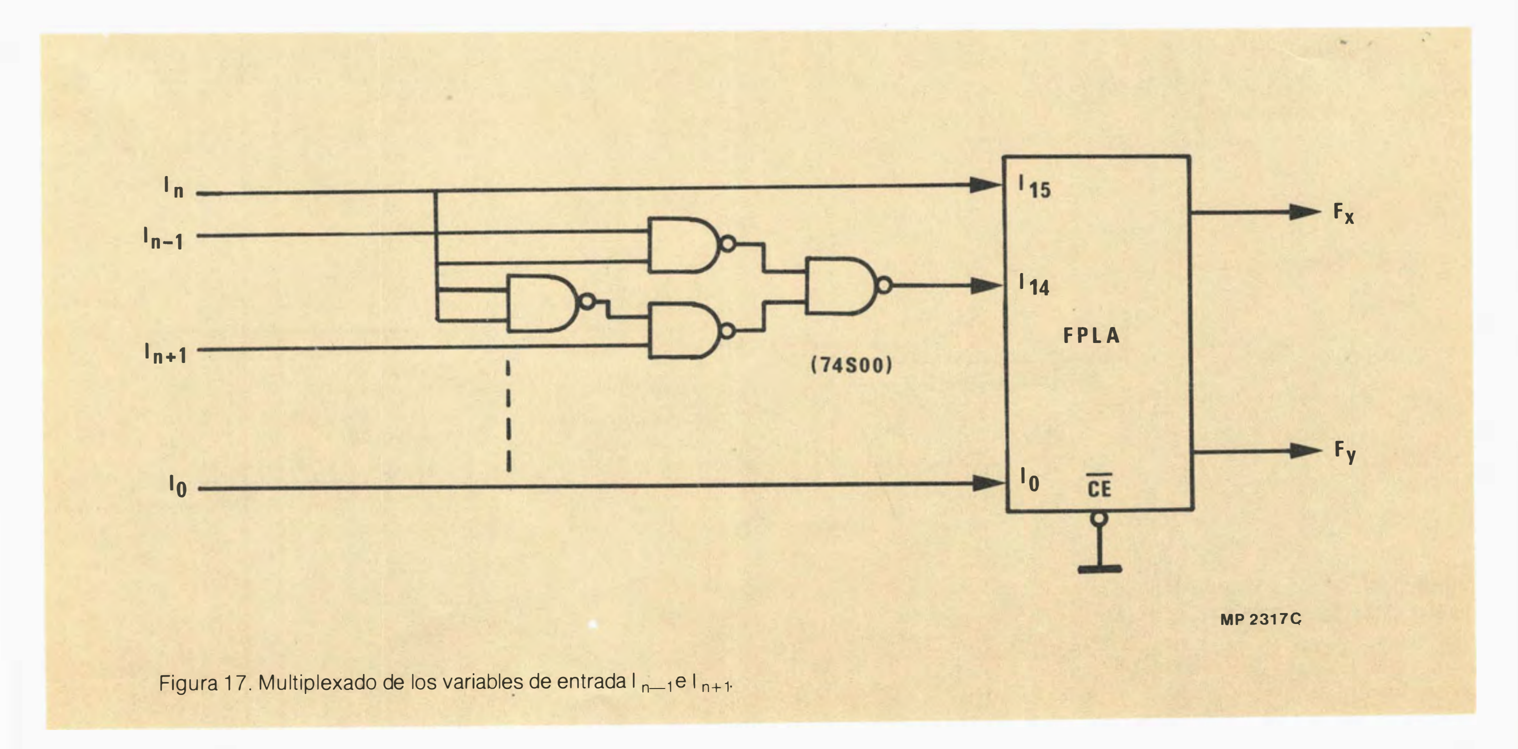


Figura 17. Multiplexado de los variables de entrada I_{n-1} e I_{n+1}.

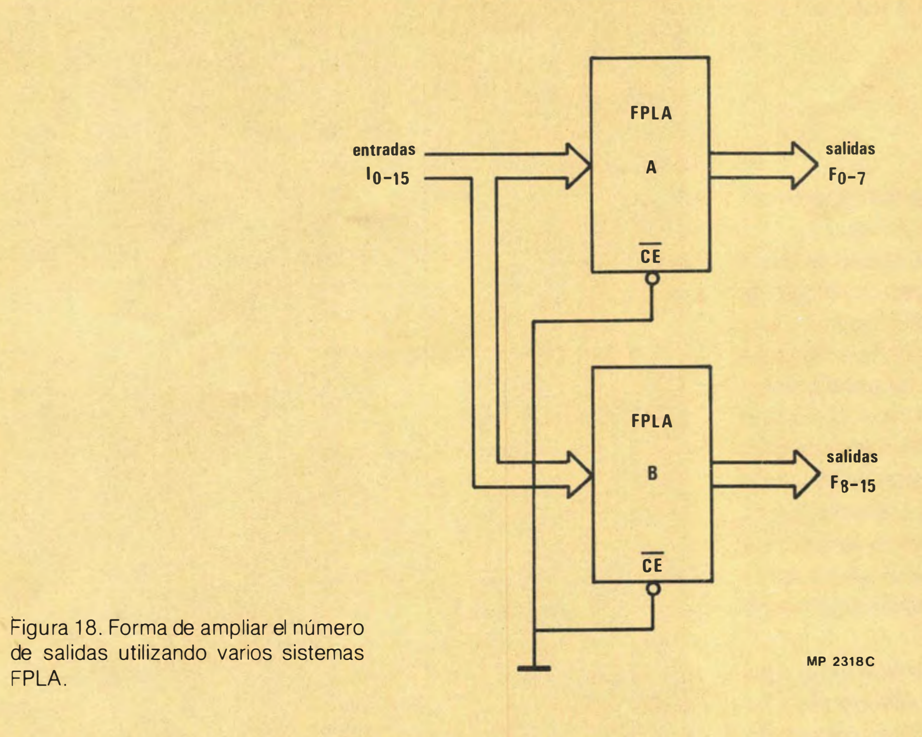


Figura 18. Forma de ampliar el número de salidas utilizando varios sistemas FPLA.

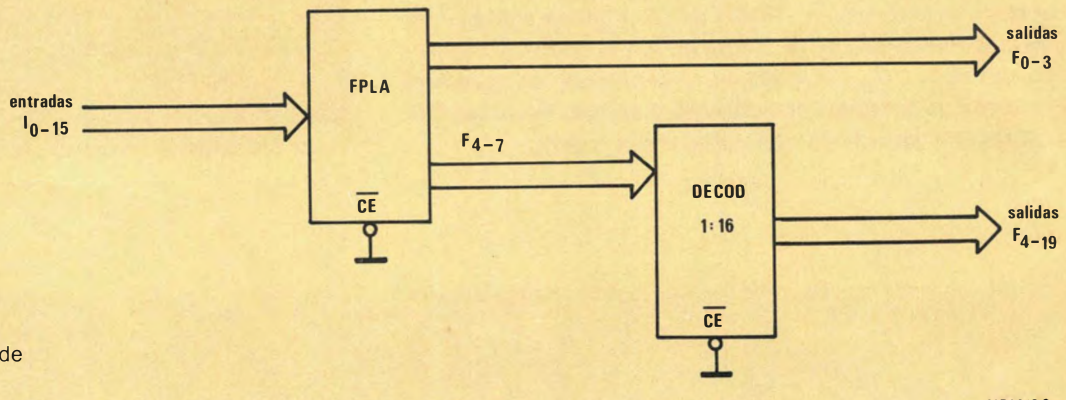


Figura 19. Ampliación del número de salidas utilizando un decodificador.

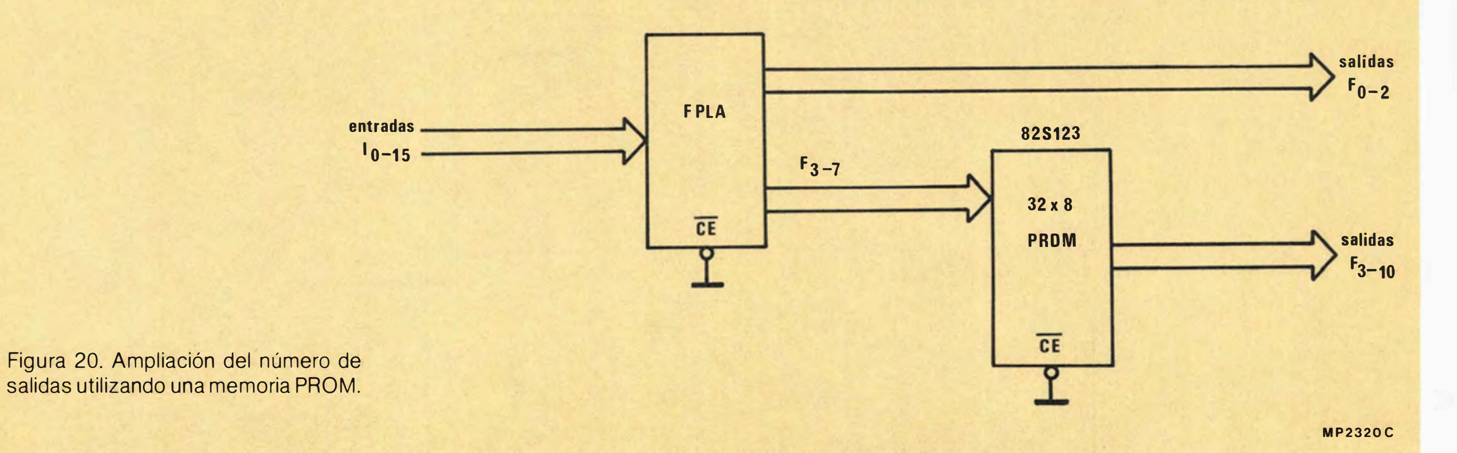
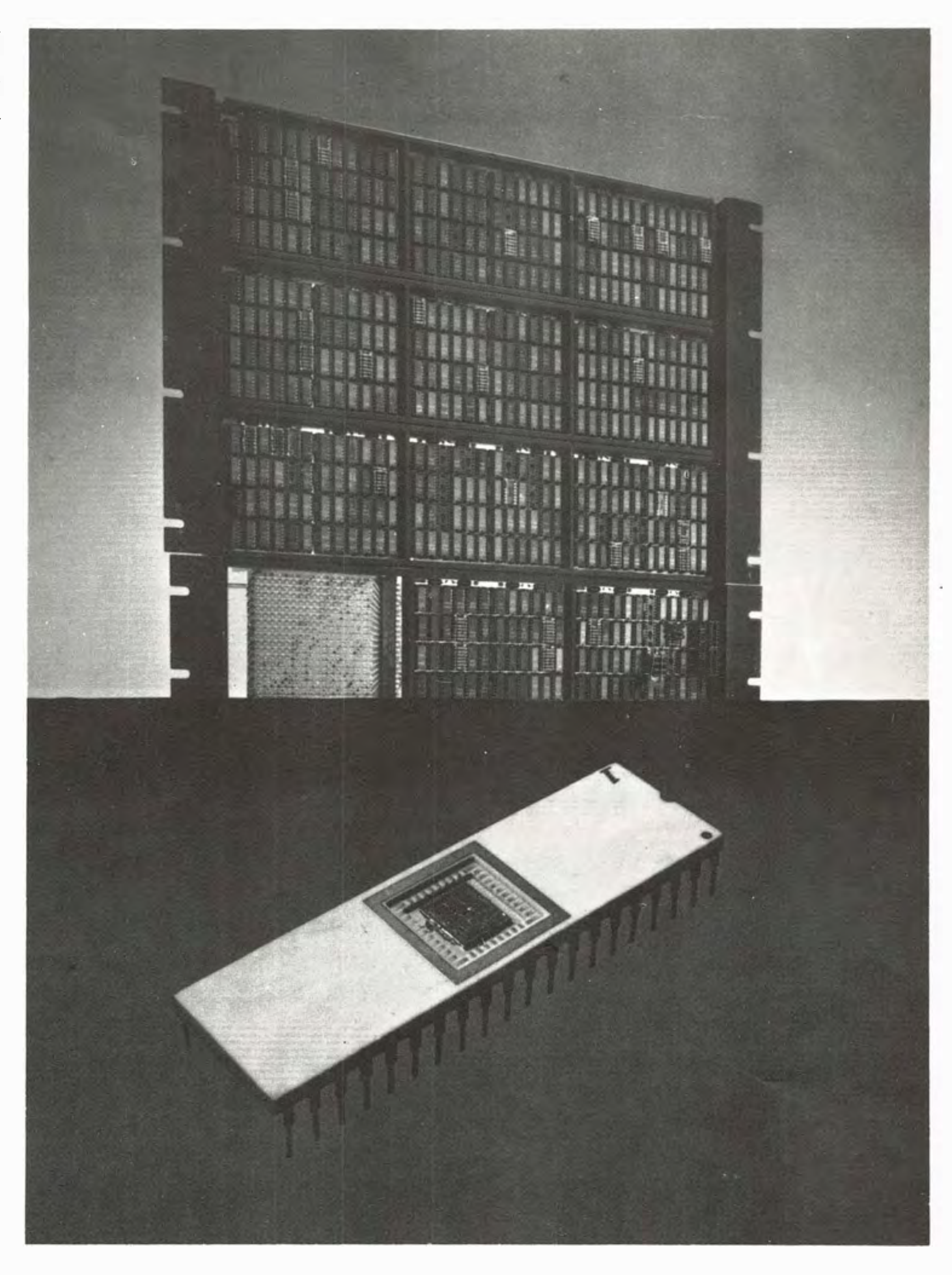


Figura 20. Ampliación del número de salidas utilizando una memoria PROM.

El microprocesador Signetics 2650 del primer plano integra las funciones de más de 500 circuitos integrados individuales que fueron utilizados en la versión del microprocesador mostrado en el plano posterior, montado en un soporte estándar de 19 pulgadas.



Microelectrónica

¿El inicio de una revolución industrial?

Parte 2

La tercera y última parte de este artículo se publicará en Revista Miniwatt, Vol. 19, N.° 12 (Diciembre 1980).

3. Naturaleza de los microprocesadores

Como se ha indicado anteriormente, los microprocesadores y microordenadores deben considerarse como circuitos integrados aunque sean particularmente complejos.

Un circuito integrado programable

Un microprocesador junto con una memoria y los correspondientes circuitos de entrada/salida constituyen un microordenador. Según que estos elementos estén dispuestos en un solo circuito integrado o en varios, se tiene un microordenador monochip o multichip respectivamente.

La característica especial de este dispositivo es que es programable, lo que significa que el circuito integrado puede considerarse como «neutro» frente a cualquier aplicación y posteriormente, mediante un programa, puede implementarse una determinada aplicación.

En efecto, siempre existe un programa para cada sistema electrónico o electromecánico que realice cierto número de operaciones «automáticamente».

Sin embargo, en los sistemas normales, su comportamiento es consecuencia del sistema mismo. Los circuitos integrados diseñados para desarrollar una determinada función contienen su propio programa definido por el diseño específico. En consecuencia, estos circuitos integrados sólo pueden emplearse para efectuar la función para la que fueron creados.

Con los microprocesadores la situación cambia totalmente. Por estar constituidos de circuitos elementales neutros, pueden emplearse en numerosas combinaciones distintas, dependiendo del programa, el cual se desarrolla con total independencia del circuito. El programa se almacena en un circuito memoria al cual accede el microprocesador paso a paso para su ejecución.

En la mayoría de las aplicaciones, un sistema electrónico debe reaccionar ante señales del mundo exterior introducidas a veces por un operador humano.

El significado de las señales recibidas debe ser correctamente interpretado, y después el equipo debe reaccionar en la forma adecuada. Un sistema de este tipo puede concebirse como controlador de un proceso industrial. Las señales recibidas por el equipo serán temperaturas, presiones, velocidad, tensión, etc., y las señales que salen gobernarán el ajuste de válvulas, las variaciones de potencia, el arranque de instalaciones de refrigeración, etc.

Todo esto puede realizarse con circuitos integrados ya que se pueden diseñar circuitos integrados especiales para el proceso en cuestión. La situación varía con el microprocesador. En efecto, este es capaz de desarrollar algunas funciones básicas: contar, comparar, funciones aritméticas, etc.

Las señales recibidas también pueden ser interpretadas usando estas funciones, pudiéndose obtener también señales de salida correctas. Además, las mismas funciones se pueden emplear para muchas actividades diferentes. Esto se puede comparar con las figuras que se pueden formar con las piezas del juego chino TANGRAM. Las mismas piezas producen cientos de figuras diferentes y el número sería ilimitado si cada pieza pudiera usarse un número de veces arbitrario.

El principio de la programación no es nuevo (fue formulado a principios de 1954 por el matemático americano Von Neumann) y en los años 50 los ordenadores empezaron a trabajar con programas ensamblados con independencia del equipo, pero desarrollados y

almacenados en la memoria del ordenador. El nuevo aspecto radica en la micro-escala en la que todo esto es posible ahora. El microprocesador realiza funciones de ordenador, poniéndonos al alcance numerosas aplicaciones a bajo coste.

Ventajas de los microprocesadores

Los microprocesadores no ofrecen ventajas en la solución de todos los problemas que se presenten. Tampoco es cierto que los microprocesadores hagan superfluos a los demás circuitos integrados. Sin embargo, ofrecen adecuadas soluciones cuando se precisan circuitos integrados muy complejos. Las ventajas son las siguientes:

— El tiempo de desarrollo de un sistema nuevo (es decir desarrollar un programa en lugar de crear un nuevo circuito integrado) puede acortarse entre un 65 y un 75%.
— El sistema resultante es adaptable a cambios futuros. Podemos modificar las funciones que queramos sin más que retocar el programa, manteniendo el mismo circuito integrado.
— La capacidad sobrante del microprocesador con respecto a su aplicación, puede utilizarse positivamente añadiendo funciones extras al equipo. La memoria ofrece espacio para almacenar toda clase de datos en base a los cuales el microprocesador puede tomar cualquier decisión (programada) con lo que el sistema funciona con mayor autonomía que anteriormente.

Sin embargo, estas ventajas no se alcanzan automáticamente. El desarrollo de nuevos sistemas con microprocesadores necesita diferentes conocimientos y experiencia que el diseño de otros circuitos integrados, de la misma manera que el diseño de circuitos integrados precisa distinta experiencia y conocimientos que el desarrollo de circuitos basados en componentes discretos.



El Instructor 50, un microordenador para el aprendizaje de microprocesdores y la forma de programarlos.

4. La gran importancia de los sensores

La mayor parte de los circuitos integrados programables y no programables se emplearán para procesar señales obtenidas del mundo real y producir señales de control que pongan en marcha las adecuadas reacciones, como consecuencia de los sucesos verificados en la realidad. Los ejemplos son numerosos, control de presión de una caldera, temperatura de un invernadero, grado de polución del agua, etc.

En términos generales, los circuitos integrados se diseñan o programan en forma tal que las señales recibidas sean verificadas según unas normas, para que en caso de desviación se puedan adoptar las medidas deseadas, ya sea mediante un operario o bien automáticamente.

Todo ello depende de la posibilidad de detectar los

sucesos ante los que el sistema debe reaccionar. Dado que no todos los sucesos se transforman en señales eléctricas, debe haber como mínimo uno que lo sea si queremos obtener reacciones del circuito integrado. Consecuentemente, las aplicaciones de los circuitos integrados sólo se pueden desarrollar cuando se dispone del equipo de detección adecuado (sensores). El sistema deberá ser apropiado tanto a la aplicación para la que va destinado como a la tecnología de los circuitos integrados empleados. En muchos casos, los equipos sensores existentes no son adecuados porque se apartan de las posibilidades de los circuitos integrados en cuanto a coste, potencia eléctrica, volumen o precisión.

Sucede lo mismo en términos relativos con las señales de salida producidas por los circuitos integrados, las cuales deben ser transmitidas al mundo exterior. Hasta la fecha se han desarrollado algunas técnicas que transforman las señales en informaciones útiles al hombre: pantallas, LED (diodos emisores de luz) y LCD (diodos de cristal líquido). Frecuentemente hay que desarrollar nuevas técnicas para transmitir señales a una instalación que ha de ser controlada.

5. Los C.I. en equipos electrónicos y electromecánicos

Una importante consecuencia de la creciente complejidad alcanzada por los circuitos integrados es el hecho de que incluso los mayores conjuntos de la casi totalidad de los sistemas electrónicos pueden sustituirse por un único circuito integrado. El nivel que puede alcanzar este desarrollo queda expresado en la confianza que tienen los expertos en que, hacia la mitad de la década de los 80 será posible integrar la totalidad de la sección electrónica de un ordenador potente en un solo circuito integrado.

La importancia de este desarrollo es fácilmente previsible: la producción de circuitos integrados está fuertemente autorizada, proporcionando precios ventajosos para grandes series, pudiéndose obtener circuitos cada vez más complejos a precios cada vez más económicos. El resultado son productos muy fiables, con bajo consumo energético y con dimensiones sorprendentemente pequeñas. Mejoras en los procesos están facilitando la obtención de mayores integrados sin defecto en su fabricación permitiendo conseguir circuitos integrados con funciones muy complejas. No obstante, el crecimiento en superficie se mantiene muy distante del crecimiento referido al número de componentes por circuito integrado. Por ejemplo, el microprocesador 2650 es aproximadamente 35 veces mayor que un circuito integrado para audio y sin embargo el número de elementos de conmutación es aproximadamente 1.000 veces mayor.

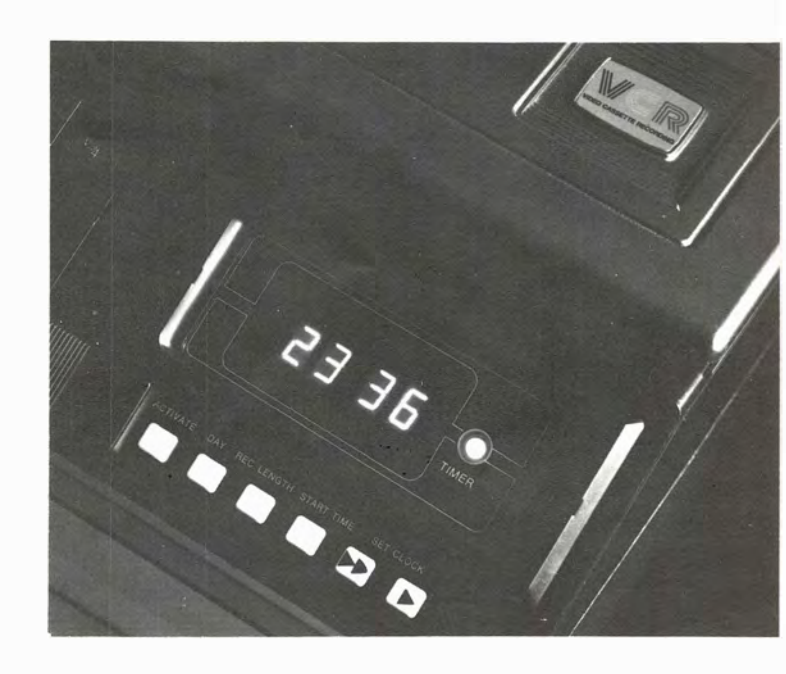
Funciones fundamentales de la microelectrónica

Las posibilidades de la microelectrónica se pueden determinar a partir de las 3 funciones fundamentales. Procesado de señales, procesado de datos y control de energía. Cualquier aplicación de un circuito integrado puede asimilarse a una de estas 3 funciones o combinación de ellas. Seguidamente se examinan las posibilidades de los componentes digitales en cada una de estas funciones.

Procesado de señales

El nivel de complejidad alcanzado en la actualidad por la microelectrónica digital, ofrece las siguientes ventajas frente a la electrónica analógica.

— El procesado digital de señales es prácticamente inmune al ruido: los propios circuitos no crean apenas ruido y son virtualmente insensibles al ruido exterior, además, las distorsiones pueden corregirse fácilmente.



Con visualizadores de diodos emisores de luz (LED - Light Emitting Diode) se tienen atractivos indicadores. En este caso indican la lectura exterior del temporizador de una grabadora de video cassette: los diodos LED dan una indicación clara del ajuste de la hora.

— El procesado digital de señales se realiza con niveles de energía muy bajos; solamente cuando se requieren señales de salida (por ejemplo sonido o imagen es necesario efectuar consumo de potencia.

Aunque la conversión analógico/digital exige un equipo suplementario, su coste desciende rápidamente como resultado del mismo desarrollo. En conjunto podemos resumir las ventajas del procesado digital, diciendo que produce una mayor calidad a menor coste. No obstante, es aún frecuente el procesado analógico de señales, pero el procesado digital está aumentando rápidamente como consecuencia del uso de circuitos integrados.

Proceso de datos

Ya se ha mencionado la importancia de los ordenadores en el desarrollo de la electrónica digital. Sin embargo, numerosas funciones de proceso de datos (incluyendo el almacenamiento) se encuentran en otros equipos, en los que no son fácilmente identificables como funciones de proceso de datos. Por ejemplo, sorprende descubrir que el panel de un aparato de radio realiza la función de una memoria. Una vez llegados a esta conclusión es obvio el reemplazar su complejo y relativamente caro mecanismo por una memoria electrónica.

Otro conocido ejemplo similar es el reloj digital. Resulta fácil predecir que más funciones de proceso de datos serán redescubiertas en los actuales productos de consumo.

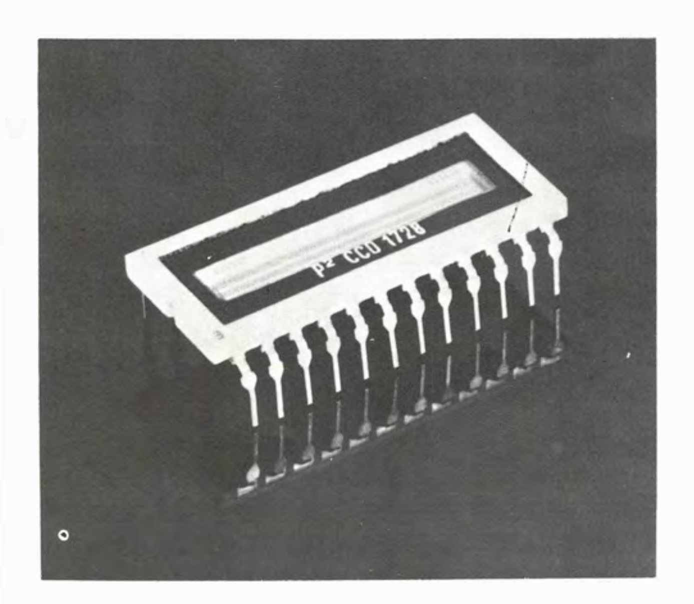
Control de energía

En muchas aplicaciones cotidianas se producen pérdidas energéticas, ya que para alcanzar los resultados requeridos se suministra una cierta potencia y hasta la fecha los sistemas no han tenido el refinamiento necesario, tomándose la decisión del suministro energético de una vez por todas. El control de energía en función de la carga, que antes no era factible puede realizarse mediante microelectrónica. El uso de circuitos electrónicos significa que los equipos con consumos energéticos no tienen por qué ser pasivos con respecto a su potencia de alimentación. Pueden regular la alimentación, consumiendo solamente la energía necesaria para la prestación requerida en cada momento. Como ejemplo se podría citar el de un camión en el que progresivamente dejaran de funcionar los cilindros a medida que el peso lo permitiera. La consecuencia es menor consumo energético, menos componentes, mayor fiabilidad y menor polución ambiental al evitarse innecesarias emisiones de calor.

Las posibilidades de la microelectrónica en lo que respecta al control de energía y procesado de señales, no se traducirán en general en nuevas funciones para los productos finales. Básicamente realizarán una nueva sustitución tecnológica (electrónica remplazando a componentes mecánicos) más que una ampliación de funciones.

En la mayoría de los casos, el incremento de funciones de los equipos se efectuará como consecuencia de la aplicación de la electrónica al proceso de datos.

Los microprocesadores y las memorias digitales pueden añadir nuevas funciones a los productos existentes, los cuales pueden crear a su vez nuevos campos de aplicación para el producto. De esta forma ha



Con este dispositivo podrá ver en su televisor sus propias fotografías y películas de cine. Este circuito convierte las imágenes en color en señales eléctricas.

sido posible ampliar las funciones de una calculadora de bolsillo (consecuencia de la electrónica digital), incluyendo además un reloj, un despertador, un calendario e incluso un block de notas electrónico. La radio, en la que anteriormente hemos visto que el dial puede ser reemplazado por una memoria electrónica, puede complementarse fácilmente con reloj, calendario, etc.

Es sorprendente notar con qué frecuencia y en cuantas aplicaciones diferentes se está incluyendo la función reloj. Esta se puede añadir prácticamente sin sobrecoste, y en consecuencia se incluye. No obstante, con vistas al futuro esto dice más de la carencia de funciones realmente necesarias que de la necesidad de dar la función reloj a todos los equipos electrónicos. Son solamente unos pocos sectores (juegos de video, diccionarios electrónicos, equipos monitores, etc.) en los que las nuevas aplicaciones están realmente despuntando.

El alcance de la microelectrónica

El microprocesador 2650 está fabricado en una pastilla de 25 mm². Esto sólo (téngase en cuenta que no estamos al final del desarrollo) ilustra que se pueden incluir sistemas extremadamente complicados dentro de aplicaciones de menor tamaño. Lo cual resulta de gran importancia: por ejemplo en instrumental médico.

Como puede verse, el cambio no termina en las funciones que hasta ahora realizaban componentes electrónicos y que ahora realizarán circuitos integrados. Funciones que hasta ahora habían sido realizadas mecánicamente, también se realizarán con circuitos integrados.

El ejemplo más corriente es el reloj digital de muñeca, que ha significado un cambio dramático desde el punto de vista de la tradicional industria relojera: la experiencia y conocimientos profesionales imprescindibles hasta hace poco, son en la actualidad innecesarios. Con sobrecostos mínimos, los relojes electrónicos pueden abarcar numerosas funciones, incluso algunas que no tienen nada que ver con la medida del tiempo. Los relojes mecánicos no pueden competir con los electrónicos ni en prestaciones ni en precio. En el plazo de unos pocos años la fabricación de relojes tradicionales habrá quedado como una artesanía.

Podemos citar más ejemplos. La actual calculadora de bolsillo ha reemplazado a una máquina mecánica. El mecanismo de impresión en las máquinas de escribir se está transformando progresivamente en electrónico. La parte electrónica en las fotocopiadoras está aumentando, etc.

La característica predominante de los equipos construidos con circuitos integrados es su simplicidad. Cuando cada detalle de una función requería su propio componente, las aplicaciones eléctricas y electromecánicas representaban una notable cantidad de trabajo y materiales. En la actualidad, los detalles están desapareciendo en los cada vez más complicados circuitos integrados, las «cajas negras» están vaciando los equipos con las ventajas adicionales que supone mayor fiabilidad y menor coste de mantenimiento.

Sistema de desarrollo MCT 48-E

El sistema de desarrollo MCT 48 E es un equipo para el diseño, puesta en marcha, mantenimiento y verificación de sistemas que utilizan los micrprocesadores de la serie 8048.

El MCT 48 E ha sido diseñado de forma modular, lo que permite al usuario una mayor flexibilidad y ajuste a sus necesidades. Consta de los siguientes módulos:

MCT 48-1E. Simulador y verificador de circuitos

MCT 48-2E. Teclado, memoria y grabador de memorias EPROM.

MCT 48-3E. Grabador de memorias EPROM, para el MCT-48-4E.

MCT 48-4E. Sistema de desarrollo en lenguaje ensamblador.



MCT 48-1E

Consta esencialmente de los siguientes bloques:

- un microordenador 8039 con memoria de programa externa.
- memoria de programa que puede estar contenida en una EPROM, tipo 2708 ó 2716 insertables en una base dispuesta al efecto en el circuito, o bien en una memoria externa conexionable al circuito a través de un conector dispuesto al efecto.

El MCT 48-1E puede simular a los microordenadores de la serie 8048 y a través de un cable terminado en un conector de 40 patillas en línea doble, puede reemplazar al microordenador del circuito a verificar. Asimismo permite hacer marchar un programa en tiempo real.

Una serie de botones y conmutadores permiten la selección y ejecución de una serie de funciones que permiten el análisis de operaciones tales como la visualización de la memoria de datos, registros, acumulador, PSW, registro de E/S, temporizador/contador... etc., en los modos siguientes:

- paso a paso (instrucción por instrucción).
- en tiempo real, mediante una rutina de desviación (trap.).
- en un punto de ruptura (breakpoint).

MCT 48-2E

Este módulo es conexionable al módulo MCT 48-1E. Entre ambos se obtiene el mínimo sistema de desarrollo necesario para pequeñas aplicaciones en tiempo real, u operaciones lógicas. El programa y desarrollo del mismo se realiza en lenguaje máquina.

el MCT 48-2E consta de las siguientes partes fundamentales:

- una memoria RAM 2K octetos de capacidad;
- un teclado exadecimal y de funciones;
- un grabador de memorias EPROM del tipo 2708 y 2716, así como la memoria EPROM del 8748.

La memoria RAM puede ser escrita de las siguientes formas:

- a través de la conexión en serie V-24, RS 232 C;
- mediante el teclado, que permite modificar su contenido;
- mediante la transferencia del contenido de las memorias EPROM 2708 y 2716 o el contenido de la memoria de programa del microordenador 8748.

El contenido de la memoria RAM puede ser transferido a una memoria EPROM 2708 ó 2716 o la memoria de programa del 8748, mediante el grabador de memorias EPROM que contiene.

MCT 48-3E

El módulo grabador MCT 48-3E está diseñado para ser utilizado con el equipo de desarrollo MCT 48-4E.

Este módulo tiene dos funciones fundamentales:

- programar una memoria EPROM 2708 ó 2716, o la memoria de programa del 8748, a partir del contenido de la memoria RAM del MCT 48-4E;
- transferir el contenido de una memoria EPROM 2708 ó 2716, o la memoria de programa del 8748, hacia la memoria RAM del MCT 48-4E.

MCT 48-4E

Este equipo, asociado al módulo de simulación y verificación en tiempo real MCT 48-1E, constituye un instrumento de desarrollo y puesta a punto en tiempo real para los microordenadores de la serie 8048.

Asociado al módulo grabador de memorias EPROM MCT 48-3E, permite programar las memorias EPROM 2708 y 2716 y la memoria de programa del 8748.

El MCT 48-4E, utilizado sólo con sus memorias RAM internas y sus periféricos de entrada y salida (V-24) puede servir como un miniordenador, que permite el desarrollo de programas en lenguaje ensamblador.

Este equipo se presenta en la forma de un rack tamaño doble europeo conteniendo los siguientes submódulos enchufables:

- una carta CPU constituida en base al microprocesador 2650 de Signetics:
- una carta de memoria RAM de 4K octetos de capacidad;
- un emplazamiento para conexión del módulo grabador MCT 48-3E;
- dos emplazamientos para una ampliación de la memoria (opcional).

Funcionalmente el MCT 48-4E consta de:

— Ensamblador.
— Monitor para correción de programas.
— Editor.

Puede conectarse a periféricos tales como:

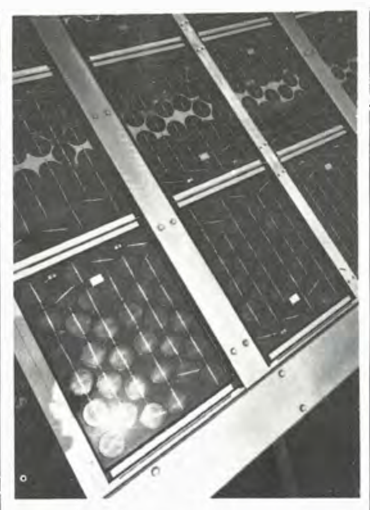
— Teletipo (a través de la conexión V-24).
— Lector de cinta perforada.
— Dos cassettes de audio.

Quinta generación de módulos solares

COPRESA anuncia su quinta generación de módulos solares fotovoltaicos, el BPX 47 B y el BPX 47 C. Las tres primeras generaciones dieron a conocer las aplicaciones terrestres de la energía solar. En 1973 la crisis de la energía puso de manifiesto los límites de la energía convencional y despertó cierto interés por las aplicaciones de la energía solar, en particular, de conversión fotovoltaica.

El éxito de los paneles fotovoltaicos de la cuarta generación, BPX 47A que fueron lanzados al mercado en 1975, ha impulsado el desarrollo de una nueva generación. Esta quinta generación, que utiliza células de silicio de 100 mm de diámetro, consta de tres tipos de paneles: el BPX 47 B/18, que contiene 18 células y proporciona 16,5 W a 8,2 V; el BPX 47 B/20, contiene 20 células y proporciona 18,3 W a 9,1 V; el tercer tipo es el BPX 47 C/36, contiene 36 células y proporciona 33 W a 16,4 V.

Las células están recubiertas de resina transparente y montadas entre dos placas de vidrio. El BPX 47 C/36, está montado en un bastidor de aluminio rígido. La gama BPX 47 es adecuada para ser utilizada en severas condiciones ambientales.



En el pabellón de COPRESA en SONIMAG se expondrán muestras de estos paneles fotovoltaicos así como diversos ejemplos de aplicación. De la misma forma y en colaboración con una prestigiosa marca comercial de chalets prefabricados se exhibirá el empleo de paneles fotovoltaicos para el suministro de energía eléctrica a una vivienda.

Dentro del ciclo de conferencias que COPRESA dará coincidiendo con el certamen de SONIMAG se dedicará una sesión monográfica en torno a la energía solar y el uso de los paneles fotovoltaicos.

I.M.S. (Sistema microordenador industrial)

Las necesidades del mercado van siendo cada vez mayores, lo que obliga a los fabricantes a disponer de máquinas cada vez más complejas. En muchos casos, estas máquinas son controladas por equipos electrónicos. Estos equipos están sustituyendo a las clásicas maniobras electromecánicas, a la vez que ofrecen unas prestaciones técnicas muy superiores.

Como se sabe, la aparición de los microprocesadores está originando en los últimos años una notable mejora en la relación prestaciones-/coste. Sin embargo, todavía es elevado el coste de un diseño específico. Para evitar este inconveniente, se han desarrollado sistemas flexibles, constituidos en bloques funcionales.

El IMS (Industrial Microcomputer System) ofrece las ventajas del uso de los microprocesadores, además de la reducción de costes que proporciona un «hardware» adaptable a cada necesidad.

El IMS está dotado de su propio sistema de desarrollo, llamado MODEST, con el que el usuario puede desarrollar su propio «software», introduciendo las instrucciones mediante teclado ASCII y visualizarlas en el monitor.

Una vez desarrollado el programa, el MODEST puede grabar las memorias (E)PROM que sean necesarias para almacenar dicho programa y conseguir un perfecto funcionamiento de la máquina o proceso que se desea controlar.

Cuando se ha instalado el IMS junto a la máquina, se puede retirar el MODEST para efectuar otros desarrollos que sean necesarios. De esta forma se consigue reducir todavía más los costes, ya que un mismo MODEST puede utilizarse para desarrollar los programas de tantos IMS como sean necesarios para las distintas máquinas o procesos que se quieran controlar.



Fuentes de alimentación conmutadas

Las fuentes de alimentación conmutadas representan en la actualidad una solución atractiva para la alimentación de cualquier dispositivo electrónico, gracias a su elevado rendimiento energético y sus dimensiones y peso reducidos.

El funcionamiento directo a la tensión red (sin transformador de 50 Hz) y a frecuencias de conmutación elevadas (30-50 kHz) exige el empleo de componentes activos y pasivos de gran calidad especialmente proyectados para tal fin.

Copresa dispone de todos los componentes necesarios para cumplimentar las exigencias de todas las funciones básicas que intervienen en dichos equipos, que son:

— Rectificadores de red en puente.
— Condensadores electrolíticos de filtro de red.
— Transistores de potencia rápidos para tensiones elevadas.
— Núcleos de ferrita de grado y formas adecuadas.
— Rectificadores rápidos de gran rendimiento. (incluida la tecnología Schottky).
— Condensadores electrolíticos de filtro para frecuencias elevadas.
— Circuitos integrados de control muy elaborados.

Dispone además de componentes auxiliares para las mismas, tales como:

— Diodos recortadores rápidos.
— Condensadores cerámicos de alta tensión.
— Ferritas para devanados auxiliares.
— Transformadores excitadores.
— Una completa gama de semiconductores auxiliares.

Además proporciona un adecuado soporte tecnológico. En esta misma publicación han aparecido un buen número de informaciones tanto referentes a principios generales de funcionamiento, como diseños específicos para las más diversas aplicaciones, tanto en el área profesional como de gran público.

Circuitos híbridos

Dentro de la gama estándar de amplificadores híbridos de banda ancha de 12 V, Copresa anuncia la comercialización de dos nuevos tipos, el OM345 y OM370, de aplicación en amplificadores de antena para autorradios y de aplicación general en sistemas de VHF y UHF.

La gama de completa de amplificadores híbridos de banda ancha consta de circuitos híbridos de 2 y 3 etapas, todos ellos fabricados en tecnología de «película delgada».

Con esta gama se cubre el margen de 40 a 860 MHz, lo cual facilita la elección de la ganancia y tensión de salida adecuada. El margen de ganancia va, desde 15 dB para los amplificadores de 2 etapas hasta los 28 dB para los de 3 etapas.

Las mínimas tensiones de salida son de 92 dBμV para los de 2 etapas y 113 dBμV para los de 3 etapas, medidas para una distorsión de intermodulación de 60 dB.

Todos ellos son de aplicación tanto en amplificadores de antena como en preamplificadores en sistemas MATV y en instrumentación donde su pequeño tamaño, perfecto comportamiento eléctrico y fiabilidad hace que su utilización sea más adecuada y económica que con componentes discretos.

Toda la gama de amplificadores híbridos de banda ancha será presentada en el próximo «Sonimag» en donde se dispondrá de información tanto de los actuales como de los nuevos tipos en sus versiones de 12 y 24 voltios.

Componentes de fabricación nacional

COPRESA anuncia la próxima comercialización de nuevos productos fabricados en HISPAFER, S.A. en su factoría de Guadalajara, como ampliación de la gama actual de ferritas en material Ferroxcube por ellos fabricadas, (tubos, varillas, cuentas, núcleos perfilados, choques, etc...).

La relación de nuevos productos son:

— Imanes cerámicos (segmentos) en material Ferroxdure, de aplicación fundamentalmente en motores de c.c.

— Núcleos roscados en diámetros de 3. 3,5, 4, 5, 6, 7 y 8 mm, las dimensiones serán según normas DIN. Se fabricarán en distintos grados de material Ferroxcube.

— Toroides. Se cubrirá toda la gama desde 36×23×15 hasta 6×4×2 mm. Se podrán suministrar con o sin película de nylon en los distintos grados de material Ferroxcube.

— Productos Axiales. La gama será variada en función de las necesidades de los clientes. Se podrán suministrar también embandados para inserción automática en circuitos.

— Núcleos U/20, U/25, E/20, E/25. Se podrán suministrar en distintos grados de material.

8048/8021 Ahora fabricados en Europa

La primera producción europea de microordenadores de un solo chip, 8048/8021, está ahora en plena fabricación en la planta Philips de Hamburgo. La enorme demanda mundial de estos productos ha creado problemas de suministro en determinadas áreas y nuestra producción será sin duda muy bien acogida por los usuarios. Los dispositivos de la familia Philips 8048 son totalmente intercambiables con los fabricados por Intel Corporation. Otros microordenadores de diseño y fabricación europea están actualmente en fase de programación.

Los microordenadores 8048 y 8021 se fabrican siguiendo el proceso M O S de canal N, el 8048 tiene un procesador central de 8 bits, una memoria de programa (ROM) de 1K octetos, una memoria de lectura/escritura (RAM) de 64 octetos, 27 líneas de E/S y un contador/temporizador de 8 bits añadido a los circuitos oscilador y de reloj. El 8048 tiene un tiempo de ciclo de 2,5 μs y solamente necesita una fuente de alimentación de +5 V (±10%).

El 8021 es una versión de bajo coste del 8048. Tiene una capacidad de memoria similar al 8048 pero con sólo 21 líneas de E/S. El tiempo de ciclo del 8021 es de 8,38 μs y puede funcionar con cualquier tensión de alimentación entre 4,5 y 6,5 V.

Los microordenadores 8048 y 8021 tienen muchas aplicaciones de control. Las áreas de aplicación típicas son en equipos de comunicaciones, controladores, aplicaciones en el hogar, instrumentos de medida, vehículos y equipos de audio y televisión.

Nuevo controlador programable

Después del éxito de nuestra primera generación de módulos para controladores lógicos programables (PLC), ofrecemos ahora una generación de módulos que incorpora todas las ventajas de los tipos anteriores, más una serie de ventajas adicionales. Además de las ventajas de ser un sistema modular, el nuevo PLC tiene un potente juego de instrucciones (no sólo para lógica, sino para manejo de datos), sencillo temporizador-/contador, y E/S programables. El sistema denominado PC20, puede ser utilizado en disposiciones de proceso jerárquicas y distribuidas. Tiene un tiempo de ciclo muy corto, típicamente de 1 ms/1K de programa. Una de las características especiales del PC20 es el uso de circuitos integrados LOCMOS-LSI.

Una propiedad especial de los circuitos LOCMOS es la elevada inmunidad al ruido, que es muy importante en ambientes industriales. Además, otra característica de los circuitos LOCMOS es el bajo consumo de potencia y este dispositivo sólo necesita una fuente de alimentación de 10 V. Todo esto ayuda a conseguir un sistema modular compacto, de bajo costo y con elevada inmunidad al ruido.

Están disponibles 12 tipos diferentes de módulos. Los módulos constan de cartas de formato doble europeo, excepto la unidad de programación que es del tipo sobremesa. Existen tres cartas CPU (unidad central de procesos), la CP20, CP21 y CP22. Estas contienen toda la electrónica necesaria, incluyendo dos microprocesadores, y actúan como el corazón del sistema. La carta procesadora PC20 está diseñada para ser utilizada en sistemas pequeños que requieren una memoria auxiliar de 1K bits (256 X 4) y una memoria de programa de hasta 1K (ó 2K); la memoria de programa utiliza una (E)PROM. La carta procesadora PC21 es similar a la CP20, pero en este caso la memoria de programa es una RAM CMOS; tiene una batería adicional para retención de memoria.

Para sistemas más grandes se usa la carta procesadora CP22; ésta tiene una memoria auxiliar de 8K, pero no tiene memoria de programa integrada. En su lugar se puede utilizar el módulo de memoria MM20 con una (E)PROM de 8K o el MM21 con una RAM CMOS de hasta 8K y una batería adicional.

Un módulo de entrada IM20 proporciona hasta 16 entradas lógicas al sistema. Todas las entradas están aisladas por opto-acoplador y tiene un indicador (LED) de estado. Existen dos tipos de módulos de salida, el OM20 para 16 entradas a 0,5 A, y el OM21 para 8 entradas de hasta 2 A. Ambos módulos de salida se caracterizan por funcionar con la carga conectada a masa, y tener protección contra cortocircuito e indicador LED del estado.

También está disponible otro módulo de salida especial SO20 con 8 salidas de 0,5 A y una fuente de alimentación en la placa. El SO20 tiene un valor nominal de corriente suficiente para un sistema PLC pequeño; se puede utilizar más de un S020.

Para el acoplamiento entrada/salida disponemos de una gama de tres módulos. Los datos de entrada/salida en paralelo son manejados por el módulo RP20 que tiene una memoria intermedia de 16×8 conectada a una barra externa de 8 bits. Se pueden utilizar varios módulos RP20 en un sistema PLC. Para el manejo de datos en serie se puede utilizar el módulo RS20. Con este módulo E/S AND/OR se puede realizar una disposición maestro/esclavo de varios PLC. Dos módulos RS20 pueden estar separados por hasta 500 m de cable coaxial. El transporte de datos entre ellos se realiza a una velocidad de 200K bits/S con una frecuencia portadora de 11 MHz. Un módulo de acoplamiento VI20 permite conexiones RS449 y RS423 para comunicación bidireccional con otros equipos, tales como ordenadores de elevado nivel.

Fe de errata

En Revista MINIWATT Vol. 19 N.º 8 y 9 aparecen intercambiados los diagramas de bloques de las páginas 332 y 334 titulados «Solución Hifi y Circuitos integrados para 30 AX».





TUBOS MONITORES SEMIPROFESIONALES Y COMPONENTES BOBINADOS

Tubos monitores diseñados especialmente para aplicaciones de TV en circuito cerrado, visualizadores alfanuméricos, etc.

Tubos monitores	M24-300	M31-330	M31-300	M38-300
Tamaño pantalla (mm)	229 (9'')	292 (12'')	295 (12'')	352 (15'')
Angulo desviación (grados)	90	90	110	110

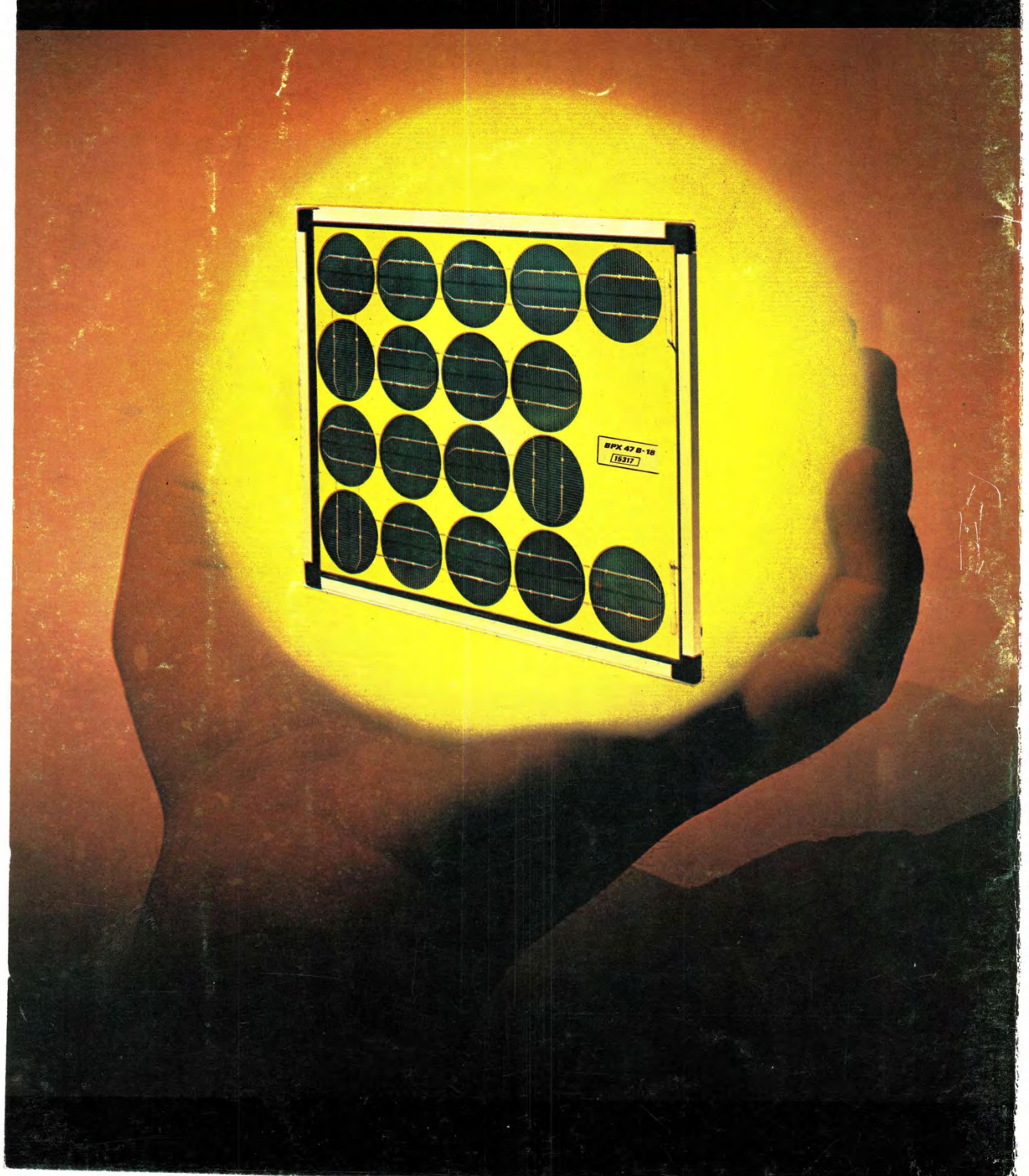
Cada tubo puede ser suministrado con las siguientes pantallas: P4 (blanco), P31 (verde de persistencia media) y P39 (verde de gran persistencia)

Combinaciones recomendadas con los componentes bobinados

	Vídeo (TV c.c.) y visualizadores de datos básicos (2000 carácteres)	Visualizadores de datos alfanuméricos de media página (4000 carácteres)	
Tubo monitor	**M24-300** **M31-330**	**M24-300** **M31-330**	**M31-300** **M38-300**
Unidad desviación	**AT1074**	**AT1071/03**	**AT1038/40**
Transformador línea	**AT2140/10**	**AT2102/02**	**AT2102/04**
Control linealidad	**AT4042/39**	**AT4036**	**AT4042/08**
Transformador excitador	**AT4043/56**	**AT4043/56**	**AT4043/59**
Fuente alimentación	9-12 V	12-16 V	20-70 V
MAT	11 kV	16 kV	17 kV

Además de los tubos monitores y componentes bobinados ofrecemos un amplio soporte de circuitos integrados (microprocesadores, memorias, generadores de carácteres, circuitos de interface, etc.) adecuados para realizar las funciones lógicas necesarias.

No más problemas energéticos
Células solares



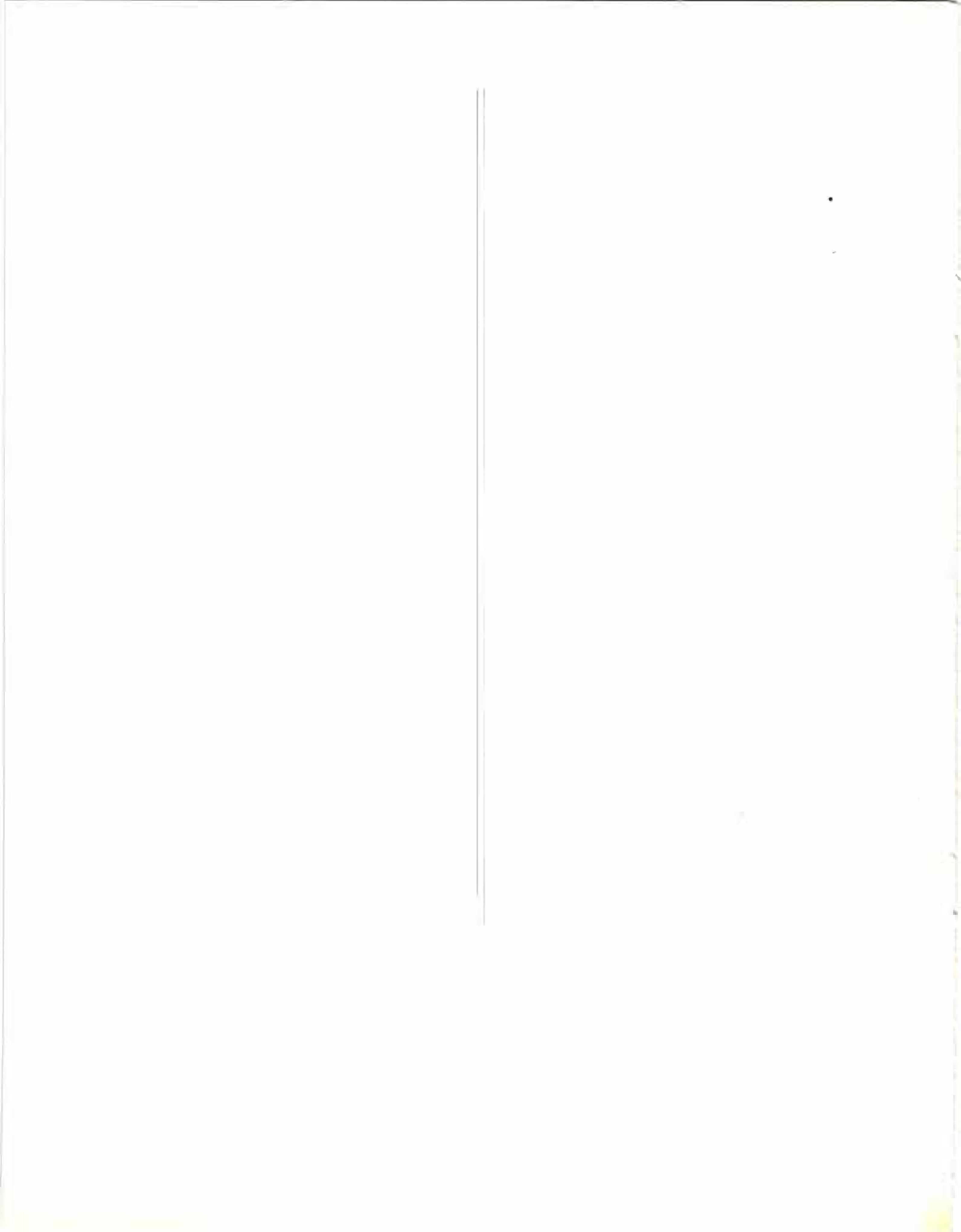
COPRESA



Miniwatt



VOLUMEN 19 - Número 11 Noviembre 1980 125 Ptas.







VOLUMEN 19-Número 11 **NOVIEMBRE 1980**

INDICE

Revista Miniwatt

Publicada por:

COMPAÑIA DE PRODUCTOS ELECTRONICOS «COPRESA», S.A.
Balmes, 22 — Teléfono 301 63 12 — Barcelona-7
Suscripción anual (11 números) ... Ptas. 1.100
Precio Ejemplar ... Ptas. 125
Cambio domicilio ... Ptas. 25

Director

D. José M.ª Llevat Grau

Editor

Cía. de Productos Electrónicos COPRESA, S.A.
Departamento de Publicaciones Técnicas
D. José Albiol Fernández

Coordinación

D. Enrique Riverola García
D. Rafael Rizo Aramburu

Redacción

D.ª M.ª Dolores Forns-Samsó

Consejo Asesor de Redacción

D. Pedro Barrera Vázquez
D. Jaime Borrull Subirana
D. Luis Marco Loras
D. Angel Suso San Miguel

Suscripciones

D.ª M.ª Angeles García Ferrer

Coordinación, Maqueta y Producción

GENERAL GRAFIC, S.A.
Caspe, 172
Barcelona-13
Depósito Legal: B-18387-61

EDITORIAL

Alcanzamos ya el final de un año en que la crisis ha hecho mella en tantos sectores de la industria tocando con particularidad a la industria electrónica. Es interesante recoger aquí, en contrapunto con esta imagen, el esfuerzo que se desarrolla o se prepara ya en algunos sectores, particularmente en la industria de T.V. precisamente para encontrar los chasis adecuados y las soluciones industriales correctas para enfrentarse a esa crisis; cambiarán algunos conceptos y se introducirán nuevos sistemas. La actividad de los sectores técnicos es importante en estos momentos de preparación.

En las jornadas pasadas de Sonimag hemos recogido particularmente el interés de cara a la introducción del sistema 30AX en los chasis de T.V. actuales.

Terminó también Sonimag con la presentación en nuestro stand de los ganadores a los Premios Copresa 1980. En próximos números recogeremos en estas páginas los dos premios otorgados al tema: Sistema de Aplicación en T.V.

Queremos por último hacer notar que nos vemos obligados a publicar fraccionadas en estas páginas, con continuidad a través de varios números, determinados artículos debido a su extensión y para mantener la variedad dando cabida al mayor número posible de temas de actualidad.

ALTAVOCES HI-FI
para equipos de auténticos profesionales



	situación sistema	potencia W	frecuencia resonancia Hz	recorrido de frecuencia estimado kHz	dimen. total mm	diam. agujero baffle mm	prof. total mm	material de recubrimiento	masa movible	zona cónica efectiva	n.º catálogo
AGUDOS											
AD 0140/T4; T8; T15	D	20/40	1200	2 to 22	94 ∅	75	25	polycarb.			
AD 0162/T4; T8; T15	D	20/50	1000	2 to 22	94 ∅	75	32	polycarb.			
AD 01632/T4; T8; T15	N	50/70	1300	2 to 22	96 □	85	33	paper			
AD 01633/T4; T8; T15	N	50/70	1300	2 to 22	96 □	85	33	paper			
MEDIOS											
AD 0211/Sq4; Sq8	D	40	350	0,5 to 5	134	112	108	textile			
AD 5060/Sq4; Sq8	D	60	210	0,4 to 5	129	96	107	textile			
GRAVES											
AD 5060/W4; W8	D	10	60	0,05 to 5	129	108	56	rubber			
AD 70650/W4; W8	N	40	45	0,07 to 5	166	142	72	rubber			
AD 80602/W4; W8	N	50	42	0,05 to 4	204	180	86	foam			
AD 80652/W4; W8	N	60	39	0,05 to 4	204	180	88	foam			
AD 80672/W4; W8	N	70	35	0,04 to 3	204	180	88	foam			
AD 10100/W4; W8	D	40	25	0,03 to 1	261	227	131	rubber			
AD 12250/W4; W8	N	100	26	0,04 to 2	311	280	121	rubber			
PASIVOS											
AD 8002	N				204	180		foam	33,9	$2,5 \times 10^{-2}$	2422 259 30002
AD 1200	N				311	279		rubber	51,6	5×10^{-2}	2422 259 12001

D = Tipos disponibles actualmente

N = Tipos de nuevo diseño

Etapas de salida de video para el decodificador de color PAL TDA3560

Este artículo describe cuatro tipos de etapas de salida de video que pueden ser excitadas por el decodificador PAL de un solo circuito integrado TDA3560.

1. INTRODUCCIÓN

El decodificador de color PAL en un solo circuito integrado de 28 patillas, TDA3560, combina todas las funciones necesarias para la identificación de la señales de color PAL.

El circuito integrado entrega señales de salida RGB con una amplitud de 5 V_{p-p}, con un nivel de borrado de 2 V c.c. No posee entradas de realimentación como por ejemplo el circuito integrado TDA2530.

2. DISEÑO DE LAS ETAPAS DE SALIDA DE VIDEO

Se han diseñado cuatro tipos de etapas de salida:

— etapa de salida clase A;
— etapa de salida clase AB con dos transistores NPN;
— etapa de salida clase AB complementarias con transistores NPN y PNP:
— etapa de salida en clase B.

Debido a que el TDA3560 no tiene entradas de realimentación, si ésta fuera necesaria se debería realizar fuera del circuito integrado.

2.1. Etapa de salida en clase A (figura 1)

Este tipo de etapa de salida es el más sencillo, pero tiene una respuesta al impulso más lenta y una alta disipación de potencia. Se supone que las etapas de salida están en la placa de circuito impreso del zócalo del tubo de imagen.

En esta etapa en clase A los ajustes de ganancia y nivel de negro interaccionan entre sí.

El transistor utilizado es el BF869 con un disipador de calor de 30 °C/W. En la tabla 1 se muestran los resultados medidos.

2.2. Etapa de salida en clase AB con dos transistores NPN (figura 2)

La resistencia de realimentación R_5 está acoplada a la base del transistor inferior T_1. Se usa un amplificador cascodo con T_1 para minimizar la deriva térmica del transistor de video T_2 y para obtener una gran ganancia de lazo y un alto grado de estabilidad en corriente continua. La deriva térmica restante se puede separar en dos clases:

a) una deriva térmica diferencial producida por señales diferentes de video en

TABLA 1	Etapa de salida			
	A	AB (npn, npn)	AB (npn. pnp)	B
Máxima deriva en la salida producida por:	(V_{CC})	(V_{CC})	(V_{CC})	(V_{CC})
— disipación de los transistores	—1,3	—1,3	—4,0	—0,6
— cambio temperatura ambiente de 40°C	—2,0	—1,5	+ 1,6	+ 0,5
Zumbido en la salida causado por un zumbido del 1 % en:	(V_{p-p})	(V_{p-p})	(V_{p-p})	(V_{p-p})
alimentación de alta tensión (180V/200V)	1,8	0,2	0,4	0
alimentación de baja tensión (12V)	0,4	1,4	1,8	1,8
Señal entrada 90 ns	(ns)	(ns)	(ns)	(ns)
tiempo de subida	130	110	100	105
tiempo de caída	130	110	100	105
señal entrada 50 ns				
tiempo de subida	105	85	75	80
tiempo de caída	115	70	75	80
Ancho de banda gran señal	(MHz)	(MHz)	(MHz)	(MHz)
—3 dB	4,0	5,0	5,0	5,2
—6 dB	>10	8,0	6,0	6,5
Ancho de banda pequeña señal				
—3 dB	4,0	6,2	7,2	7,4
—6 dB	>10	8,5	8,5	9,5
Maximo consumo corriente	(mA)	(mA)	(mA)	(mA)
alimentación de alta tensión (180V/200V)	43	28	31	24
alimentación de baja tensión (12V)	13	38	51	36

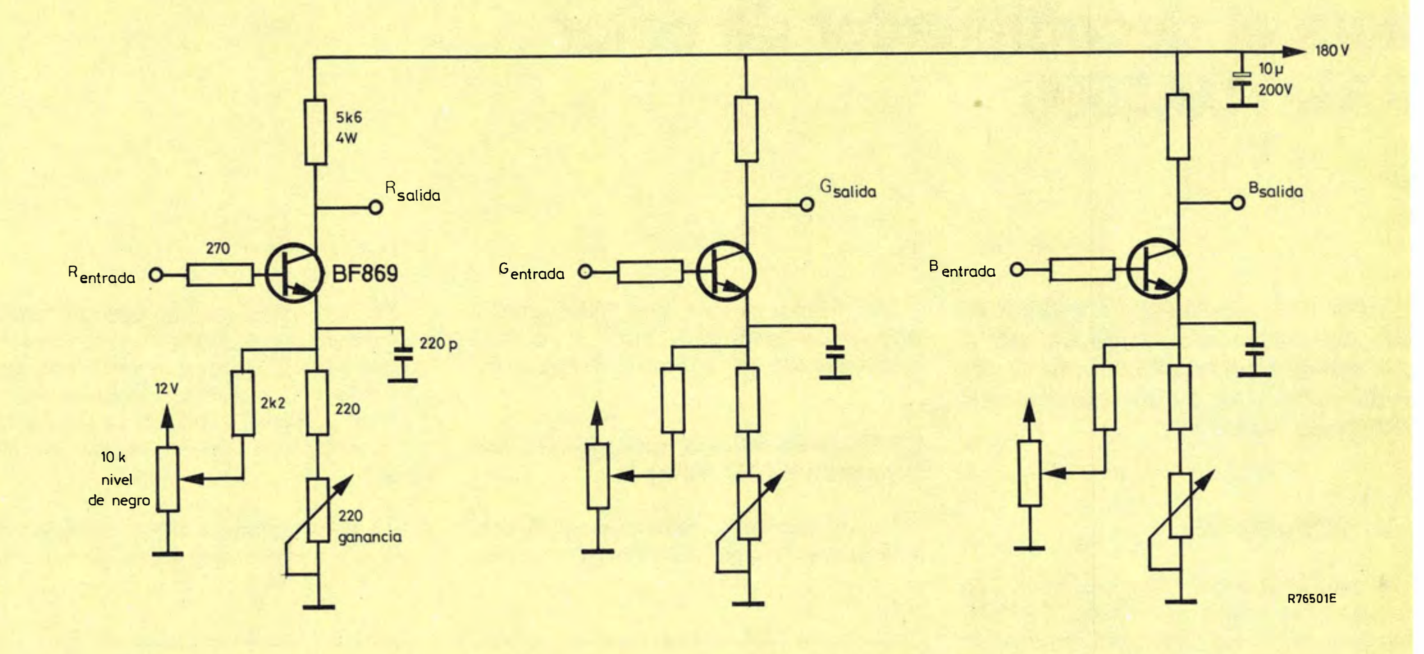


Figura 1. Etapas de salida en clase A.

Figura 2. Etapas de salida en clase AB, con dos transistores NPN.

cada una de las tres etapas, que calientan al transistor T_1.

b) una deriva térmica común causada por señales similares en las tres etapas que calientan el transistor T_1; cambios en la temperatura ambiente y deriva térmica de la tensión de referencia V_{ref}.

En cuanto al apartado a), la diferencia en la salida se puede despreciar, ya que es menor que 0,25 Vc.c.

Por lo que respecta a b), normalmente se usa un diodo zener como tensión de referencia de baja impedancia. En nuestro caso se debería usar una tensión estabilizada de 2,3 Vc.c. para conseguir unos ajustes independientes de la ganancia $R_5/(R_1 + R_2)$ y el nivel de negro $R_5/(R_3 + R_4)$ para señales de entrada con un nivel de negro nominal de 3 Vc.c.

Sin embargo, el uso de un estabistor (por ejemplo de 2,1 V) causaría una deriva térmica común en la salida con un cambio en la temperatura ambiente de 40 °C de:

$$\Delta T(°C) \times S_F(mV/°C) \times R_5/(R_3 + R_4) =$$

$$40 \times -5 \times 48{,}6 = -9{,}7 \text{ Vc.c.}$$

La deriva en la salida causada por el transistor inferior T_1 con un cambio en la temperatura ambiente de 40 °C es:

$$40 \times -2 \times 48{,}6 = -3{,}9 \text{ Vc.c.}$$

Esto significa que no hay compensación de derivas para cambios en la temperatura ambiente, y que la deriva común total sería de —13,6 Vc.c. Esto implica que no se puede usar un estabistor como tensión de referencia.

La solución a este problema es usar el circuito que se muestra en la figura 2, que está diseñado de tal forma que compensa la deriva térmica causada por los cambios en la temperatura ambiente así como la deriva térmica causada por el propio calentamiento del transistor T_1.

Si se desea una compensación en frecuencia se puede conectar un pequeño condensador C_1 en paralelo con la resistencia R_1 (véase la figura 2). En la tabla 1 se muestran los resultados de las medidas.

2.3. Etapa de salida en clase AB complementaria (NPN, PNP) (figura 3)

En este tipo de etapa de salida la resistencia R_5 de realimentación está conectada a la base del transistor de entrada T_1. Por la misma razón que se ha mencionado en el apartado 2.2, no se puede usar un estabistor como tensión de referencia. Por lo tanto, se usa un circuito equivalente al que

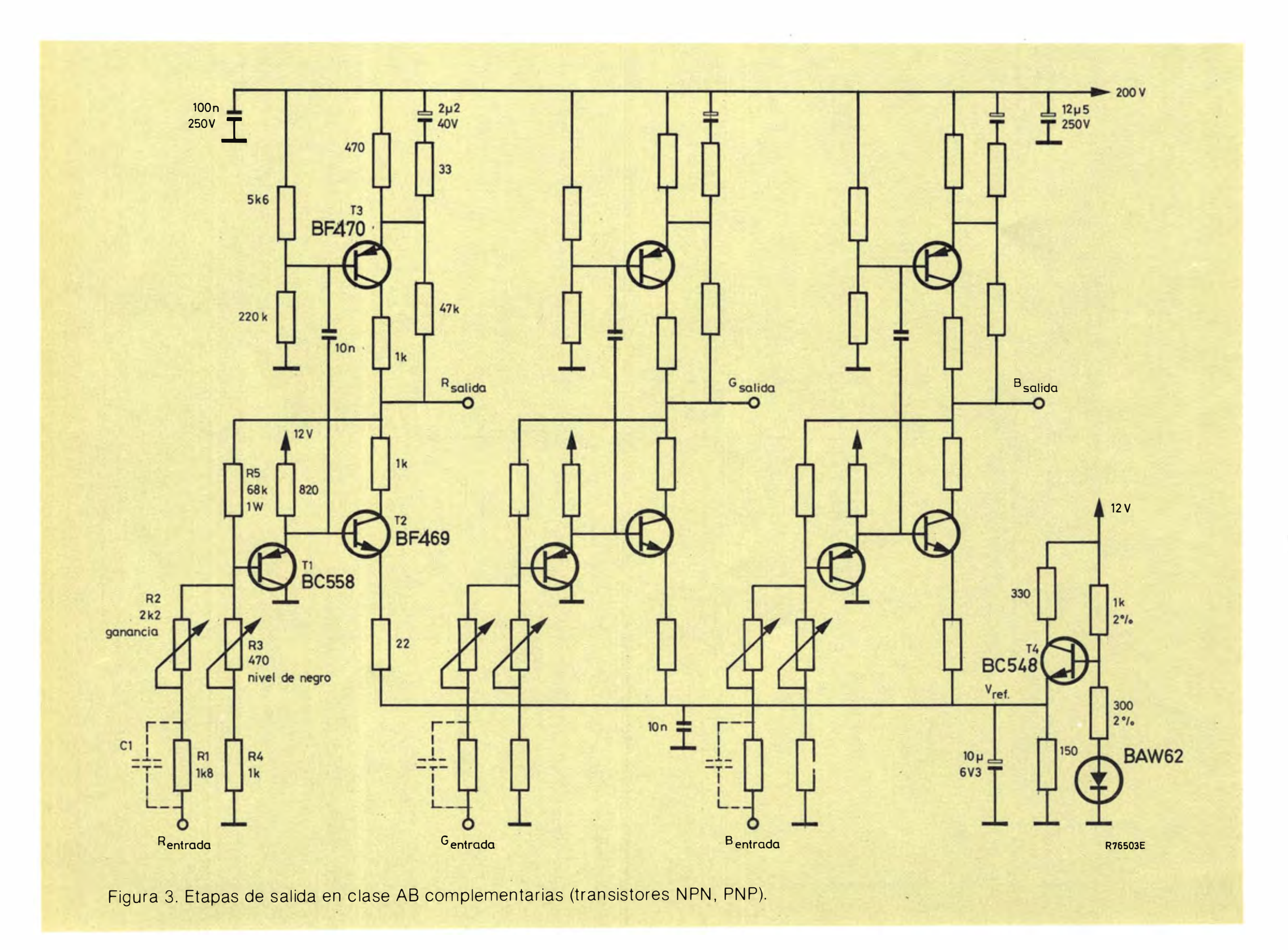


Figura 3. Etapas de salida en clase AB complementarias (transistores NPN, PNP).

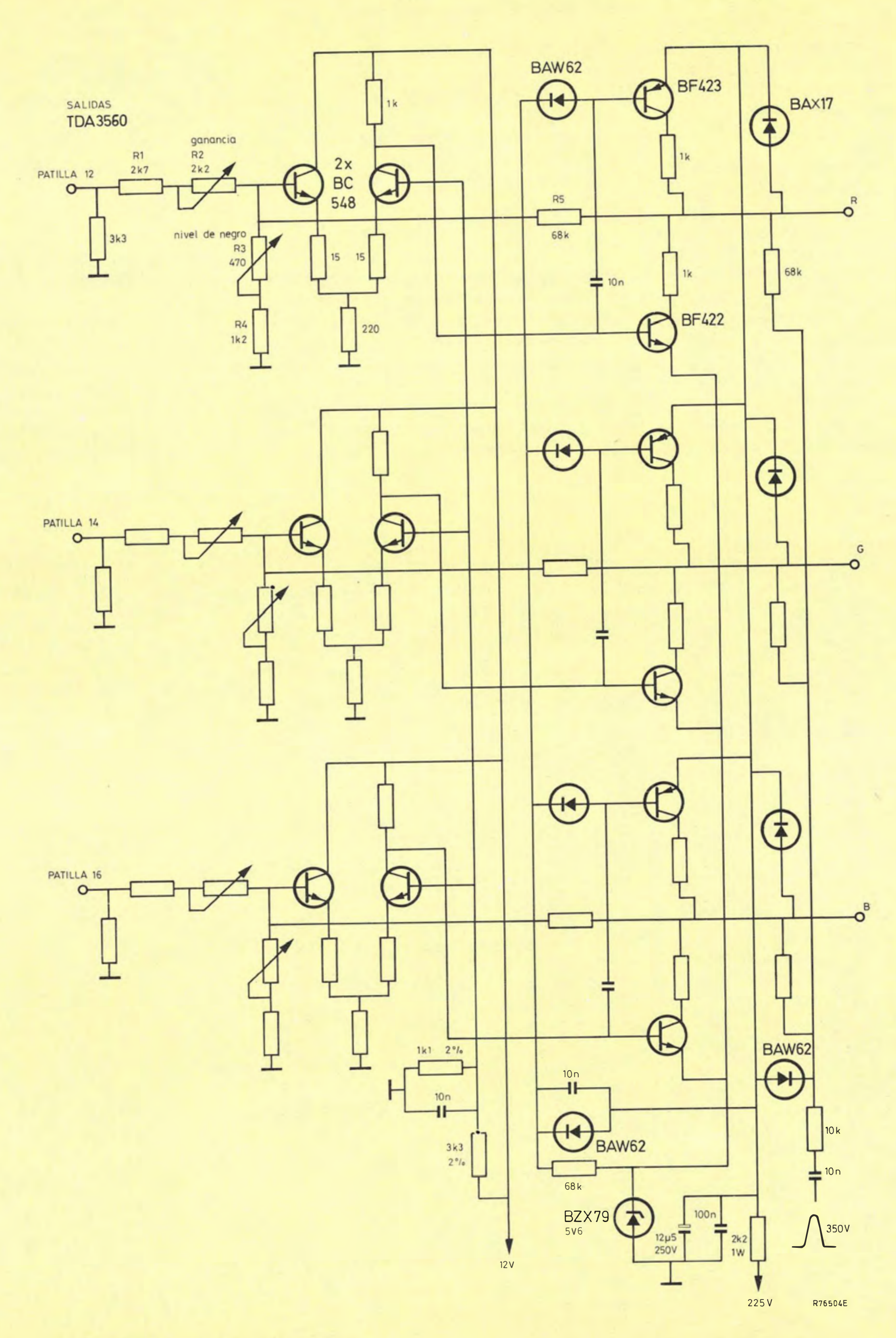


Figura 4. Etapas de salida en clase B.

se usó en la etapa de salida clase AB con dos transistores NPN.

Sin embargo, la deriva térmica no se puede compensar completamente debido a que en este caso la deriva térmica del transistor de baja tensión T_4 (baja disipación de potencia) tiene que compensar la deriva térmica del transistor de alta tensión T_2 (gran disipación de potencia). Esto da lugar a:

a) una deriva térmica diferencial, causada por señales de video diferentes en las tres etapas, de 1,5 Vc.c. máximo.
b) una deriva térmica común, causada por señales de video similares en las tres etapas, de —4,0 Vc.c. máximo, y una deriva térmica común causada por un cambio en la temperatura ambiente de 40 °C, de 1,6 Vc.c. máximo.

Nota: La deriva térmica causada por el transistor T_2 no será compensada por la deriva térmica causada por el transistor T_1 debido a la disipación de potencia diferencial entre estos dos transistores.

Esta etapa de salida en clase AB complementaria también tiene ajustes independientes para la ganancia $R_5/(R_1 + R_2)$ y el nivel de negro $R_5/(R_3 + R_4)$, para un nivel de negro nominal de entrada de 3,0 Vc.c. Se puede conectar un condensador C_1 en paralelo con la resistencia R_1 para compensación de frecuencia. En la tabla 1 se pueden ver los resultados medidos.

2.4. Etapa de salida en clase B (NPN, PNP) (figura 4)

Aunque el decodificador PAL de un solo circuito integrado TDA 3560 no se pensó para excitar una etapa de salida en clase B (no tiene entradas de realimentación), se ha diseñado una aplicación con este propósito.

La elevada ganancia de lazo, que se necesita para esta clase de etapa de salida, se obtiene utilizando amplificadores diferenciales discretos formados por dos transistores de baja tensión BC548. Se usa un diodo zener de 5V6 como tensión de referencia, ya que su coeficiente de temperatura es próximo a cero.

Es difícil que se produzca alguna deriva térmica con esta etapa de salida debido a su gran ganancia de lazo y a su compensación de temperatura obtenida al usar transistores idénticos para los amplificadores diferenciales.

Esta etapa de salida tiene también ajustes independientes para la ganancia $R_5/(R_1 + R_2)$ y el nivel de negro $R_5/(R_3 + R_4)$ para un nivel de negro nominal a la entrada de 3,0 Vcc. En la tabla 1 se pueden ver los resultados medidos.

Sugerencia práctica: Las líneas de alimentación para todas estas etapas de salida deben estar separadas de la alimentación del C.I. decodificador TDA3560, para evitar influencias mutuas debidas a impulsos de interferencia. Esto se puede conseguir poniendo una inductancia de unos 10 μH en la misma patilla 1 del TDA3560 (terminal de la alimentación).

Los terminales de masa de las etapas de salida y del decodificador se deben conectar directamente a tierra.

3. MEDIDAS

Se construyeron los cuatro tipos de etapas de salida y se han medido los siguientes parámetros:

— Máxima deriva en la tensión de salida causada por el propio calentamiento de los transistores.
— Máxima deriva en la tensión de salida causada por un cambio de 40 °C en la temperatura ambiente.
— Tiempos de subida y de bajada de una señal de salida de 100 $V_{p\text{-}p}$ para una señal de entrada con 90 ns (manejo de video normal) y de 50 ns (inserción de datos).
— Ancho de banda con gran señal (100 $V_{p\text{-}p}$) y con una pequeña señal (60 $V_{p\text{-}p}$).
— Máximo consumo de corriente.

En las figuras 5a y 5b se muestran los circuitos de carga equivalentes al cableado y tubo de imagen, que se usaron al probar las etapas de salida.

En la tabla 1 se han resumido los resultados.

Figura 5. Circuitos de carga equivalentes al cableado y tubo de imagen.
a) Utilizado en la etapa de clase A (sin cableado).
b) Utilizado en las etapas de salida clase AB y B.

4. AJUSTES

Las etapas de salida tienen ajustes independientes para la ganancia y el nivel de negro (con la excepción de la etapa de salida en clase A) para un nivel de negro en la entrada de 3 Vc.c. Este nivel de negro de 3 Vc.c. se eligió para conseguir un nivel ultra-negro durante el retroceso y para conseguir un margen de ajuste de brillo tanto positivo como negativo.

Ajuste de las etapas de salida

— Poner la tensión de control de brillo de manera tal que el nivel de negro de la señal de entrada de la etapa de salida sea de 3,0 Vc.c.
($V_{brillo} \simeq 2{,}0$ Vc.c.)
— Ajustar la resistencia R_3 para el nivel de negro de salida deseado (nivel de corte) para cada cañón.
— Ajustar la resistencia R_1 para el punto blanco nominal.

5. CONCLUSIÓN

Se diseñaron cuatro tipos de etapas de salida de las cuales la etapa de salida en clase AB con dos transistores NPN resultó ser la etapa de salida más adecuada para ser excitada por el C.I. TDA3560, debido a:

— mínima deriva térmica;
— pocos componentes;
— baja disipación de potencia.



Balmes, 22 - Tel. 301 63 12
BARCELONA-7

Noviembre 1.980

Apreciado Suscriptor:

Con el presente número de la Revista Miniwatt, hemos incluído un talón de Renovación de Suscripción para 1.981, que le rogamos nos devuelva cumplimentado a la mayor brevedad posible.

Como les decíamos en nuestra primera carta del pasado mes de julio, veríamos con agrado sus sugerencias respecto a la Revista, que pertenece tanto a Vds. como a nosotros, no sólo por vinculación como suscriptores, sino por nuestra unión e interés común con el campo de la Electrónica. Volvemos a insistir que la Revista Miniwatt, será tan solo lo que Vds. deseen que sea y que para ello precisamos de su aliento y colaboración.

Con el agrado de siempre, les saludamos muy atentamente.

Cía. de Productos Electrónicos
" COPRESA, S.A. "

J. Albiol

Registro Mercantil de Barcelona, Tomo 989, Libro 404, Sección 2.ª, Folio 42, Hoja 5779, CIF. A-08-10760

Amplificador de audio Hi-Fi de 12 W con el TDA1512

El circuito integrado monolítico TDA1512 es un amplificador de potencia de audio de alta fidelidad adecuado para receptores de radio y televisión. Puede utilizarse con fuentes de alimentación simétricas y asimétricas. En este artículo se dan las aplicaciones del circuito con una fuente de alimentación asimétrica.

1. INTRODUCCION

El circuito integrado TDA1512 es un amplificador de potencia de audio de alta fidelidad en clase B, encapsulado en plástico con 9 terminales por un solo lado (en inglés ''single-in-line'') tipo SOT131B.

Este circuito se puede usar en aparatos de radio y TV conectados a la red, donde se necesiten potencias de salida de audio de hasta 12 W sinusoidales ó 20 W de potencia musical con una distorsión menor de 0,7 %.

La tensión garantizada de ruptura de 35 V permite el empleo de altavoces de 4 y 8Ω. El diseño con el TDA1512 ofrece una gran flexibilidad, ya que se puede usar con tensión de alimentación simétrica y asimétrica y emplearlo en configuración puente. Incluye además circuitos de protección contra sobrecargas mediante limitación de corriente a la salida y protección térmica.

A continuación se muestra una tabla con algunos datos específicos de este circuito integrado.

— Margen de tensión de alimentación	10-35 V
— Máximo pico repetitivo de corriente a la salida	3,2 A
— Máximo pico no repetitivo de corriente a la salida	5 A
— Temperatura ambiente de trabajo	—25° a +150°C
— Máxima disipación de potencia hasta $T_{ambiente} = 90°C$	15 W
— Resistencia térmica Rth_{j-mb}	⩽ 4 K/W (típica 3 K/W)
— Ganancia de tensión en lazo abierto	74 dB
— Resistencia de entrada en la patilla 1	100 kΩ

2. DESCRIPCION INTERNA DEL CIRCUITO

En la figura 1 se muestra el esquema de bloques del circuito interno del TDA1512.

El amplificador de entrada (T1-T4) es una etapa diferencial PNP conectada en configuración Darlington con una fuente de corriente S1 de 700μA. La polarización en corriente continua para T1 se obtiene del divisor interno de tensión R_A-R_B a través de la patilla 8 y una resistencia externa conectada a la patilla 1. El valor de esta resistencia se debe limitar a un máximo de 100 kΩ por motivos de la tensión de ''off-set''.

La tensión continua de la patilla 8 garantiza a su vez el recorte simétrico de la etapa de salida. El rechazo de rizado de la tensión de alimentación a través de la entrada, patilla 1, se puede mejorar mediante un buen desacoplo en alterna entre las patillas 8 y 1. La excitación de corriente para la etapa excitadora en clase A (T7-T8) se realiza a través del espejo de corriente formado por T5-T6. El condensador integrado C1 determina la frecuencia de corte en lazo abierto.

La fuente de corriente S2 proporciona una corriente continua de 3 mA que pasa por los tres diodos en serie D, para la estabilización de la corriente de reposo de la etapa de salida.
Cada una de las ramas de la etapa de salida cuasi-complementaria consta de dos transistores NPN acoplados en configuración Darlington (T9-T10 y T13-T14).

El excitador de ganancia unidad en clase B (T11-T12) proporciona el desplazamiento de fase de 180° para la etapa de salida inferior.

El amplificador tiene unos cuantos circuitos internos para protegerlo contra cortocircuitos del altavoz, desadaptación de la carga y transitorios de conexión y desconexión en la línea de alimentación. La etapa de salida inferior está limitada en corriente y un circuito de corte térmico protege al circuito integrado de temperaturas en el chip superiores a 150°C.

3. CIRCUITO AMPLIFICADOR BASICO

En la figura 2 se muestra el circuito amplificador básico del TDA1512 para aplicaciones con tensión de alimentación asimétrica. En la figura 3 se muestra la distribución de componentes y una vista del circuito impreso por el lado del cobre.

La ganancia de tensión en lazo cerrado A_c se puede elegir mediante la relación de las resistencias externas R_4 y R_5.

$$A_c = 20 \log \frac{R4 + R5}{R4}$$

Es aconsejable limitar el valor de R5 a ⩽100 kΩ por razones de tensión de ''off-set''. La tensión continua de la patilla 8 (1/2 Vp) se debe conectar a la patilla 1 a través de la resistencia externa R2. Para una simetría perfecta R2 debe ser igual a R5.

El rechazo de rizado en la tensión de alimentación está determinado fundamentalmente por el divisor interno de tensión R_A-R_B de la figura 1, el valor de C2 y el circuito de entrada de la patilla 1. Para permitir repetidas conexiones y desconexiones de la

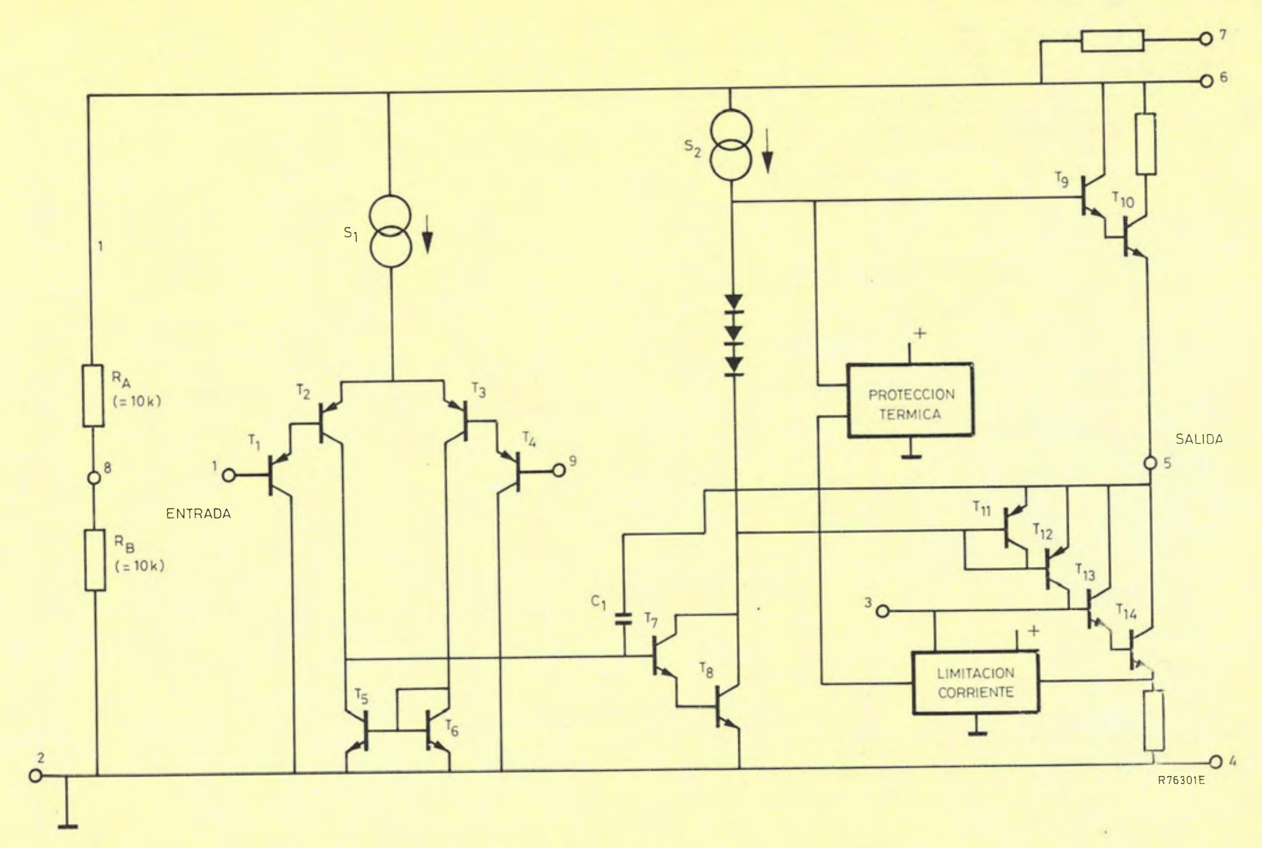


Figura 1. Diagrama de bloques del circuito interno del TDA1512.

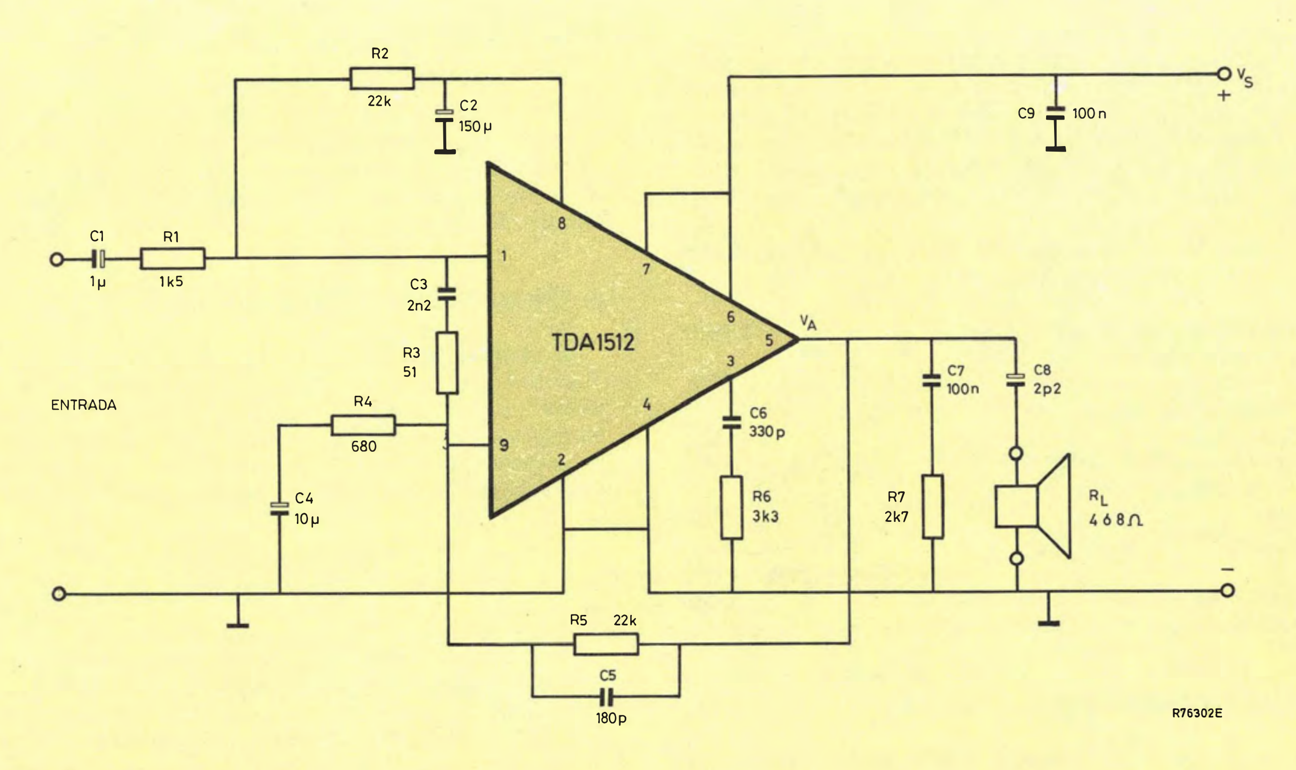


Figura 2. Esquema básico del circuito de aplicación.

tensión de alimentación, se debe limitar el valor de C2 a 150μF. Si se desea un rechazo de rizado mayor de 50 dB, se debe aplicar un doble filtro R-C entre las patillas 8 y 1. Con el circuito de la figura 4 es posible un rechazo de rizado de 60 dB a 100 Hz.

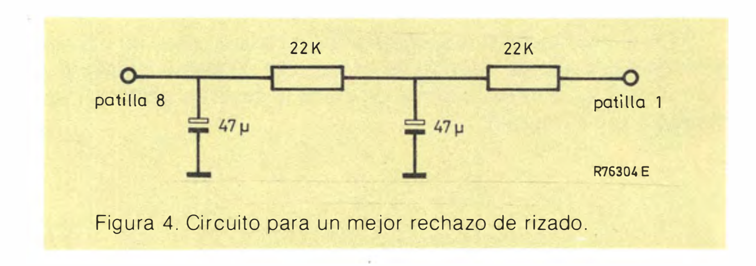


Figura 4. Circuito para un mejor rechazo de rizado.

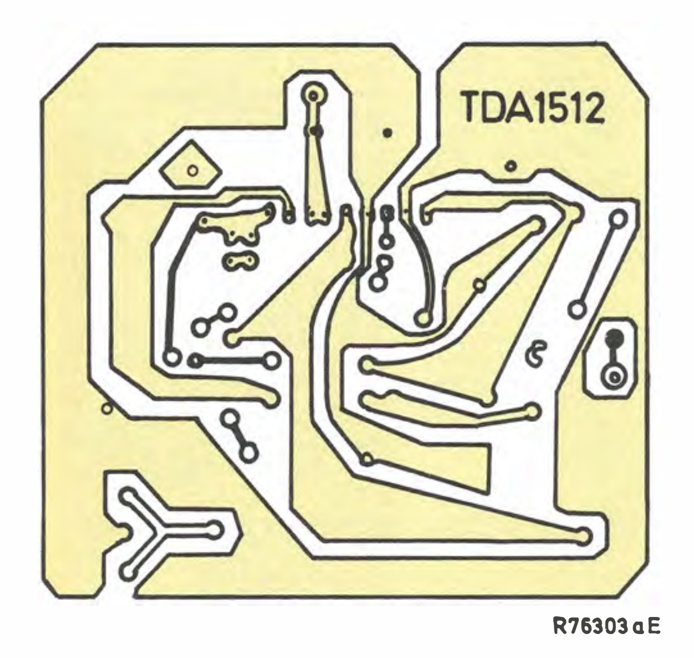
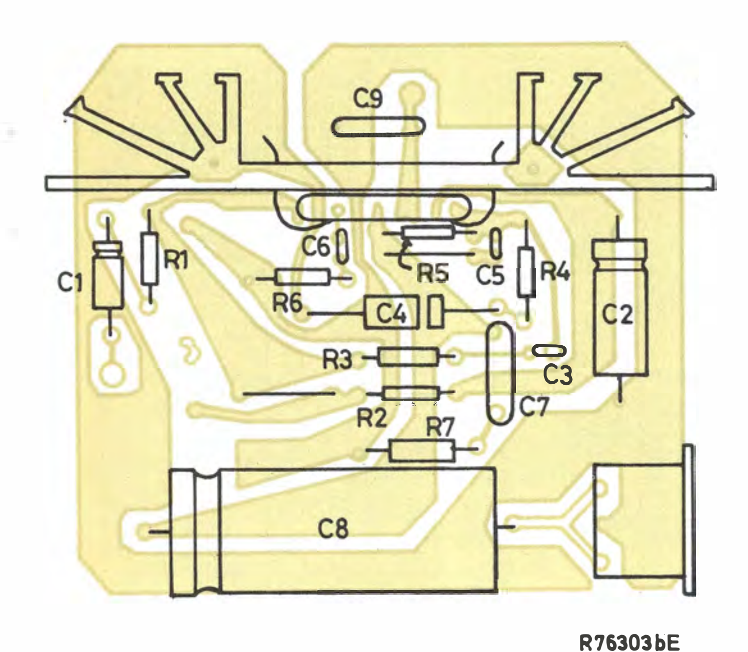


Figura 3. Placa de circuito impreso. (a) Lado del cobre. (b) Lado de los componentes



Se recomienda comprobar el comportamiento del sistema al conectar y desconectar la alimentación en cada aplicación.

En general las etapas de salida cuasi-complementarias tienen siempre un nivel mayor de distorsión secundaria de cruce que las etapas totalmente complementarias. Este comportamiento se mejora con el filtro serie R6-C6 de la patilla 3.

Se mejora la estabilidad en alterna usando un condensador de desacoplo de 0,1μF tan cerca como sea posible de las patillas 6-7 del circuito integrado y un filtro Boucherot R7-C7 en la patilla 5.

Se consigue una buena inmunidad a radiofrecuencias y limitación de altas frecuencias con los componentes externos R1, R3, C3 y C5. En la circuitería externa hay varias constantes de tiempo tales como:

$$\tau_1 = C5 \cdot R5$$

$$\tau_2 = C5 \cdot \frac{R4 \cdot R5}{R4 + R5}$$

$$\tau_3 = C3 \cdot R3$$

$$\tau_4 = C3 \cdot R1$$

Para una buena estabilidad en lazo cerrado se deben cumplir:

$$\tau_1 = \tau_4 \text{ y } \tau_2 = \tau_3$$

Si elegimos la ganancia de tensión en lazo cerrado, el valor de R5 y la respuesta de frecuencia en lazo cerrado, quedan entonces determinados R4, C3, τ_1 y τ_2

Ya que se debe cumplir:

$$\frac{R1}{R5} = \frac{R3}{R4 \,/\!/\, R5} = \frac{C5}{C3}$$

también se pueden calcular R1, R3 y C3.

Para garantizar la estabilidad total para toda clase de cargas complejas, puede ser necesario conectar un circuito L-R en paralelo, en serie con el terminal de salida (L≈5,2μH, R≈2,2Ω)

4. INSTRUCCIONES DE MONTAJE Y CÁLCULOS TÉRMICOS

4.1 Montaje del encapsulado Sot-131 B

Se puede montar el TDA1512 en un disipador de calor con:

a) Dos tornillos de 5 mm. Preferiblemente con arandela entre la cabeza del tornillo y el plástico del encapsulado.
b) Clip de presión.

Con el método a) el par medio aconsejado debe ser de 0,5 Nm (>0,2 Nm).

La resistencia térmica entre la base de montaje y el disipador ($R_{th_{mb-h}}$) es ≈ 0,5°C/W sin silicona intermedia y de ≈ 0,2°C/W con silicona.

Para el montaje con clip, método b), se puede usar un clip ya existente (código N° 56379). El grosor del disipador puede variar entre 2 y 3,5 mm. La forma de los orificios en el disipador se muestra en la figura 5.

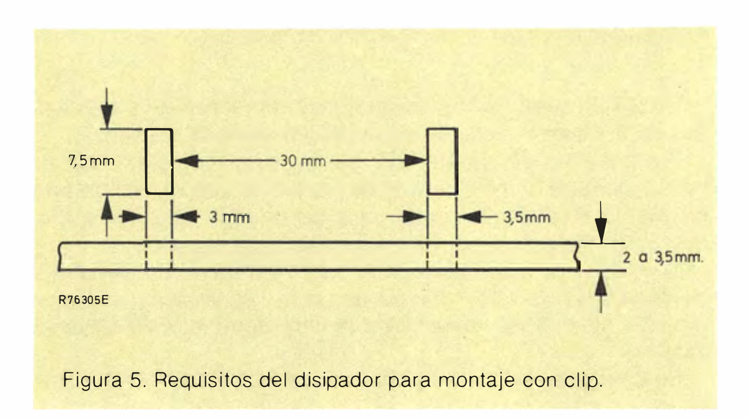


Figura 5. Requisitos del disipador para montaje con clip.

4.2 Cálculos térmicos

Se supone que el factor de regulación de las fuentes de alimentación en equipos Hi-Fi es de 0,15, es decir:

$$\frac{V_{so} - V_s}{V_{so}} \approx 0{,}15$$

donde V_{so} es la tensión de alimentación en vacío y V_s es la tensión a plena carga.

La tensión de alimentación en el peor caso de disipación con onda sinusoidal es:

$$V_s\,(2/\pi) = V_{so}\left(1 - \frac{V_{so} - V_s}{V_{so}} \times 2/\pi\right) \approx 0{,}9\ V_{so}$$

Con una $V_s = 25$ V, $V_s\,(2/\pi)$ será 26,5 V. Teniendo en cuenta una sobretensión de red del 10%, la disipación del circuito de la figura 2 en el peor caso, con un altavoz de 4 Ω será de 10,5 W.

Con una temperatura ambiente de 45 °C máxima, la resistencia térmica total necesaria será:

$$R_{th_{j-a}} = \frac{T_{j\,máx} - T_{a\,máx}}{P_{tot}} = \frac{(150\text{-}45)°C}{10{,}5\ W} = 10°C/W$$

Por lo tanto, la resistencia térmica del disipador es:

$$R_{th(h-a)} = R_{th(j-a)} - R_{th(j-mb)} R_{th(mb-h)} = (10\text{-}4\text{-}0{,}2)°C/W = 5{,}8°C/W$$

5. REPRESENTACIÓN DE CARACTERÍSTICAS

A continuación se dan algunos gráficos de las características del circuito de aplicación del TDA1512 de la figura 2.

5.1. Características del circuito en función de la tensión de alimentación

Se miden varias características del circuito en función de la tensión de alimentación (entre 10 y 35 V).

5.1.1. Consumo de corriente de reposo

En la figura 6 se muestra el consumo de corriente en reposo en función de la tensión de alimentación.

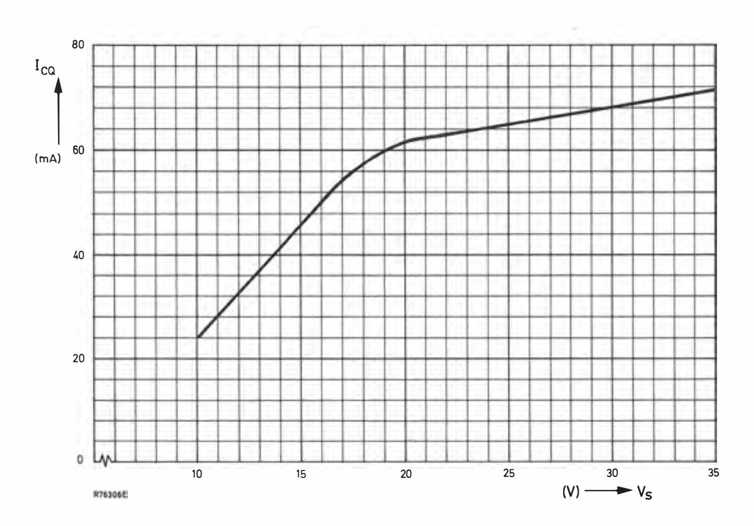


Figura 6. Corriente de reposo en función de la tensión de alimentación.

5.1.2. Tensión de la toma media

En la figura 7 se da la tensión en la toma media entre los terminales 4 y 5, en función de V_s.

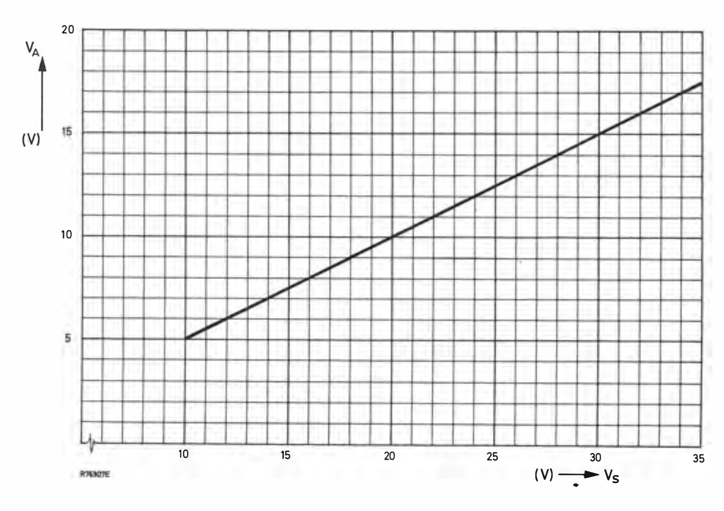


Figura 7. Tensión en la toma media en función de la tensión de alimentación.

5.1.3. Distorsión armónica y potencia de salida

En las figuras 8 y 9 se muestra la potencia de salida típica en función de la tensión de alimentación para una $d_{tot} = 0,7\%$ y 10% respectivamente, con una f = 1 kHz, para R1 = 4 Ω y 8 Ω y 30 dB de ganancia de tensión.

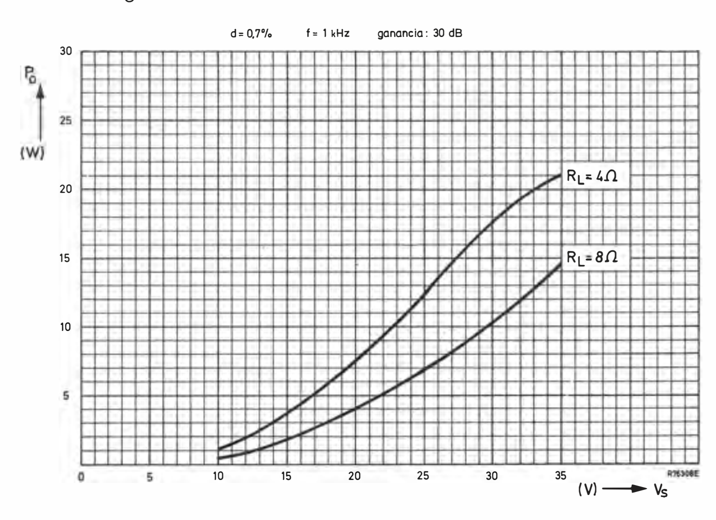


Figura 8. Potencia de salida en función de la tensión de alimentación.

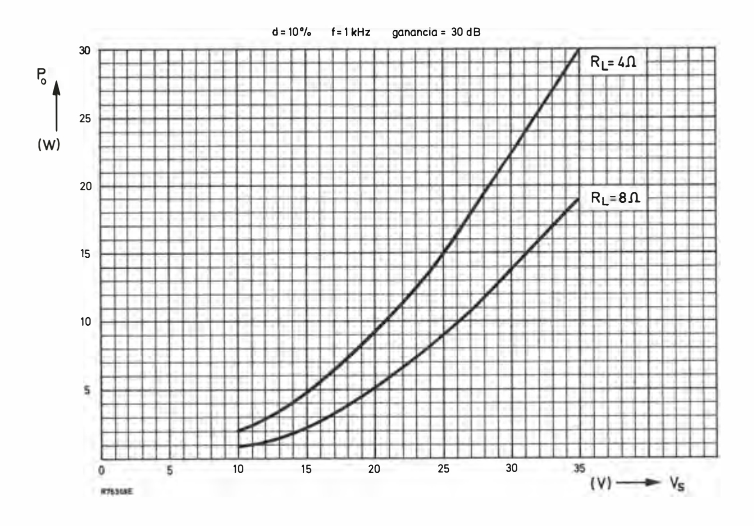


Figura 9. Potencia de salida en función de la tensión de alimentación.

5.1.4. Disipación de potencia y rendimiento

En la figura 10 se muestran la potencia total disipada en el circuito integrado y el rendimiento en función de la potencia de salida, con $V_s = 25$ V, f = 1 kHz y $R_L = 4\,\Omega$.

En la figura 11 se muestra la potencia total en función de V_s para cargas de 4 Ω y 8Ω.

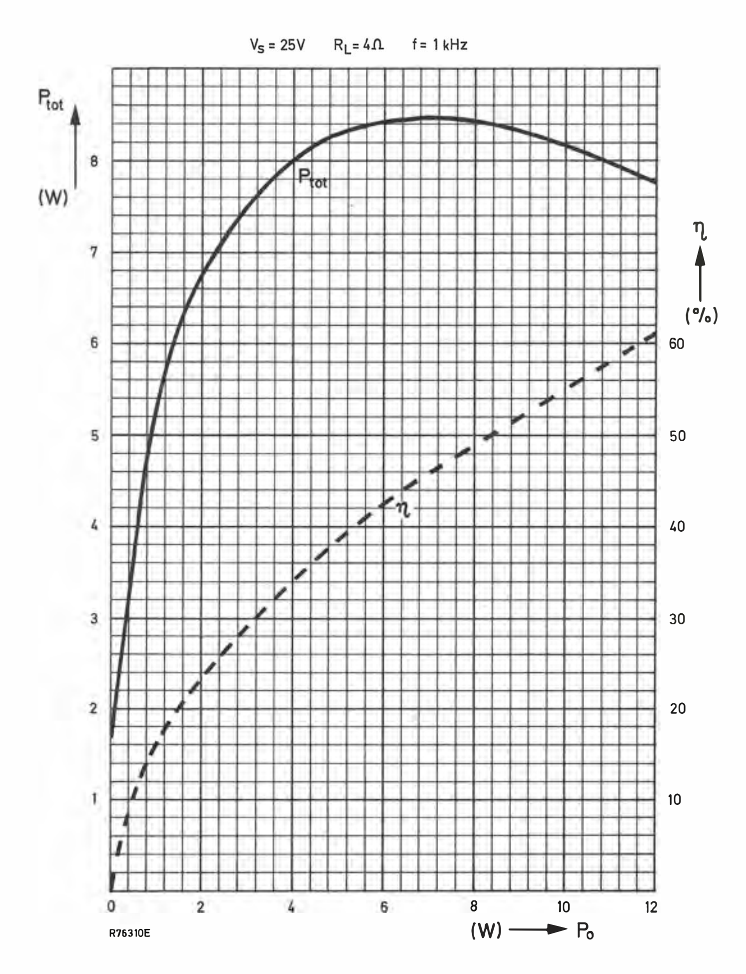


Figura 10. Disipación de potencia y rendimiento en función de P_o

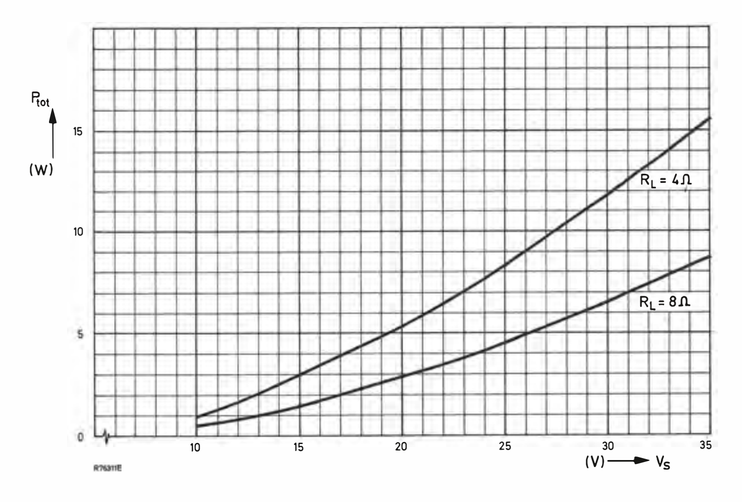


Figura 11. Disipación de potencia en función de la tensión de alimentación para $R_1 = 4\Omega$ y 8Ω.

5.1.5. *Impedancias de entrada y salida*

La impedancia de entrada del circuito integrado en la patilla 1 es ≫100 k Ω. La impedancia de entrada del circuito de aplicación de la figura 2 está determinada básicamente por las resistencias exteriores R1 y R2 (valor aproximado 23 kΩ).

Es recomendable limitar esta resistencia externa a 100 kΩ La impedancia de salida en la patilla 5 es 0,06 Ω para f = 1 kHz.

5.1.6. *Ganancia en lazo abierto en función de la frecuencia*

En la figura 12 se muestra la ganancia de tensión en lazo abierto típica en función de la frecuencia para este circuito integrado. En estas medidas se han omitido R1, R3, C3 y C5.

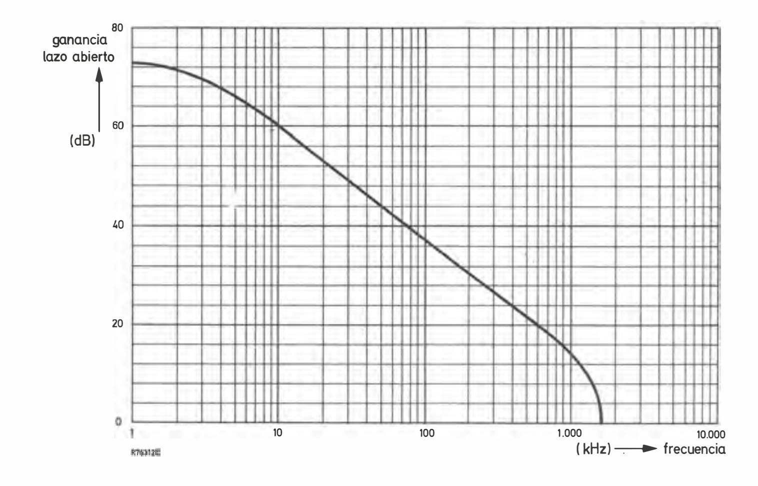


Figura 12. Ganancia de tensión de lazo abierto en función de la frecuencia.

5.2. Características del circuito de aplicación

En el circuito de aplicación de la figura 2 se han medido características adicionales para $V_s = 25$ V, $R_L = 4\Omega$, $T_{amb} = 25°C$, y si no se especifica otra cosa f = 1 kHz. Los valores dados son típicos.

5.2.1. *Ganancia*

La sensibilidad de entrada para $P_o = 10$ W es de 225 mV (210 mV en la entrada del circuito integrado) y, 16 y 13 mV respectivamente para $P_o = 50$ mW.

5.2.2. *Respuesta en frecuencia*

En la figura 13 se muestra la respuesta en frecuencia para una potencia de salida de 1,2 W.

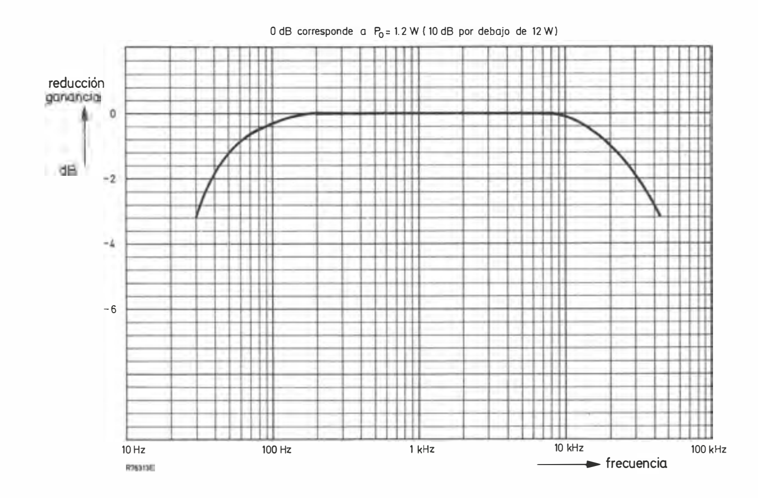


Figura 13. Respuesta de frecuencia (nivel de referencia Po≃1,2W)

5.2.3. *Ancho de banda de potencia*

En la figura 14 se muestra el ancho de banda de potencia para una $d_{tot} = 0,7\,\%$.

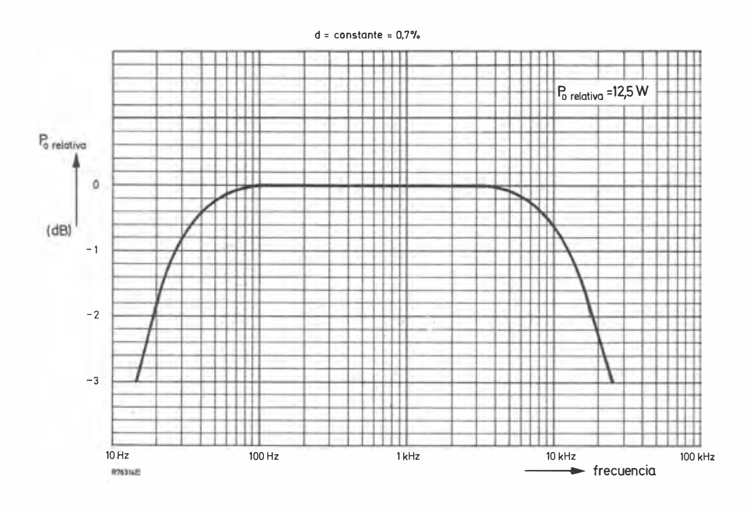


Figura 14. Ancho de banda de potencia para d = 0,7 %.

5.2.4. *Ruido*

La relación señal/ruido no compensada para $P_o = 50$ mW y $R_s = 0\,\Omega$ es de 72 dB. La relación señal/ruido compensada, medida de acuerdo con I.E.C. 268-3, curva A, es 76 dB con respecto a una $P_o = 50$ mW.

5.2.5. *Distorsión*

Se han medido varias cl

5.2.5.1. Distorsión armónica

En la figura 15 se muestra la distorsión armónica en función de la potencia de salida para tres frecuencias: 20 Hz, 1 kHz y 12,5 kHz. En la figura 16 se muestra la distorsión en función de la frecuencia para una $P_o = 6$ W.

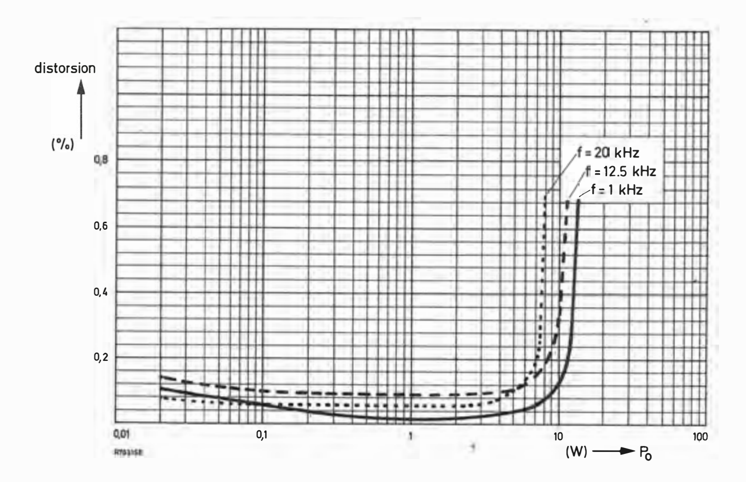


Figura 15. Distorsión armónica en función de la potencia de salida con 20 Hz, 1 kHz y 12,5 kHz para $R_L = 4\Omega$.

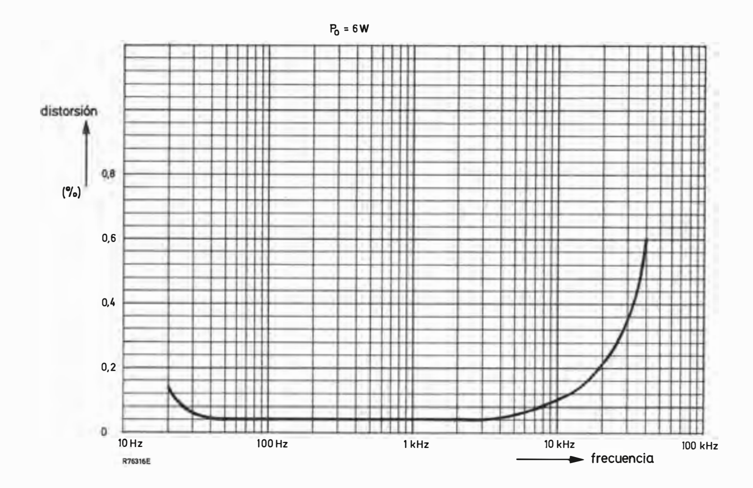


Figura 16. Distorsión armónica en función de la frecuencia para $P_o = 6$ W.

5.2.5.2. Distorsión de intermodulación

La distorsión de intermodulación para $P_o = 1$ W es de 0,05% y con $P_o = 10$ W es de 0,3% ($f_1 = 250$ Hz, $f_2 = 8$ kHz; V_i (f_1): V_i (f_2) = 4:1)

5.2.5.3. Distorsión secundaria de cruce

En la figura 17 se muestra la distorsión secundaria de cruce para f = 12,5 kHz y $P_o = 1$ W. El oscilograma presenta la señal

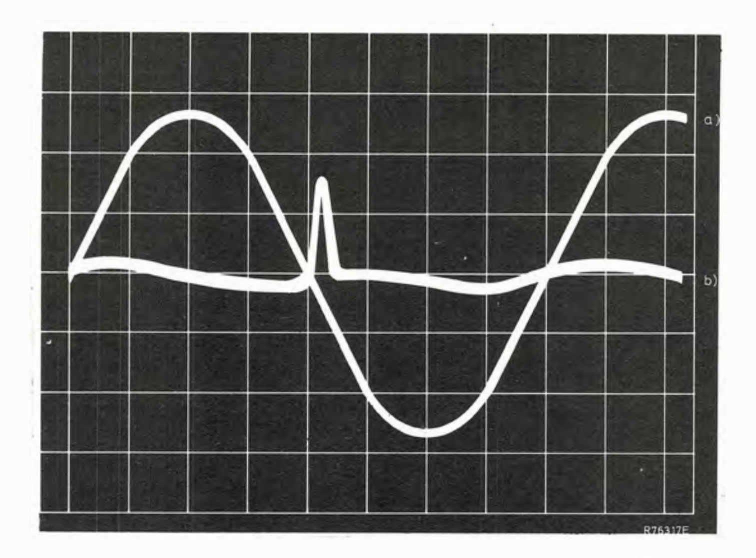


Figura 17. Distorsión secundaria de cruce para f = 12,5 kHz y Po = 1 W. (a) Señal de salida para Po = 1 W. (b) Distorsión residual (con d = 0,07%).

de salida y la distorsión remanente, que corresponde a un nivel de distorsión del 0,07%.

5.2.5.4. Distorsión de intermodulación transitoria

En la figura 18 se muestra un espectro de distorsión de intermodulación transitoria referida a $P_o = 10$ W. Esta distorsión está medida de acuerdo con el método de Otala. Se mezcla una señal cuadrada de 3,18 kHz, después de pasarla por un filtro de 100 kHz, con una señal sinusoidal de 15 kHz. Ambas señales tienen una relación de tensiones pico a pico de 4:1. La amplitud de la señal de salida total corresponde a una amplitud de 10 W de potencia sinusoidal. La distorsión de intermodulación transitoria calculada a partir de la figura 18 es de 0,47%.

5.2.6. Velocidad de subida (en inglés ''slew rate'')

La velocidad de subida del amplificador es de 7 V/μs.

5.2.7. Rechazo de rizado en la fuente de alimentación

El rechazo de rizado en la fuente de alimentación para f = 100 Hz es de 50 dB (Ver Apéndice).

5.2.8. Cortocircuito

El circuito integrado TDA1512 está protegido contra cortocircuitos en corriente alterna en combinación con una fuente de alimentación práctica con un factor de regulación ⩾ 0,15.

La señal de excitación a la entrada debe ser igual o menor que la necesaria para la máxima potencia de salida.

Se aconseja colocar una resistencia en serie con la línea de alimentación cuando se usen fuentes de alimentación estabilizadas. El valor de esta resistencia debe ser tal que en condiciones de cortocircuito la tensión de alimentación en extremos del circuito integrado sea ⩽ 23 V.

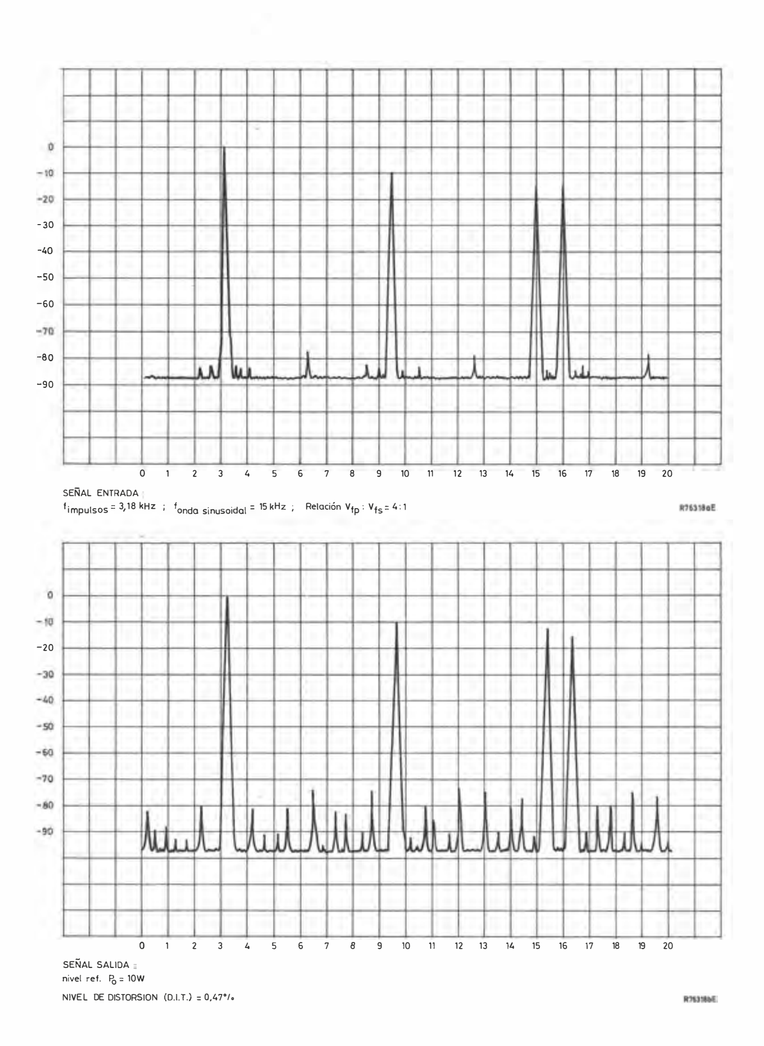


Figura 18. Espectro de distorsión de intermodulación transitoria (método de Otala)

APÉNDICE

El rechazo de rizado en la tensión de alimentación (S.V.R.) depende del valor de varios componentes externos o internos y de la ganancia en lazo cerrado (A_c) del TDA1512.

En la figura 19 se muestra el circuito equivalente que es importante para este fenómeno.

$$R_A = R_B \approx 10\ k\,\Omega$$

Estas resistencias son internas al circuito integrado. R1, R2, C1 y C2 son componentes aplicados externamente en el circuito de la figura 2.

De la figura 19 se deduce fácilmente que el rechazo expresado en dB es:

$$S.V.R. \approx 20 \log \frac{V_{S\,rizado}}{V_{O\,rizado}}$$

$$\simeq 20 \log \frac{\sqrt{\left[(R_1+R_2)^2+\left(\frac{1}{\omega C_1}\right)^2\right]\left[R_A^2+\left(\frac{1}{\omega C_2}\right)^2\right]}}{A_c \frac{1}{\omega C_2}\sqrt{R_1^2+\left(\frac{1}{\omega C_1}\right)^2}}$$

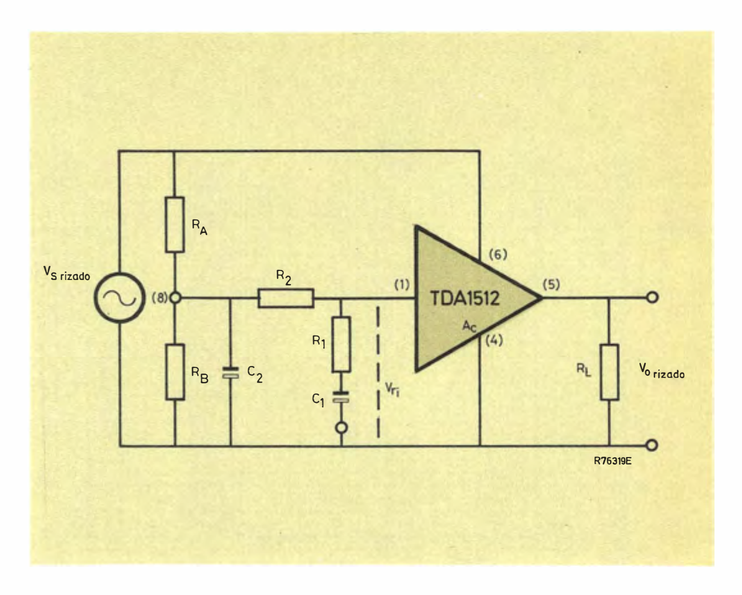


Figura 19. Circuito equivalente para rechazo de rizado de tensión de alimentación.

Sistema compacto de potencia aislado de red, para receptores de televisión en color

PARTE II

La primera parte de este artículo se publicó en Revista Miniwat volumen 19, números 8 y 9. En este número se describe el módulo de control con el TDA2582 y algunas combinaciones de circuitos integrados.

El artículo concluirá en volumen 20, número 1 de esta revista.

11. MODULO DE CONTROL CON TDA 2582

11.1 Circuito integrado de control

El TDA 2582 es un circuito integrado monolítico adecuado para el control de fuentes de alimentación. Está provisto de circuitos que permiten excitar la etapa de desviación horizontal.

Las características más importantes del circuito son las siguientes:

- Oscilador horizontal controlado por tensión.
- Detector de fase.
- Control del ciclo de trabajo mediante el transitorio de paso a cero en la señal de salida.
- El ciclo de trabajo va aumentando desde cero hasta que alcanza su valor nominal en el momento de la conexión.
- Máximo ciclo de trabajo ajustable.
- Protecciones contra sobretensión y sobrecorriente con arranque automático después de la desconexión.
- Circuito contador que desconecta permanentemente el circuito después de comprobar n veces que persiste una sobrecorriente o sobretensión.
- Protección en caso de tensión de referencia elevada (diodo zener abierto).
- Protección en caso de tensiones de alimentación demasiado bajas.
- Protección contra fallos en el caso de realimentación.
- Arrastre positivo del ciclo de trabajo y tensión de realimentación cuando la tensión realimentada sea 1,5 voltios más pequeña que la tensión de referencia.

Este circuito integrado es muy parecido al TDA2581, adecuado para fuentes de alimentación conmutadas con excitación directa de la base de tiempos de línea a partir de la fuente.

El TDA2582 se diferencia del TDA2581 en que el transitorio de paso a cero de la señal de salida es el que controla el ciclo de trabajo en lugar del transitorio de paso a positivo.

Por ello, este circuito integrado es adecuado para el sistema de potencia sincronizado, como puede verse en la figura 11, donde se muestran las relaciones de fase entre los impulsos de salida del circuito integrado, la tensión de salida de la fuente que excita el circuito de desviación y los impulsos de retroceso de línea. El transitorio controlado no debe influenciar la fase del impulso de retroceso de línea; de ahí que el TDA2581 no debe aplicarse en un circuito SPP que excite el circuito de desviación horizontal.

11.2. Alimentación del circuito integrado

En un receptor adecuado para control remoto, la función de conexión-desconexión remota puede hacerse por medio de los terminales 4 ó 5 del circuito integrado. Por tanto, es necesario mantener funcionando la fuente del circuito integrado, lo cual se hace fácilmente tomando esta alimentación (terminal 9 del C.I.) del transformador TS561/2 que también alimenta el receptor de control remoto.

En la situación de desconexión remota, la tensión de salida en el terminal 11 del circuito integrado permanece en nivel alto, de manera que el transistor excitador de la fuente permanece en estado de conducción. La corriente obtenida del transformador está limitada por resistencias en serie de unos 120Ω. La corriente suministrada al módulo de control es aproximadamente 18 mA.

Con estas cargas, en condiciones de tensión de red alta (260 V), la tensión continua en el condensador de filtrado de 470μF es 17 voltios. Por tanto, la corriente es igual a 160 mA sin considerar la carga del receptor de control remoto.

El transformador está diseñado para suministrar esta corriente de forma continua sin sobrecalentamiento.

En condición de tensión de red baja (180 V), la tensión continua es exactamente igual a 12 voltios. Para asegurar que también entonces el circuito integrado tiene suficiente tensión para funcionar, se utiliza un transistor en el terminal de alimentación del circuito integrado para estabilizar la tensión.

Una resistencia y un diodo zener no serían suficientes a no ser que se utilizara un transformador mayor que diera al menos 15 voltios en condiciones de baja tensión de red.

11.3 Realimentación

Las tensiones de realimentación y las protecciones, al igual que la sincronización del oscilador, se derivan directamente del receptor, debido a que el circuito integrado está alimentado en el lado aislado de la red.

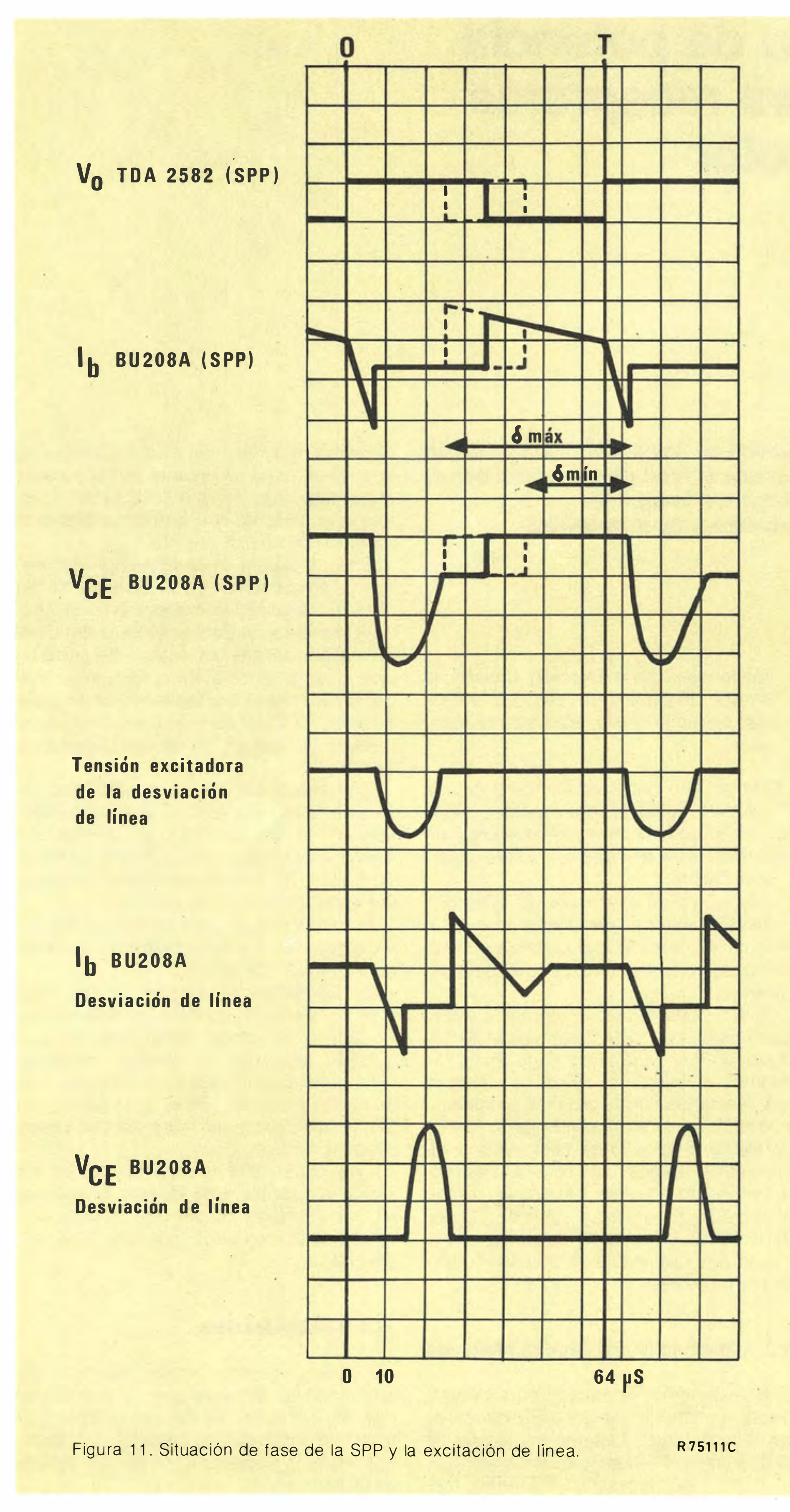


Figura 11. Situación de fase de la SPP y la excitación de línea.

La tensión de realimentación que se lleva al terminal 8 del circuito integrado se toma de la tensión de 148 voltios que alimenta la base de tiempos de línea. Esta tensión se aplica a la entrada de un amplificador diferencial mientras que la otra entrada se conecta al terminal 10.

La estabilidad adecuada del lazo de realimentación se obtiene mediante dos redes RC. Una amortiguadora (1 μF, 2,7 kΩ), conectada en paralelo con los terminales de entrada; y la otra que mejora el amortiguamento de altas frecuencias (1 nF, 39 kΩ), en paralelo con la resistencia serie de 150 kΩ.

La tensión de salida se puede ajustar con exactitud dentro de un margen de ± 8 %. Si se utilizan componentes de tolerancias estrechas, como el diodo zener de 6V2 y el divisor de tensión (150 kΩ 6,2 kΩ), el ajuste podría omitirse.

11.4 Circuitos de protección

La fuente de alimentación está protegida contra fallos en el receptor o en la misma fuente que pudieran dar lugar a sobretensiones, cortocircuitos o sobrecargas peligrosas y a una corriente de haz excesiva.

Las protecciones se han llevado a cabo introduciendo tensiones adecuadas en los terminales 6 y 7 del circuito integrado TDA2582.

El terminal 6 acepta tensiones positivas o negativas. La tensión umbral es ± 0,6 voltios. Este terminal se utiliza para detectar corrientes de haz demasiado elevadas tal como se describe a continuación.

El lado "frío" del bobinado de M.A.T. (terminal 7 del transformador AT2076/70) está conectado a + 148 voltios a través de una resistencia de 125 kΩ. Así, a una corriente de haz de 1,2 mA, la tensión en el terminal 7 del transformador cae a cero. Por otra parte, el terminal 7 también está conectado al circuito limitador de corriente de haz. Esta tensión debe introducirse en el amplificador de luminancia para control de brillo y contraste.

Si este circuito limitador funciona correctamente, la corriente de haz no superará determinado límite y en cualquier caso la tensión en el condensador de 68 μF no llegará a hacerse negativa.

Sin embargo, si este circuito limitador falla por cualquier causa, la corriente de haz continuará aumentando haciendo negativa la tensión en el condensador de 68 μF. Entonces, esta tensión se aplica al terminal 6 del TDA2582 y el circuito se desconecta, volviendo a arrancar automáticamente en cuanto esta tensión negativa ha desaparecido.

Si no ha desaparecido la causa del fallo,

el circuito volverá a conectarse y desconectarse de diez a quince veces hasta que el condensador conectado al terminal 4 se cargue a un nivel de unos 4,5 voltios, después de lo cual el circuito integrado desconecta definitivamente la fuente. En estas condiciones el receptor sólo se puede volver a conectar previa desconexión manual.

El terminal 7 del TDA2582 se utiliza para detectar indistintamente sobretensión o sobrecorriente del BU208A.

La tensión umbral en este terminal viene determinada por el diodo zener de 6V2 conectado en el terminal 10. Este umbral es de unos 6 voltios.

La tensión que se aplica a este punto consiste en un impulso de retroceso de 5 voltios de amplitud nominal que se obtiene del terminal 13 del transformador de salida. El "tiempo de barrido" entre estos impulsos se llena con una tensión derivada del bobinado secundario del transformador sensor de corriente AT4043/46.

Esta tensión se conforma con una red de diodos de manera que se obtiene un impulso plano en su parte superior, cuya amplitud viene determinada en gran parte por la corriente media del colector y no sólo por la corriente de pico. Esto se hace necesario porque los rectificadores del secundario del transformador de salida conducen en su mayor parte durante la mitad del barrido y esta carga no se puede sensar con la corriente de pico al final del barrido. Se puede ajustar la tensión umbral a la cual actúa la protección con la resistencia que está en paralelo con el condensador de 4,7 μF, dependiendo de las necesidades de carga para un tipo determinado de receptor. Debido a este condensador, existe un cierto tiempo muerto antes de que sea detectada una sobrecarga. No obstante, este tiempo es suficientemente corto como para no dañar los dispositivos de conmutación y, por otra parte, la resistencia de este condensador proporciona un filtrado de los picos ocasionados por variaciones bruscas de brillo y audio.

Por consiguiente, se debe elegir el valor de la resistencia en paralelo con el condensador de 4,7 μF, tal que permita un margen, para tolerancias, en el consumo medio de potencia para un determinado tipo de aparato.

Con el circuito de protección descrito, quedan bien protegidos el diodo BU208A, el transformador de salida y otras partes en la fuente de alimentación. Sin embargo, todavía es posible que un cortocircuito parcial dé lugar, en alguno de los circuitos conectados a la fuente, a una disipación elevada en la parte defectuosa. Esto no siempre es detectado por la fuente como sobrecarga importante, puesto que no se llega a sobrepasar la tensión umbral.

Por ejemplo, un cortocircuito en el circuito de desviación vertical daría lugar a una disipación de casi 50 vatios en la resistencia de 22 Ω puesta en serie con la alimentación. Si se quiere evitar esto puede utilizarse un fusible o una resistencia protegida térmicamente. Lo mismo puede suceder en el amplificador de audio.

11.5 Limitación del ciclo de trabajo máximo

En el circuito integrado se ha incorporado una limitación del máximo ciclo de trabajo que actúa en caso de que la tensión de red llegue a hacerse demasiado baja. La consecuencia de ello es que la tensión deja de estar estabilizada y la imagen se encoge.

La tensión de realimentación cae por debajo del valor ajustado y el ciclo de trabajo, que debería aumentar, no lo hace porque su acción queda inhibida por el ciclo limitador. De lo contrario, el resultado sería que el ciclo de trabajo del circuito integrado tendería a aumentar hasta un 100%, de manera que la tensión de salida en el terminal 11 del circuito integrado se anularía completamente.

Esto no es un procedimiento normal de desconexión y no va seguido de un arranque lento con un ciclo de trabajo corto. Por tanto, para evitar esta situación, en el terminal 12 del C.I. se ha conectado un circuito umbral y así, en el terminal 12 la tensión no puede caer por debajo de 1,2 voltios, resultando con ello un impulso de salida del C.I. con un ciclo de trabajo máximo de 0,87 aproximadamente. Automáticamente el ciclo de trabajo del excitador queda limitado a $\delta_{máx} = 0,67$.

El ciclo de trabajo del transistor de salida es mayor (0,73 máx) debido al tiempo de almacenamiento. En la figura 12 se dan los oscilogramas correspondientes.

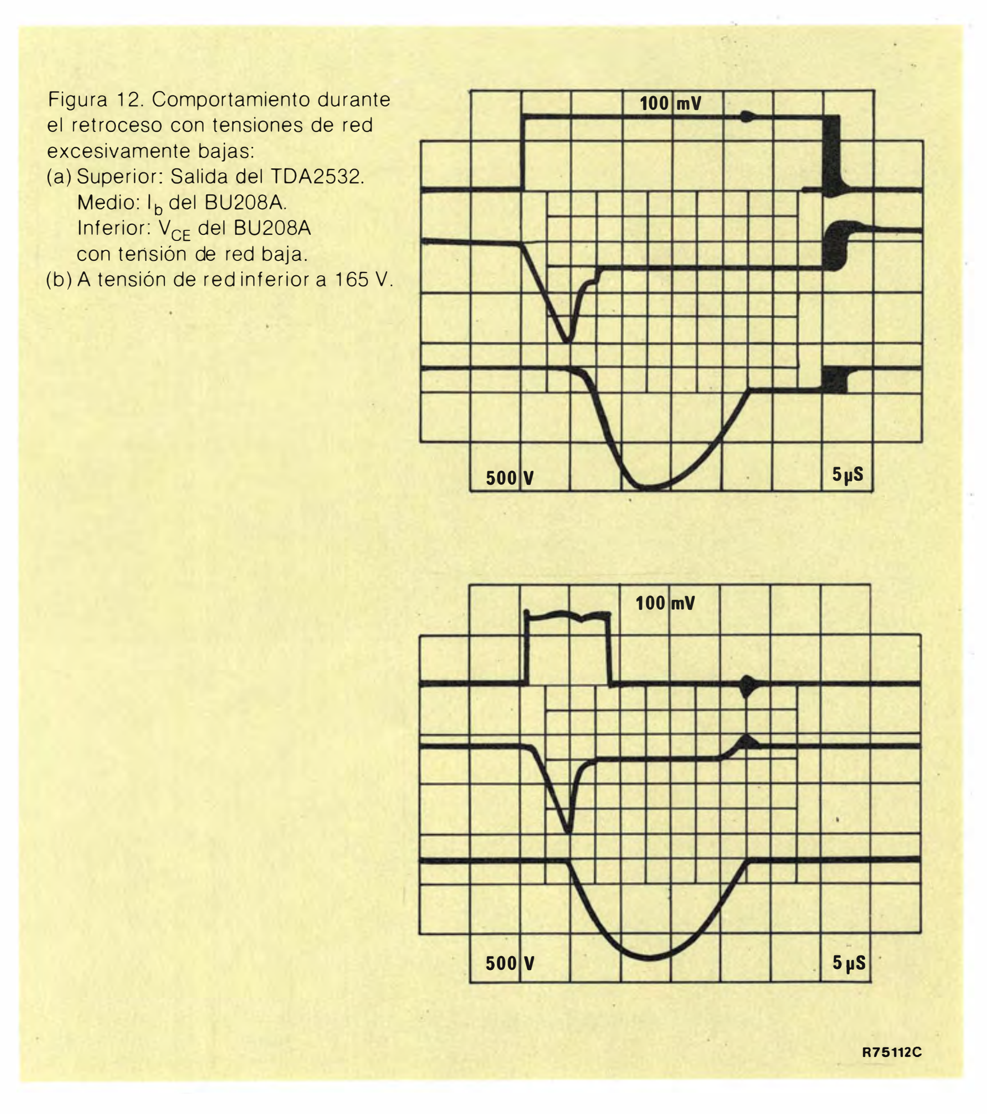


Figura 12. Comportamiento durante el retroceso con tensiones de red excesivamente bajas:
(a) Superior: Salida del TDA2532.
Medio: I_b del BU208A.
Inferior: V_{CE} del BU208A con tensión de red baja.
(b) A tensión de red inferior a 165 V.

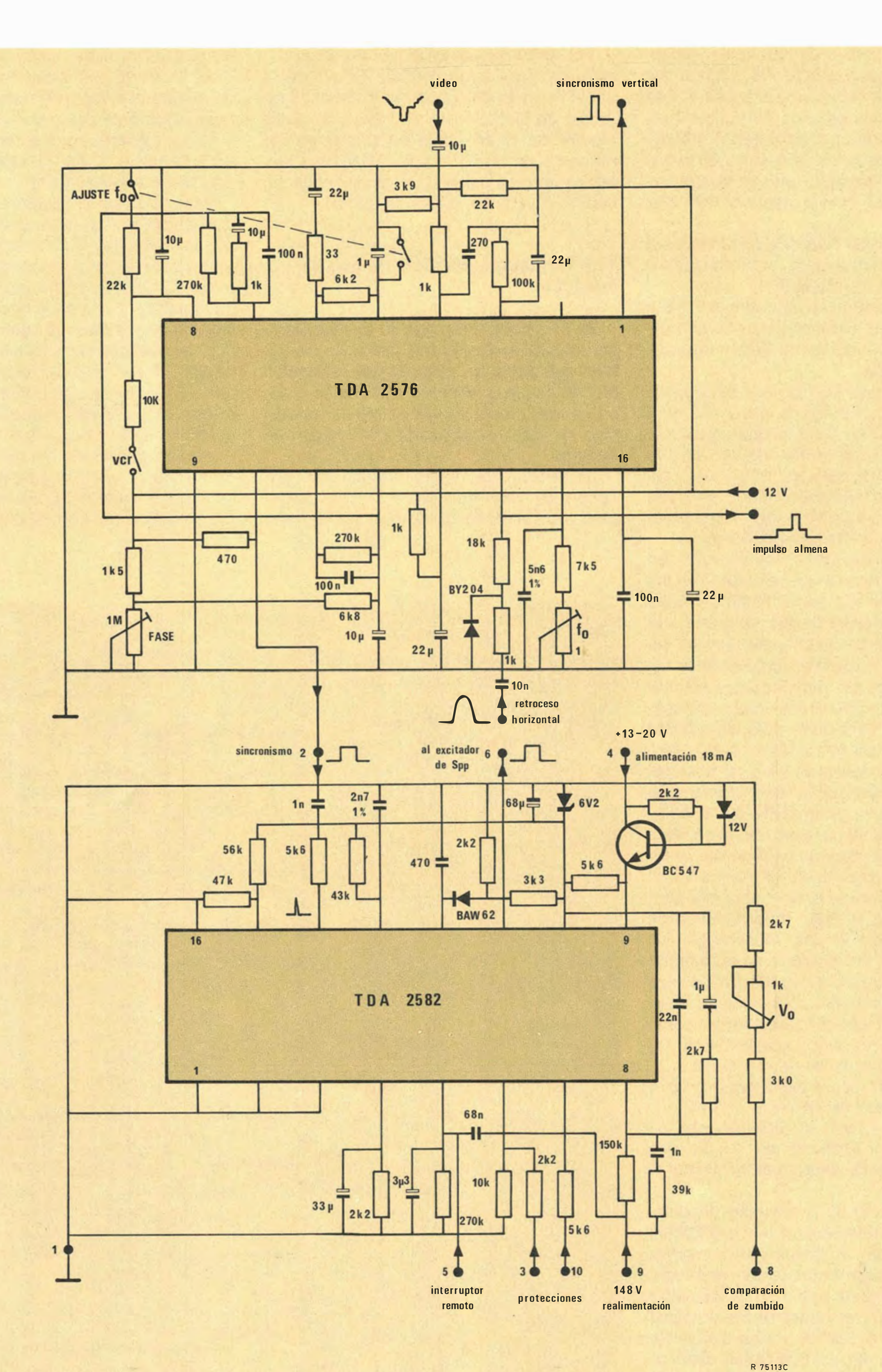


Figura 13. Procesador de sincronismos TDA2576.

11.6 Control remoto

El control remoto puede llevarse a cabo utilizando indistintamente los terminales 4 ó 5 del TDA2582.

El condensador del terminal 4 se puede sustituir por una resistencia de 5,6 kΩ. Si la tensión aplicada a este terminal está por encima de 5 voltios, la salida del circuito integrado permanece en nivel alto.

Para volver a conectar otra vez es preciso bajar la tensión en el terminal 4, después de lo cual, la fuente arranca progresivamente a partir de un ciclo de trabajo pequeño.

Con este método no es posible contar el número de conexiones y desconexiones antes de desconectarse definitivamente.

Existe la posibilidad de mantener la cuenta si el control remoto se lleva a cabo a través del terminal 5. Si sube la tensión en este punto a través de una resistencia, se tendrá una desconexión gradual disminuyendo progresivamente el ciclo de trabajo. Y si se baja esta tensión, se tendrá un arranque progresivo empezando por un ciclo de trabajo pequeño. Con este fin se puede utilizar un transistor PNP con una resistencia de 10 kΩ.

12. COMBINACIONES DE CIRCUITOS INTEGRADOS

El circuito integrado TDA2582 se puede utilizar combinado con una variedad de circuitos integrados separadores-procesadores de sincronismo, tales como el TDA2576 ó TDA2593 y tipos similares.

a) La combinación más flexible es con el TDA2576, ya que permite elegir la excitación de la salida de línea bien desde la SPP o de manera convencional.
b) La combinación con el TDA2571 es la adecuada para excitar la salida de líneas desde la SPP.
c) La combinación con el TDA2593 no es adecuada para excitar desde la SPP, ya que la capacidad para aceptar variación de los tiempos de almacenamiento es demasiado pequeña. Hay que tener en cuenta que en total es preciso sumar tiempos de almacenamiento (storage-time) de los transistores de la SPP y de la salida de línea. Por tanto, en este caso debería emplearse un excitador separado.

En la combinación (a) de la figura 13, el TDA2582 se puede disparar aplicando el impulso de salida (diferenciado) al terminal 14.

En este caso no se utiliza el detector de fase que incorpora el TDA2582, y sus terminales 1, 2 y 3 se han puesto a masa ya que el mismo detector está incluido en el TDA2576.

En la combinación (b) que se muestra en la figura 14, se utiliza el detector de fase del TDA2582 como segundo detector. Con este circuito, la frecuencia libre de oscilación queda sincronizada con la de la emisora con un margen de enganche suficiente para que la frecuencia del TDA2571 esté sincronizada en cualquier condición.

Este circuito se diseñó en principio para poder excitar el transistor de salida de línea directamente a partir del transformador SPP; pero también en este caso podría utilizarse en una etapa de excitación separada. Esto mantendría las variaciones del tiempo de almacenamiento del transistor SPP motivadas por la variación de carga fuera del segundo detector de fase.

En la combinación (c) (figura 15) se excluye la posibilidad de excitación a partir del transformador SPP debido a que el circuito TDA2593, al igual que otros circuitos procesadores de señal similares, carecen de margen suficiente para controlar el tiempo de almacenamiento total de dos BU208A. El valor típico que es necesario controlar es de 15 μs; sin embargo, este circuito puede controlar 15 μs como máximo.

Es decir, en este caso es necesario el empleo de una etapa excitadora separada.

CENTRADO DE IMAGEN

En los tubos de imagen actuales, la excentricidad de los haces es tan pequeña que puede omitirse el centrado del barrido.

No obstante, si se desea un centrado preciso de la información de video en la pantalla, éste puede llevarse a cabo mediante el control de la fase en los circuitos de sincronización, tal como se muestra en las figuras 13, 14 y 15. La condición es que se acepte un sobrebarrido típico de un 6% y que el borrado de línea no sea mayor que el tiempo de retroceso.

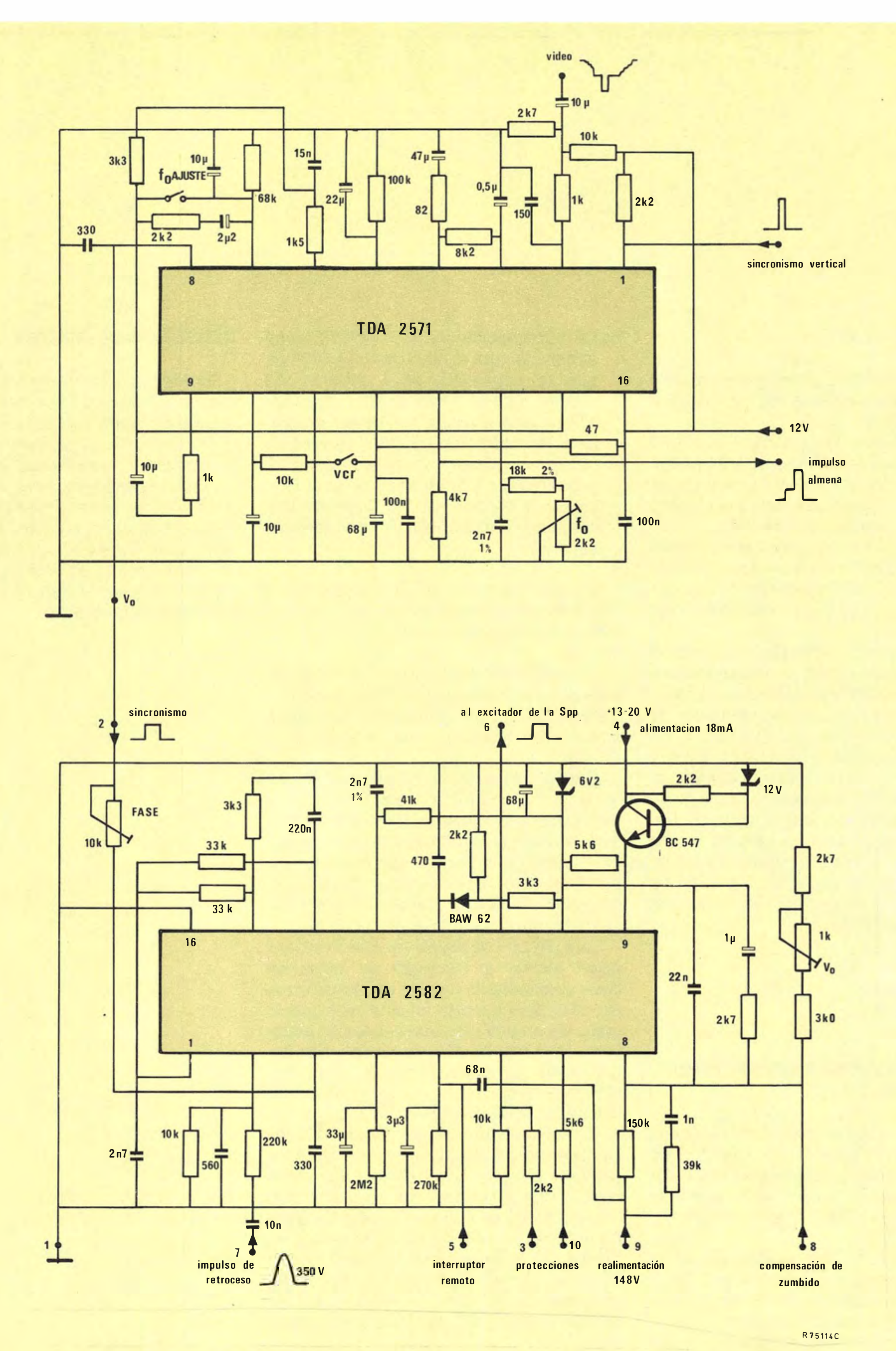


Figura 14. Procesador de sincronismos TDA2571 y circuito integrado de control TDA2582.

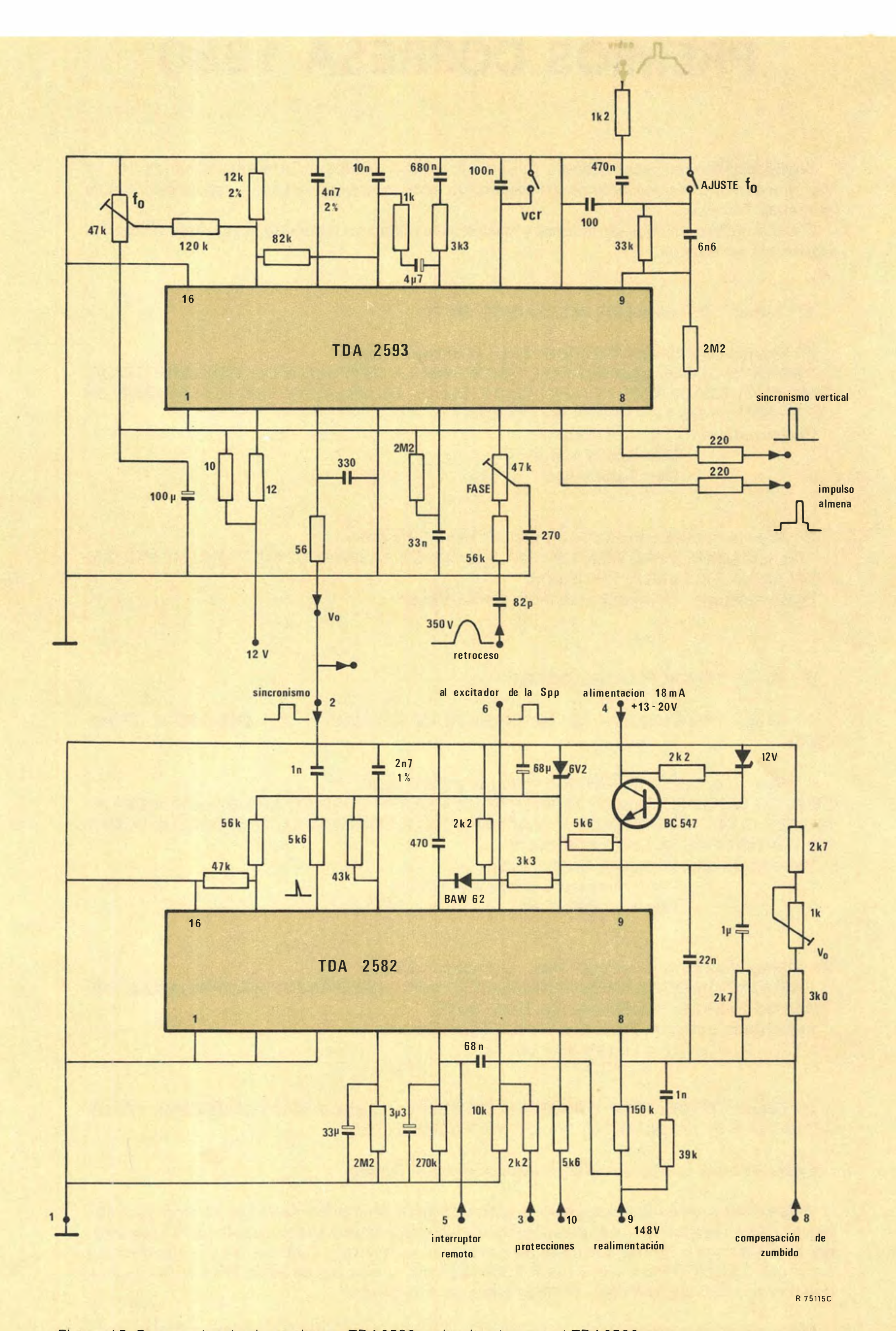


Figura 15. Procesador de sincronismos TDA2593 y circuito de control TDA2582.

PREMIOS COPRESA 1980

Según lo dispuesto por las bases de estos Premios, durante el Certamen Sonimag'18, se dieron a conocer los nombres de los ganadores, ante numeroso público y representantes de la Prensa Técnica.

Publicados los trabajos ganadores y abiertas las plicas correspondientes, estas dieron los siguientes resultados:

1° Tema: ''SISTEMAS DE APLICACION EN TV''

1° Premio dotado con 100.000 Ptas., al trabajo titulado:
''ESTUDIO DE SOLUCIONES PRACTICAS PARA LA OBTENCION DEL RENDIMIENTO OPTIMO EN EL CONJUNTO, ALIMENTACION-SALIDA DE LINEAS-GENERADOR DE MAT, EN UN RECEPTOR DE TELEVISION EN COLOR''.
Presentado por: Don Joan Duarri
Don Carlos Martín
Don Rafael Rico

2° Premio dotado con 30.000 Ptas., al trabajo titulado:
''REALIZACION PRACTICA DE UNA FUENTE DE ALIMENTACION PARA SU UTILIZACION EN UN TELEVISOR EN COLOR''
Presentado por: Don Francisco de E. de las Heras

2° Tema: ''MICROPROCESADORES''

1° Grupo ''REALIZACION DE UN TRABAJO DE APLICACION DEL 2650/8048 SIGNETICS''

1° Premio dotado con 100.000 Ptas., al trabajo titulado:
''EQUIPO DE CONTROL CON EL MICROPROCESADOR 2650 DE UNA BASCULA DE CAMIONES CON CAPACIDAD DE ALMACENAMIENTO EN MEMORIA DE DATOS DE PESO Y MATRICULA HASTA 150 VEHICULOS''
Presentado por: Don Juan Molina Beas
Don Francisco Carrasquilla Alvarez
Don S. Catalá Pons

2° Premio dotado con 30.000 Ptas., al trabajo titulado:
''APLICACION DE UN MICROPROCESADOR 8048 SIGNETICS PARA AMPLIAR UN SISTEMA DE PESAJE COMERCIAL YA EXISTENTE''
Presentado por: Don Francisco Sistaré Torrellardona
Don Eugeni Rius Borrell

2° Grupo ''TRABAJO DE PROGRAMACION CON EL 2650/8048 SIGNETICS CUYO OBJETIVO SEA EL SOLUCIONAR PROBLEMAS CONCRETOS''

Estos premios fueron declarados desiertos por el Jurado.

Proclamados los ganadores, cerró el acto el Director Comercial de Copresa, Don José M.ª Llevat Grau, felicitando a los ganadores y dando las gracias a todos cuantos han concursado, al público y a la Prensa asistente. Anunció, que los Premios Copresa'81 estarán dotados el 1° con 250.000 Ptas. y el 2° con 100.000 Ptas. Las bases de estos Premios se darán a conocer a través de la Prensa Técnica a la mayor brevedad.

Estos actos tuvieron lugar como cierre de las jornadas que sobre el sistema 30 AX y Aplicaciones Profesionales e Industriales, se llevaron a cabo en el Stand de COPRESA, durante el Certamen y a las que asistieron relevantes técnicos de las más prestigiosas firmas.

Visualización y control de las funciones analógicas en el sistema RTS

Es el segundo artículo de una serie que describe un sistema de control y sintonía de radio controlado por microordenador (RTS "Radio Tunning System"). Explica cómo se utilizan dos nuevos circuitos integrados, compatibles con la barra del ordenador, para excitar visualizadores LED o de cristal líquido que indican la frecuencia, número de canal o posición de control. Este artículo también describe como estos circuitos integrados pueden proporcionar control digital de las funciones analógicas, tales como control de volumen, balance y tono.

En la Revista Miniwat volumen 19, número 8 se hizo una introducción al sistema de sintonía de radio controlada por microordenador (RTS) y se describió cómo un receptor de radio se sintoniza electrónicamente con un sintetizador digital de frecuencia.

Este artículo describe el sistema de visualización y de control de las funciones analógicas del RTS, como se muestra en la figura 1.

Para realizar el sistema de visualización y de control de las funciones analógicas del RTS se dispone de tres circuitos integrados. El circuito SAA1060 (DIFA-LED) se utiliza para la visualización por diodos LED y control de las funciones analógicas mediante convertidores digital-analógico externos.

La memoria analógica controlada por ordenador, SAB3013 (CCAM), se utiliza para controlar hasta seis funciones analógicas mediante convertidores digital-analógico internos. El circuito SAA1062 (DIFA-LCD) se utiliza para excitar visualizadores de cristal líquido.

Los circuitos SAA1060 y SAA1062 admiten el mismo software y reciben información en serie procedente de la barra del microordenador (CBUS) y la convierten en información en paralelo para:

— Excitar visualizadores LED de 7 segmentos que indican la frecuencia, número de canal, número de estación preseleccionada o posición de los controles analógicos.
— Excitar visualizadores LED de nivel de la posición de los controles analógicos.
— Excitar visualizadores de cristal líquido de 7 segmentos que indican la frecuencia, número de canal, número de la estación preseleccionada o posición de los controles analógicos.
— Control ON/OFF de las funciones analógicas con indicación mediante LED. Las funciones requeridas son seleccionadas mediante diodos conmutadores de banda, circuitos integrados controladores de nivel lógico, y selectores de entradas de señal integrados TDA1028 y TDA1029.
— Control de las funciones analógicas mediante el uso de convertidores digital-analógico de resistencia escalonada y potenciómetros electrónicos integrados TDA1073 y TDA1074A. El circuito SAB3013 incorpora conversión digital-analógica interna que permite que los potenciómetros electrónicos integrados sean excitados a través de redes de filtrado exteriores.

Para la visualización numérica, la entrada de datos al SAA1060 o SAA1062 debe ser decodificada a siete segmentos por el microordenador. La visualización y las posibilidades de control se pueden ampliar utilizando más de un circuito integrado del mismo tipo. Más adelante se indicarán los circuitos integrados adicionales que se pueden conectar al CBUS usando líneas de desinhibición extras (DLEN) y/o más líneas de reloj (CLB).

VISUALIZACIÓN POR DIODOS LED Y CONTROL DE FUNCIONES ANALÓGICAS CON EL SAA1060

El circuito integrado

El circuito integrado de acoplamiento al visualizador SAA1060 convierte hasta 16 bits de información serie en paralelo para excitar los indicadores LED de función o indicadores numéricos de 7 segmentos. Esta operación se facilita mediante la utilización del modo duplex en el que una información de hasta 32 bits puede estar multiplexada en tiempo en las 16 salidas. Ya que este circuito no incorpora decodificador para 7 segmentos (esta función es realizada por el microordenador cuando se excitan visualizadores numéricos), puede utilizarse también para gobernar selectores de fuentes de señal integrados y controlados por c.c., conmutadores y filtros activos. Si se realiza la adecuada conversión digital-analógica, mediante la utilización de una red resistiva externa de razón binaria (1,2,4,8), el circuito también puede ser utilizado para excitar visualizadores de nivel de diodos LED o para gobernar potenciómetros electrónicos controlados por c.c. En la figura 2(a) se muestra el esquema de bloques del SAA1060.

La figura 2(b) muestra el formato de la información para el SAA1060. La información del visualizador se transmite desde el microordenador a través del CBUS mediante 18 bits de información, que comprenden un "0" guía seguido de una palabra de 17 bits compuesta por 16 bits de información y un bit de selección de carga. La etapa de control de la barra distingue entre ruido en el CBUS y la información válida, verificando la existencia simultánea del "0" guía y el nivel "1" de la señal (DLEN) en el primer impulso de reloj (CLB). Si se cumplen estas condiciones, los 17 bits de información se cargan en el registro de desplazamiento.

Si la longitud de la palabra es correcta, la información es aceptada y la etapa de control de la barra proporciona un impulso "válido" a la etapa de control de la carga.

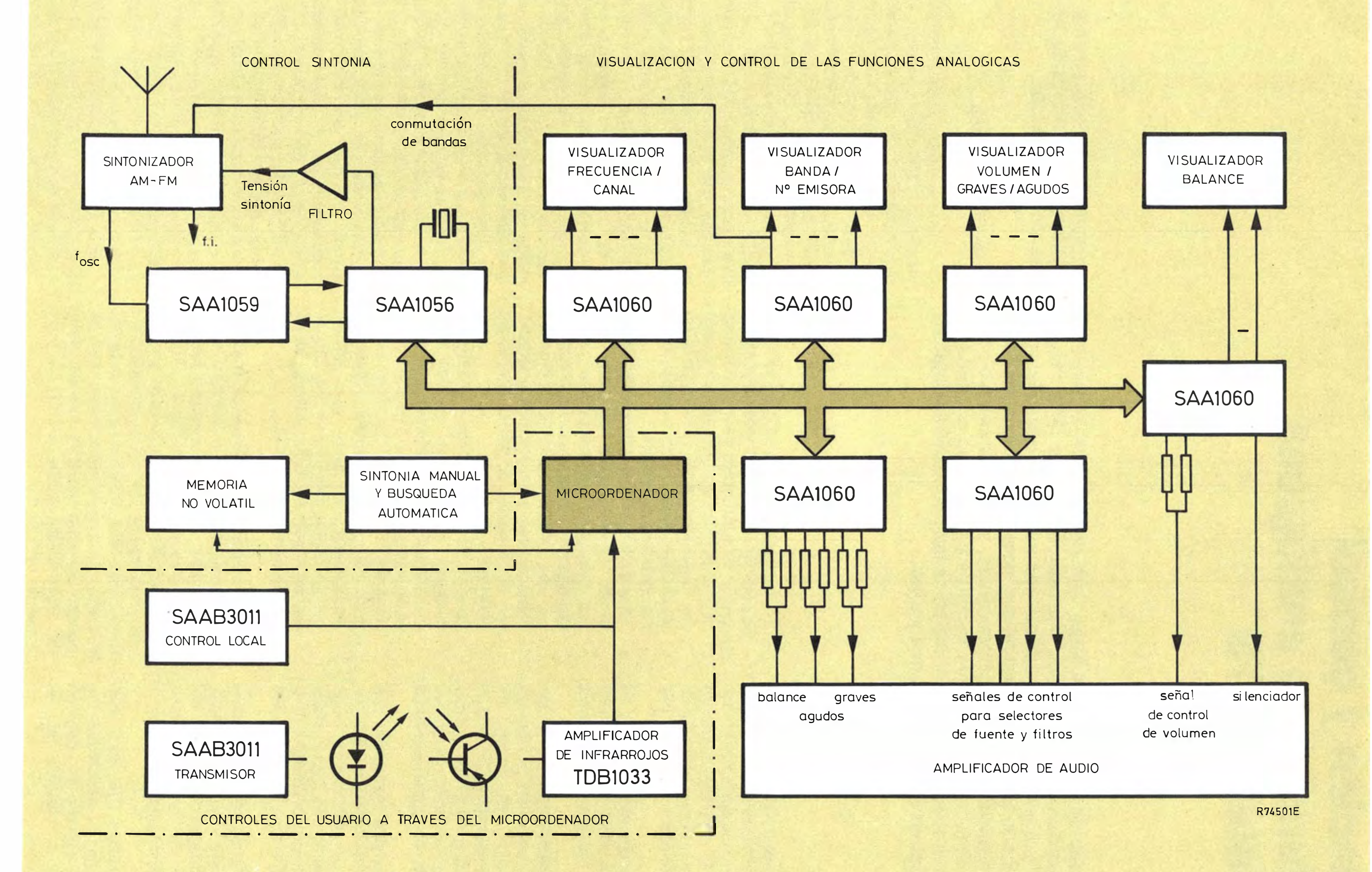


Figura 1. Sistema de sintonía de radio controlado por microordenador (RTS).

Figura 2(a). Circuito SAA21060 de acoplamiento/visualización con diodos LED.

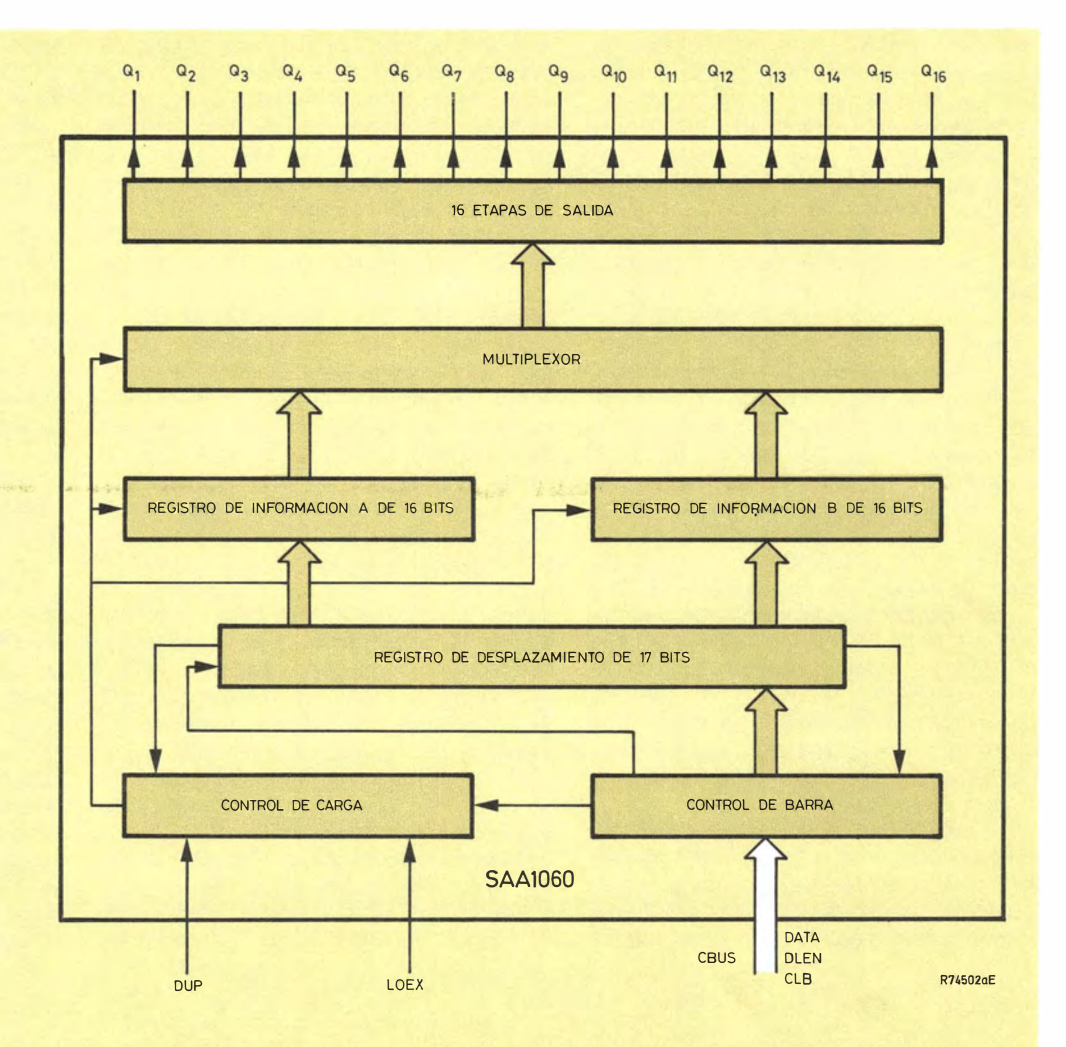
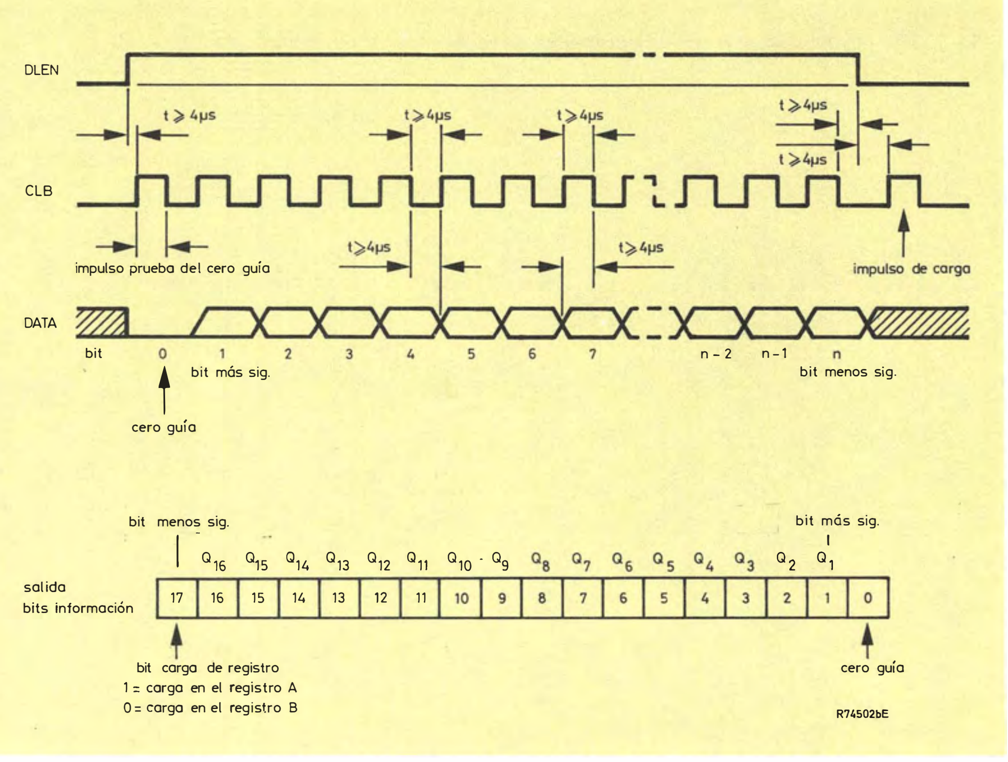


Figura 2(b). Formato de datos del SAA1060.



Esta etapa activa la línea de desinhibición de los registros temporales de información A o B, y permite que el contenido del registro de desplazamiento sea transferido al registro temporal seleccionado, en el 19° impulso de reloj con la señal DLEN en "0". La selección de uno de los dos registros temporales de información depende del estado del bit de carga (bit 17 de la palabra de información). Si el bit de carga es "1", la información es transferida al registro A. Si el bit de carga es "0", la información es transferida al registro B. El contenido del registro temporal de información seleccionado determina el estado de las salidas en colector abierto, de forma que estén en "0" para bits de información "0". Por tanto, el estado de los bits de información es una representación directa del estado de los segmentos de un visualizador de ánodo común. Las salidas Q_8 y Q_{16} son capaces de absorber una corriente continua de 80 mA, de modo que cada una de ellas puede excitar dos segmentos del visualizador conectados en paralelo (por ejemplo, el número 1 del dígito más significativo del visualizador). Todas las demás salidas pueden absorber una corriente continua de 40 mA.

El nivel lógico aplicado a la entrada LOEX determina si la información es cargada directamente en el registro temporal seleccionado (excitación estática de hasta 16 segmentos o diodos LED) o cargada en sincronismo con el flanco de bajada del próximo impulso DUP (excitación duplex de 2 × 16 segmentos numéricos). Cuando se opera en la modalidad estática, la entrada LOEX debe estar en nivel "1". Cuando se opera en la modalidad duplex, LOEX puede ser indistintamente "1" ó "0".

Cuando el circuito está funcionando en la modalidad duplex, el contenido del registro A se presenta en las salidas cuando la señal DUP es "0"; el contenido del registro B se presenta en las salidas cuando DUP es "1". Si la señal DUP se deriva de la tensión alterna rectificada en media onda que se aplica a uno de los dos grupos de ánodos comunes, la conmutación de salida tendrá lugar durante el cruce por cero de la alimentación del ánodo. Ya que en este instante circula una corriente nula o muy pequeña, se minimiza la interferencia radiada debida a los transistorios de conmutación. Durante el funcionamiento duplex, la visualización debe presentarse como dos palabras separadas por un intervalo mayor que la duración de un periodo de la alimentación de la cual se derivan los impulsos de excitación (por ejemplo, superior a 20 ms para una alimentación de ánodo de 50 Hz). La corriente alterna de pico capaz de absorber las salidas Q_8 y Q_{16} en la modalidad duplex es de 120 mA, y de 60 mA para todas las demás salidas.

Cuando el SAA1060 opera en la modalidad duplex, los segmentos del visualizador están divididos en dos grupos. Los ánodos comunes asociados con uno de los grupos de segmentos se alimentan con los semiciclos positivos de c.a. (V_A). Los ánodos asociados con el otro grupo de segmentos se alimentan con los semiciclos positivos de la c.a. desfasados 180° con respecto a V_A. El circuito integrado necesita una tensión continua de alimentación de 5 V. Cuando el SAA1060 opera en el modo estático, los ánodos comunes del visualizador requieren también una alimentación de corriente continua. En la figura 3 se muestra una fuente de alimentación típica para cualquier modo de operación.

Visualizador numérico de frecuencia/canal

La figura 4 muestra el circuito de aplicación de un visualizador numérico de frecuencia/canal en el que el SAA1060 ataca a indicadores LED de 7 segmentos en modo duplex. En un receptor de radio A.M., el visualizador necesitaría cuatro dígitos para presentar de 0 a 9.999 kHz. Para F.M., se necesitarían 4 ½ dígitos para cubrir de 0 a 199,99 MHz. En la figura se muestra un visualizador de 4 ½ dígitos. La figura 4 se utiliza como base para las siguientes recomendaciones de diseño así como para la descripción del formato de la información.

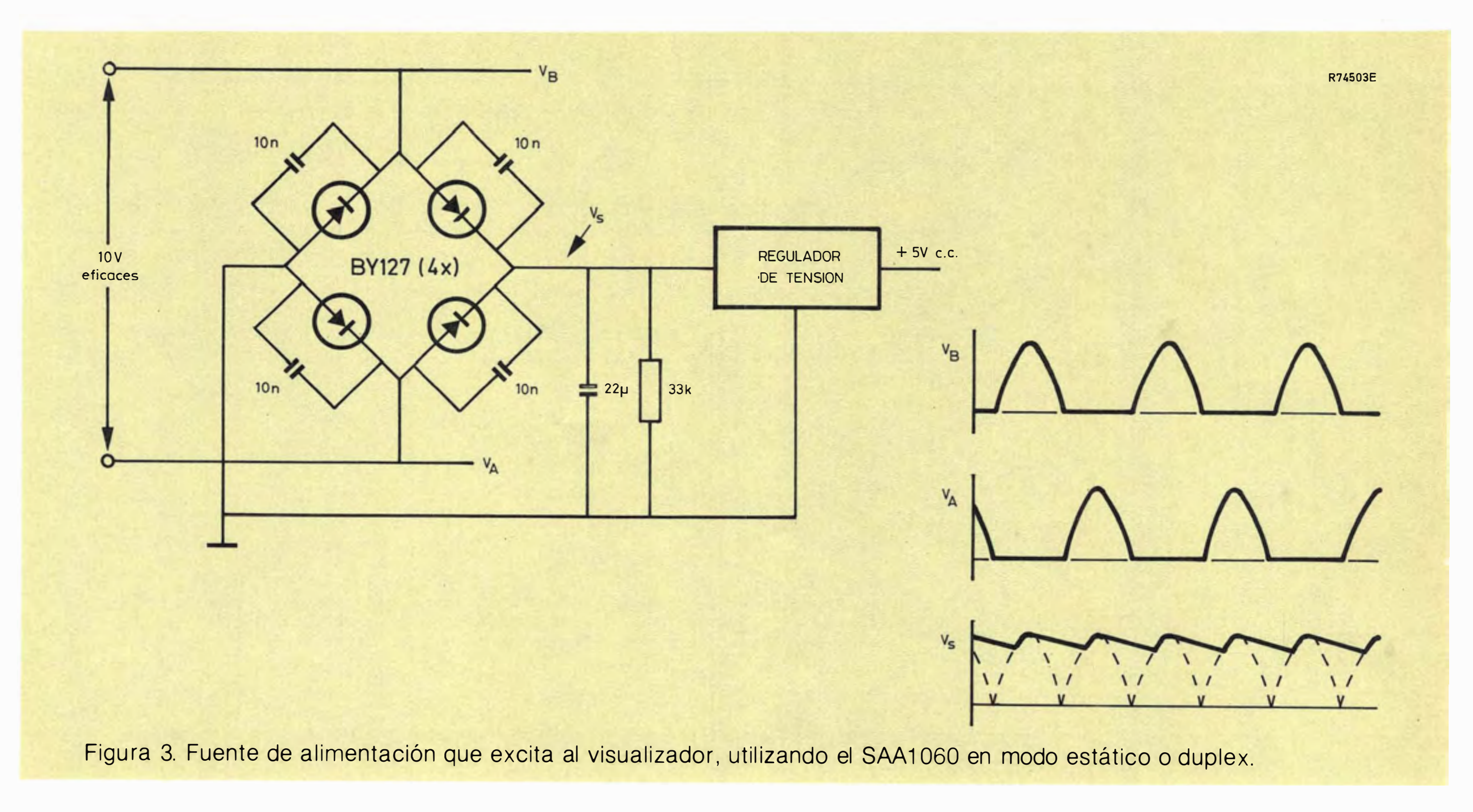


Figura 3. Fuente de alimentación que excita al visualizador, utilizando el SAA1060 en modo estático o duplex.

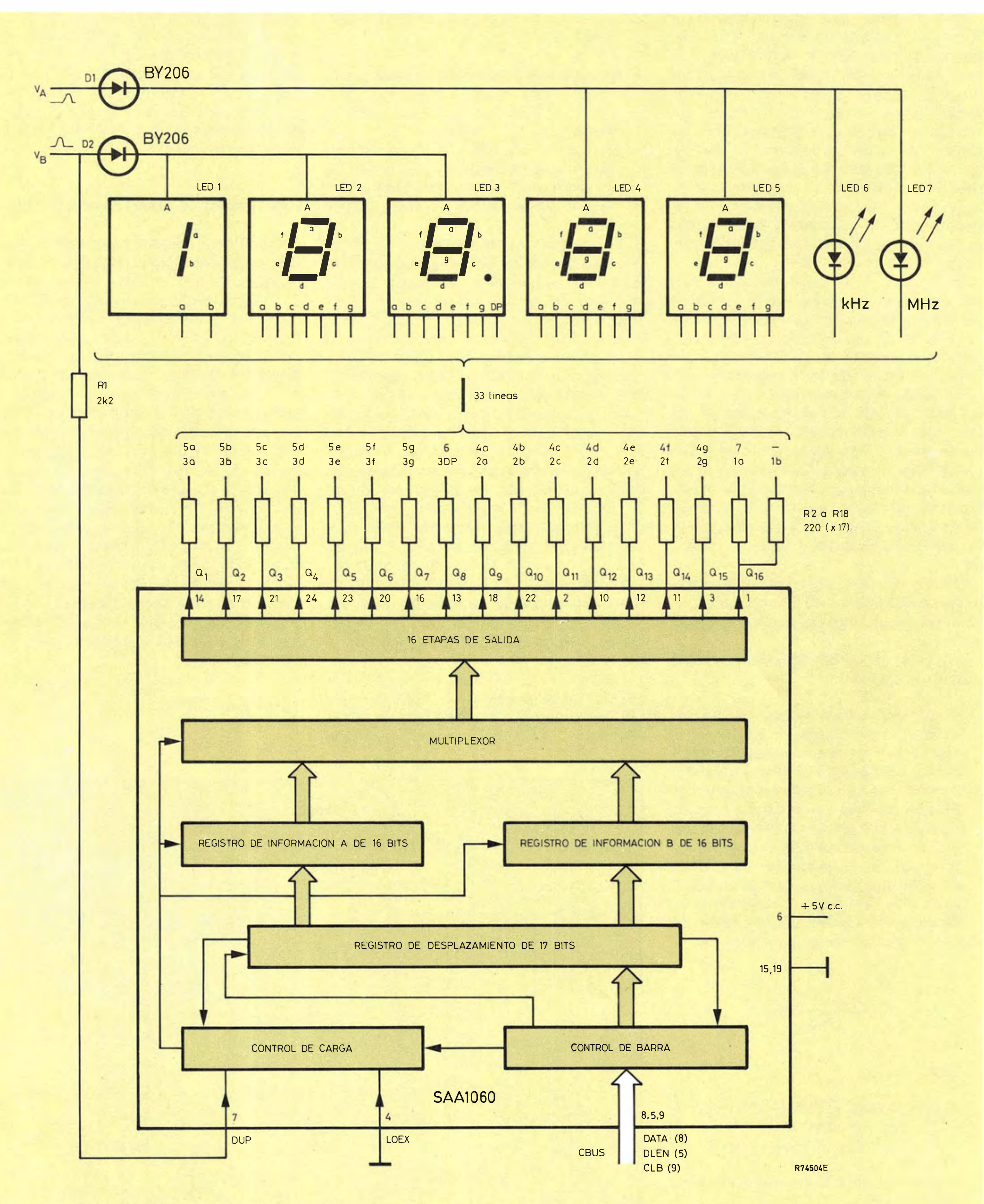


Figura 4. Circuito típico de visualización de frecuencia/número de canal.

Para el modo de operación duplex de 50 Hz, la entrada LOEX del SAA1060 puede ser "1" ó "0", los segmentos del visualizador se deben dividir en dos grupos (grupo A y grupo B), los ánodos comunes de cada grupo se deben alimentar con semiciclos positivos y la información a visualizar se debe componer de dos palabras dato (palabra A y palabra B) separadas por un intervalo de más de 20 ms si LOEX es "0". Como explicación previa, el estado del bit 17° de cada palabra dato dirige la información hacia el registro temporal correcto en el SAA1060.

En la figura 4 se puede ver que, si hay una tensión positiva en el ánodo común de uno de los indicadores numéricos cuando hay niveles "0" en los cátodos correspondientes, el número se encenderá. La palabra dato contenida en el registro temporal de datos debe presentarse en las salidas del SAA1060 coincidiendo con el impulso de tensión en el correspondiente ánodo común. Este sincronismo se consigue derivando la señal DUP de uno de los trenes de impulsos de ánodo (V_B), de modo que el contenido del registro B se presenta en las salidas (DUP = "1") cuando los ánodos del grupo B de segmentos son positivos.

El contenido del registro A se presenta en las salidas (DUP = "0") cuando los ánodos de los segmentos del grupo A son positivos.

Se deben seguir las siguientes normas básicas de diseño.

— Dividir los segmentos del visualizador en dos grupos de aproximadamente el mismo número de elementos (16 máx.). Llamar a un grupo A y al otro grupo B.
— Conectar los cátodos de los segmentos por parejas (uno del grupo A y otro del grupoB) a las salidas del SAA1060 a través de una resistencia limitadora de corriente. Si es necesario, se pueden conectar dos parejas de segmentos a las salidas Q_8 y/o Q_{16}. El valor de la resistencia limitadora de corriente se puede calcular mediante la fórmula:

$$R \leqslant \frac{1{,}4\ V_{eficaz} - 2V_d - V_f - V_{QL}}{I_{pico}}$$

donde

V_{eficaz} = el valor eficaz de la tensión de alimentación de ánodo.
V_d = tensión directa de un diodo BY127 ($\simeq$ 0,7V).
V_f = tensión directa de un segmento de LED ($\simeq$ 1,5V).
V_{QL} = máxima tensión de salida del SAA1060 en el nivel "0" (0,5V).
I_{pico} = corriente de pico necesaria por segmento.

— Conectar los ánodos comunes de los indicadores del grupo A y del grupo B, a través de diodos, a V_A y V_B respectivamente.
— Derivar los impulsos DUP de V_B mediante una resistencia que limita la corriente de entrada a unos 6 mA (máx. 12 mA), por ejemplo $R = 1{,}4V_{Beficaz}/0{,}006$.

La composición de las dos palabras de visualización de los datos se explica mejor mediante un ejemplo. Supóngase que se requiere visualizar la frecuencia 87,60 MHz como muestra la figura 5. En la tabla 1 se da la relación entre los contenidos de los registros temporales de datos, las salidas del circuito integrado y los segmentos indicadores para el circuito de la figura 4.

En la figura 5 se puede ver que la palabra de datos A controla los diodos LED 4, 5, 6 y 7 y debe por lo tanto dirigir la visualización de 60 MHz. Los segmentos que se deben iluminar son 4a, 4c, 4d, 4e, 4f, 4g, 5a, 5b, 5c, 5d, 5e, 5f y el LED 7. Ya que un segmento activo se define por un bit "0", se puede ver mediante la tabla 1 que los bits 1 a 6, 9 y 11 a 16 de la palabra de datos A deben ser "0". El bit 17 debe ser "1" para indicar que la información debe ser cargada en el registro temporal A. La palabra de datos completa se muestra en la figura 5.

La palabra B controla LED1, LED2 y LED3 y debe presentar el número 8 en LED2 y el número 7 seguido de un punto decimal en LED3. En la figura 5 se puede ver que se deben iluminar 2a, 2b, 2c, 2d, 2e, 2f, 2g, 3a, 3b, 3c y 3DP. La tabla 1 muestra que los bits 1 a 3 y 8 a 15 de la palabra de datos B deben ser "0". En este caso, el bit 17 debe ser "0" para indicar que la palabra de datos B debe ser cargada en el registro B. La palabra de datos completa se muestra en la figura 5.

Visualizador de posición de controles

Cuando se utilizan, para control de las funciones analógicas de audio, sistemas analógicos convencionales, el usuario puede conocer la posición de los controles mediante la observación directa de conmutadores, botones, diales, etc. Cuando las funciones analógicas se controlan electrónicamente, como en el sistema RTS, hay que indicar las posiciones de los potenciómetros y conmutadores electrónicos por métodos electrónicos tales como indicadores numéricos de 7 segmentos, barras de diodos LED, etc. La figura 6 muestra la aplicación del circuito integrado SAA1060 en la modalidad duplex excitando indicadores numéricos de siete segmentos y diodos LED unitarios que indican la posición de los potenciómetros electrónicos de control de graves, agudos y volumen. El circuito se ha diseñado con los mismos principios descritos anteriormente para la visualización de la frecuencia y número de canal.

TABLA 1

Relación entre los contenidos de los registros temporales de datos, las salidas del circuito integrado y los segmentos del indicador en la figura 4.

bit de palabra en el registro	salida SAA1060	registro A LED/segmento	registro B LED/segmento
1	Q_1	5a	3a
2	Q_2	5b	3b
3	Q_3	5c	3c
4	Q_4	5d	3d
5	Q_5	5e	3e
6	Q_6	5f	3f
7	Q_7	5g	3g
8	Q_8	6	3DP
9	Q_9	4a	2a
10	Q_{10}	4b	2b
11	Q_{11}	4c	2c
12	Q_{12}	4d	2d
13	Q_{13}	4e	2e
14	Q_{14}	4f	2f
15	Q_{15}	4g	2g
16	Q_{16}	7	1a y 1b
17	—	"1"	"0"

V_A
V_B
DUP
LED 1
LED 2
LED 3
LED 4
LED 5
LED 6
LED 7
kHz
MHz
GRUPO B
controlado por palabra de datos B
GRUPO A
controlado por palabra de datos A

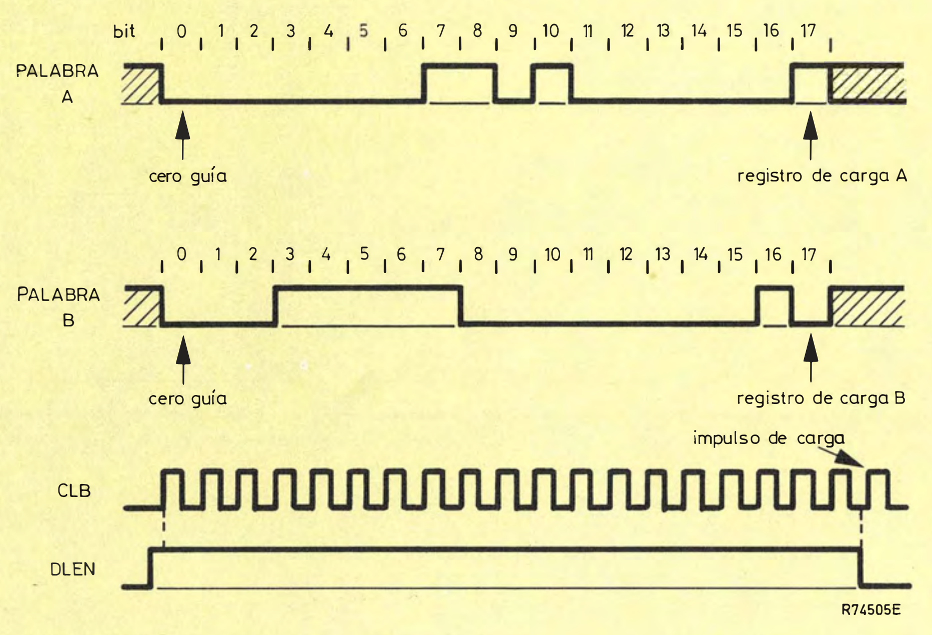


Figura 5. Formato de datos para visualizar los números 87,60.

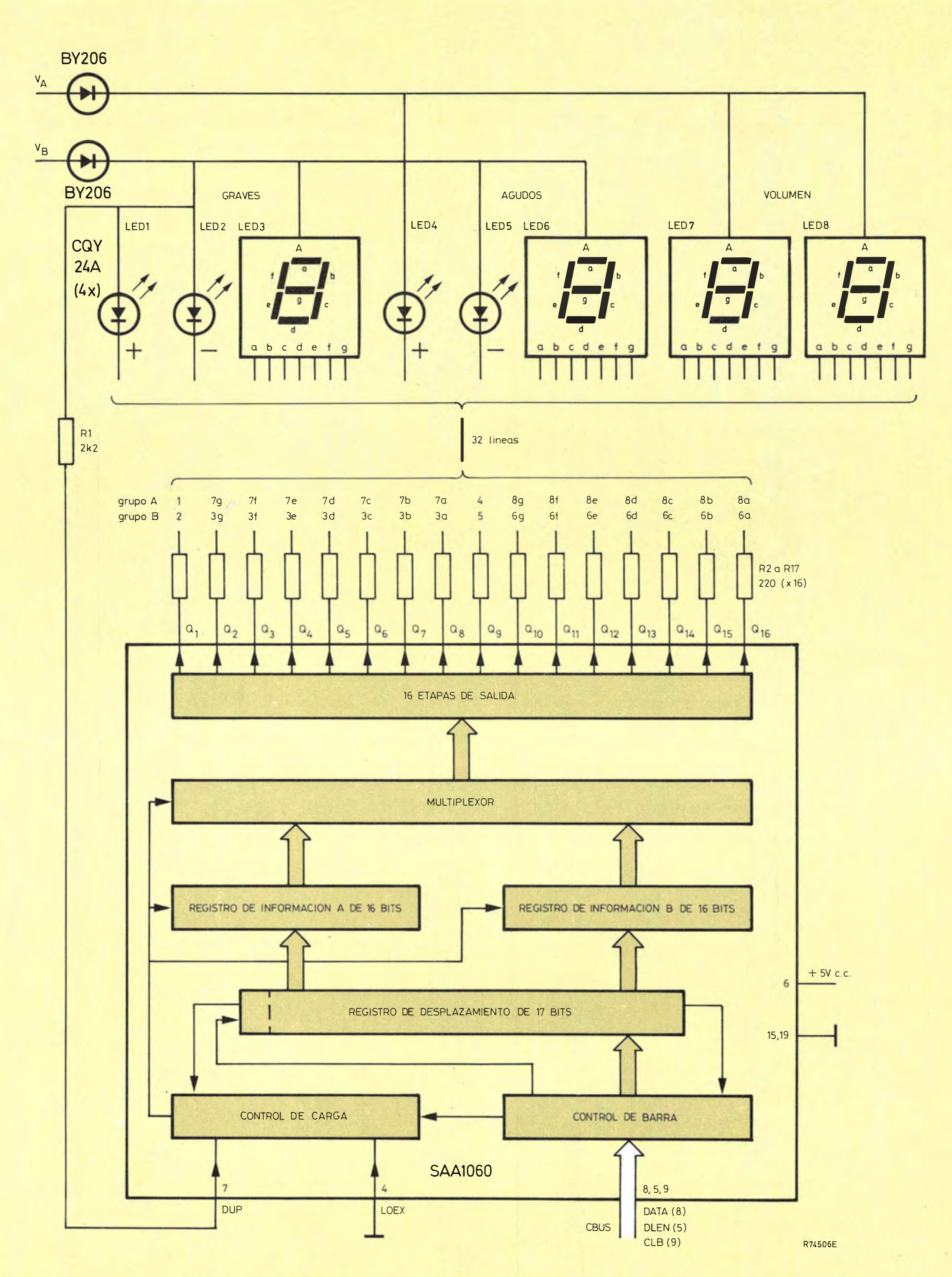


Figura 6. Visualizador típico de la posición del control.

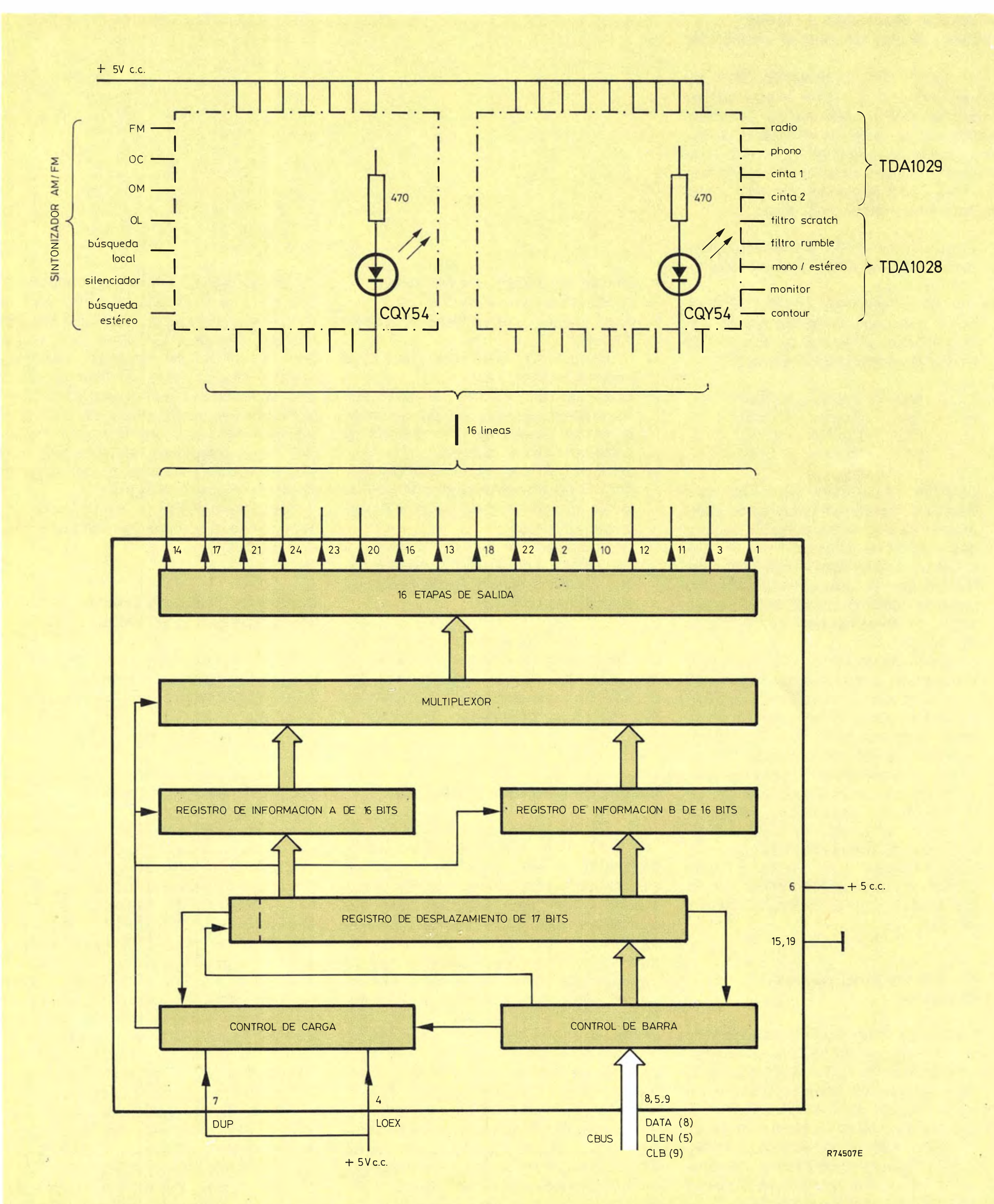


Figura 7. Circuito de control de conmutación y visualizador.

Utilización simultánea de varios circuitos de acoplamiento al visualizador

Ya que el circuito integrado SAA1060 puede controlar y excitar visualizadores para una amplia variedad de funciones analógicas, a veces es necesario utilizar varios de estos circuitos en el RTS. Para permitir que estos circuitos utilicen la misma línea DATA se puede usar uno o más de los cuatro métodos siguientes:

— Utilizar líneas DLEN o CLB separadas para cada uno de los circuitos integrados SAA1060.
— Utilizar varias líneas DLEN y CLB de modo que cada SAA1060 reciba una combinación diferente de señales de reloj y desinhibición. Por ejemplo:

Cl_1	$DLEN_1$	CLB_1
Cl_2	$DLEN_2$	CLB_2
Cl_3	$DLEN_3$	CLB_3
Cl_4	$DLEN_4$	CLB_4

— Cuando se utilizan dos circuitos SAA1060, invertir las palabras de información de uno de los circuitos integrados y conectar un inversor en la línea DATA de este circuito integrado. La detección del "0" guía en el otro circuito integrado será la causa de que la palabra de información invertida sea rechazada.
— El estado del bit 17° de las palabras de información transmitidas al SAA1060 determina el registro temporal de información en el que se almacenará la palabra. El estado de la entrada DUP determina cuál de los contenidos del registro temporal de información será visualizado. Si se utililiza más de un SAA1060 en modalidad estática (LOEX = "1"), las entradas DUP pueden programarse para que cada circuito integrado sólo acepte información en la cual el estado del bit 17° no sea el mismo que el estado de la entrada DUP.

Control de las funciones de conmutación

Además de actuar como excitador de indicadores LED, el SAA1060 puede utilizarse para realizar funciones de conmutación de señal a través de: conmutadores estáticos controlados por corriente continua, diodos conmutadores de banda, entradas del decodificador estéreo y circuitos de búsqueda automática de sintonía controladas por nivel lógico. Las funciones típicas de conmutación son las siguientes:

— Selección de bandas mediante la utilización de diodos conmutadores de banda en el sintonizador.
— Conmutación mono/estéreo en el decodificador.
— Silenciamiento del ruido entre la sintonía de emisoras.
— Selección del criterio de búsqueda automática de sintonía, por ejemplo, emisoras locales (gran intensidad de señal) o emisoras estéreo.
— Selección de fuentes de señal de audio (micrófono, cinta, radio) mediante el selector de señales de 2 polos y 4 posiciones, TDA1029.
— Conmutación de filtros "rumble" y "scratch", mono/estéreo, silenciador, etc., mediante el selector de 4 polos y 2 posiciones, TDA1028.

La figura 7 muestra un circuito con control de conmutación y visualización de funciones. En Revista Miniwatt, vol. 20, n.º 3 se dará una descripción completa de los circuitos integrados TDA1028 y TDA1029.

Control de funciones analógicas

Si se conectan a las salidas del SAA1060 convertidores digital-analógico, mediante el empleo de simples redes resistivas de razón binaria (1,2,4,8), éstas pueden usarse para controlar funciones analógicas tales como volumen, graves, agudos, balance, etc., mediante la utilización de potenciómetros electrónicos integrados TDA1074A. La figura 8 muestra un circuito típico de control de señales analógicas. En este circuito, la respuesta de graves y agudos se controla por sendos convertidores digital-analógico resistivos de razón binaria de 4 bits y un circuito integrado TDA1074A para lograr $2^4—1 = 15$ incrementos de control (por ejemplo 0 y ± 7 pasos). El control de balance estereofónico se obtiene variando con signos opuestos la ganancia de los canales estereofónicos mediante convertidores D-A similares y un segundo TDA1074A. Se pueden efectuar 64 incrementos en el control de volumen utilizando seis salidas de un segundo SAA1060 y un convertidor D-A de 6 bits simultáneamente con el control de ganancia de ambos canales estéreo del segundo TDA1074A. Las 10 salidas restantes del segundo SAA1060 pueden utilizarse para dar una indicación de la posición del control de balance bien por barras de diodos LED o por indicadores numéricos de 7 segmentos. La indicación de las posiciones de los controles de graves, agudos y volumen se han descrito ya con la ayuda de la figura 6.

Los potenciómetros electrónicos integrados se describirán con detalle en Revista Miniwatt vol. 20 n.º 3.

Control de niveles de señales analógicas con el SAB3013

La memoria analógica controlada por ordenador SAB3013 proporciona un control digital de 64 pasos de hasta seis niveles de señal analógica. La figura 9 muestra el esquema de bloques de dicho circuito.

El circuito se controla por palabras de información de 12 bits que incluyen un "0" guía, como se muestra en la figura 10. La información procede del microordenador a través del CBUS. Los dos bits siguientes al "0" guía de cada palabra de información se codifican de acuerdo con el código de 2 bits de dirección del sistema en las entradas SAA y SAB. Esto permite que hasta 4 circuitos integrados SAB3013 sean excitados desde un CBUS común. Los tres bits siguientes de la palabra de información indican en código binario la dirección del registro temporal analógico adecuado. Los 6 bits más significativos de la palabra de información se codifican en binario para indicar el incremento requerido (0 a 63) para la función analógica seleccionada.

La información recibida del CBUS se almacena temporalmente en el amplificador (buffer) de datos. Si hay un "0" guía, DLEN es "0" (información completa) y se han recibido doce bits de información, una señal "válida" pasa al control registro temporal/carga en el flanco de subida del próximo impulso de reloj de la entrada

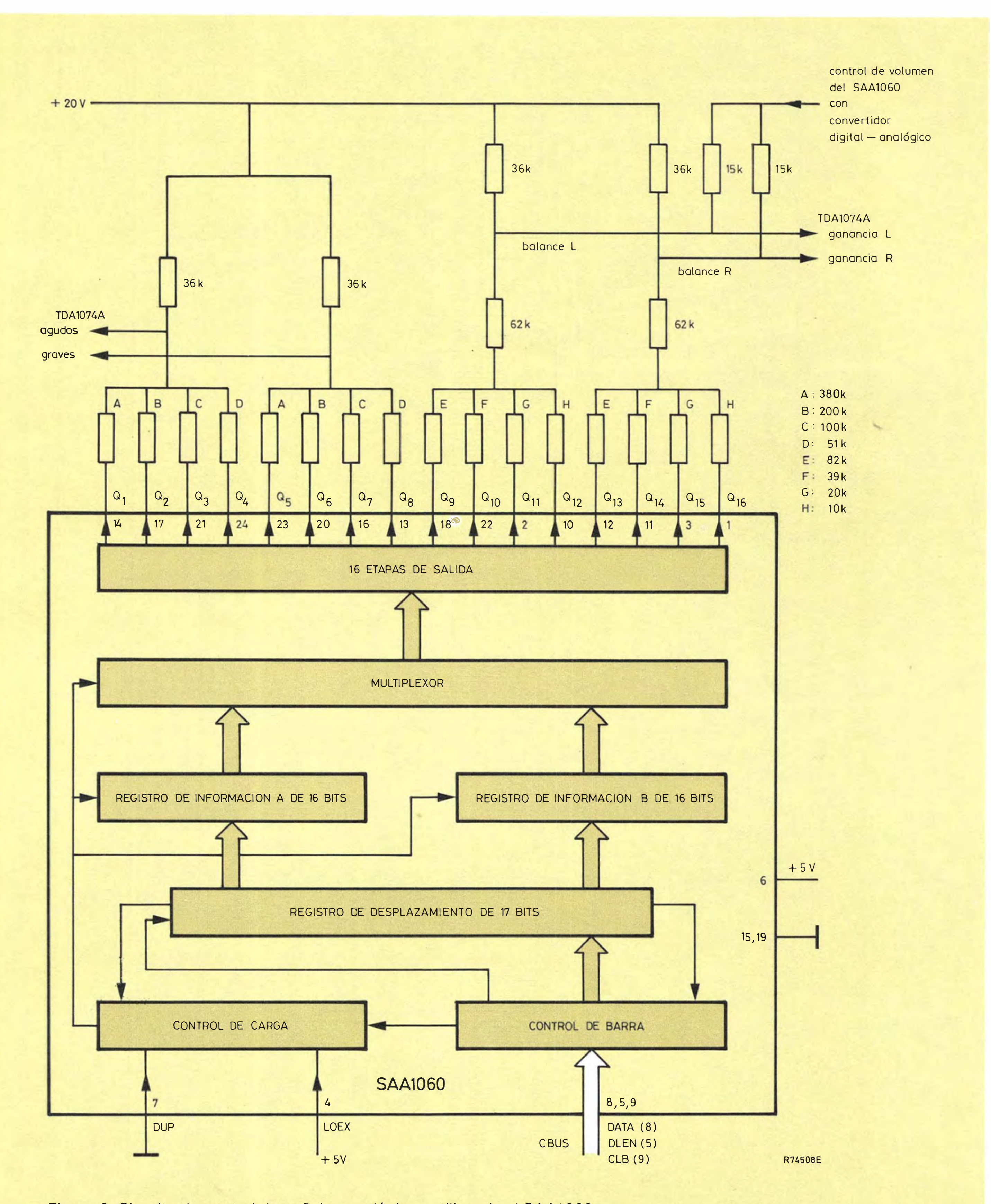


Figura 8. Circuito de control de señales analógicas utilizando el SAA1060.

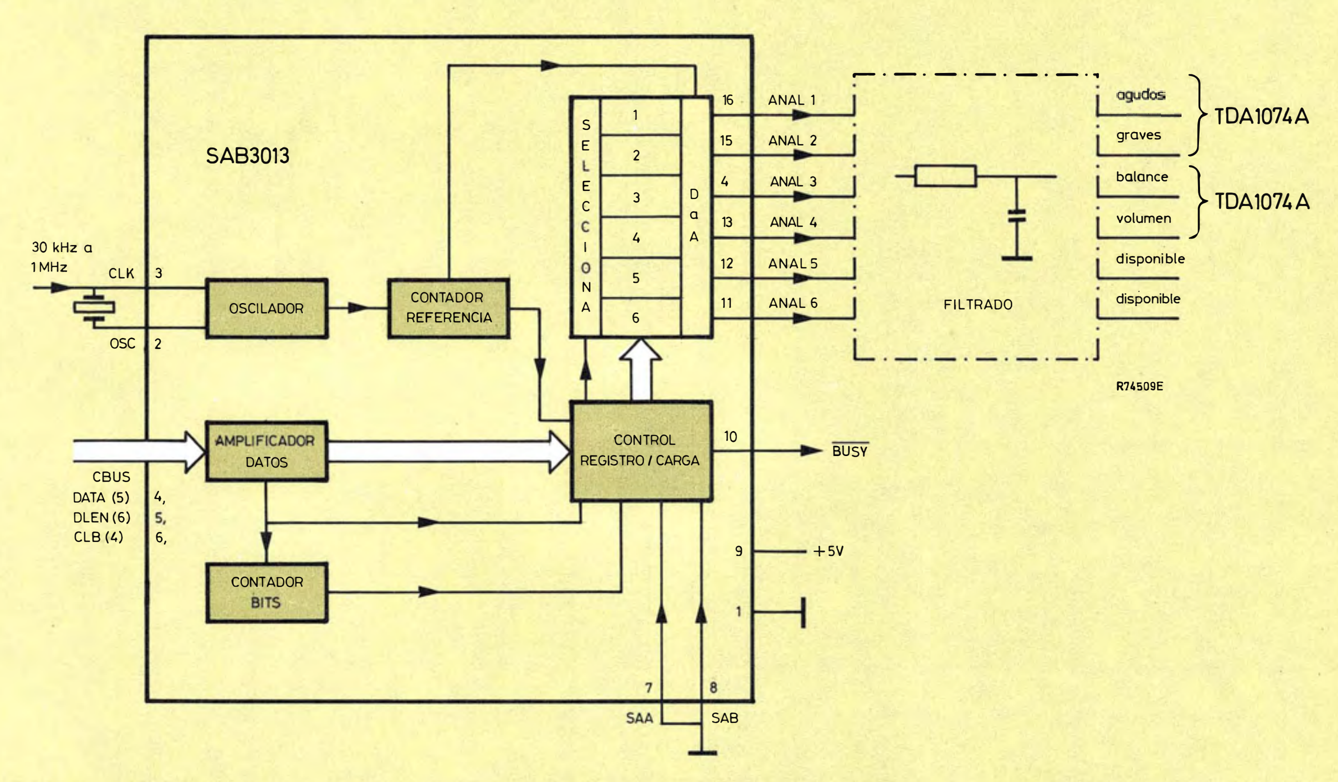


Figura 9. Circuito de control de nivel de las señales analógicas utilizando el SAB3013.

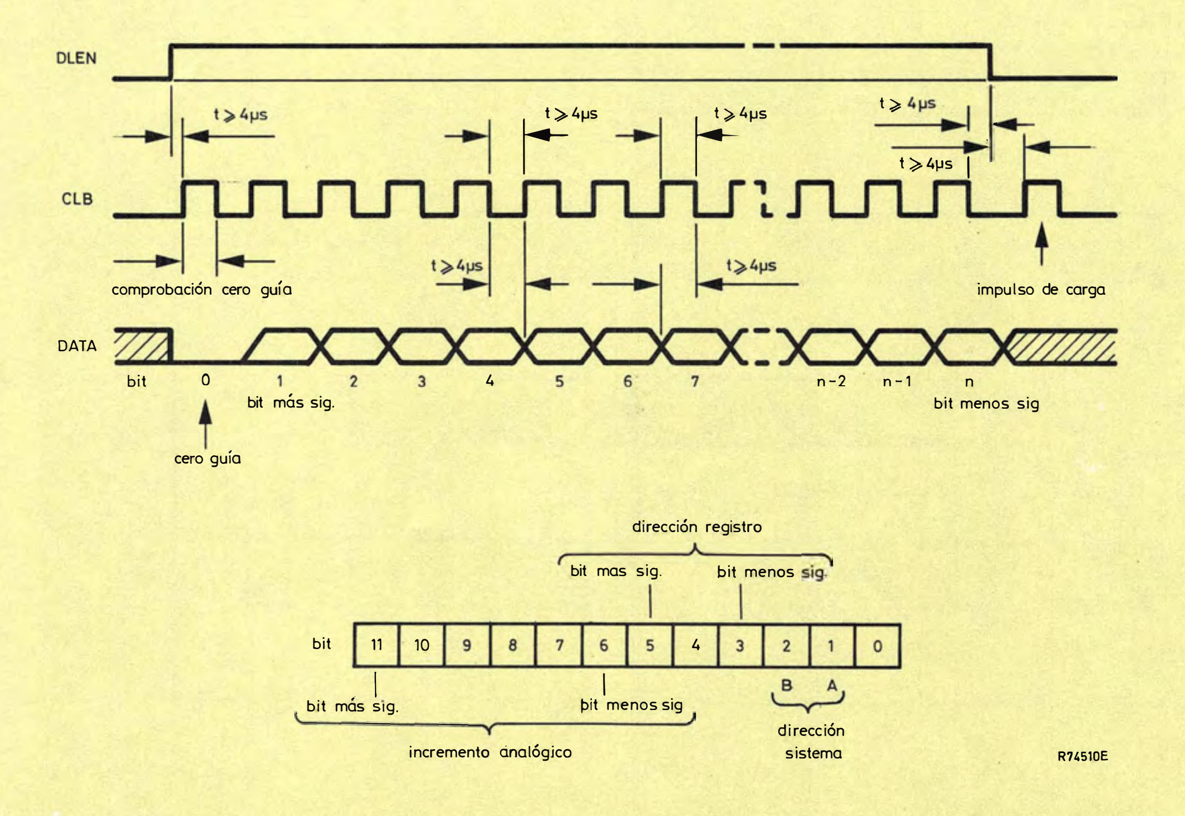


Figura 10. Formato de datos del SAB3013.

CLB. Esto permite que la información sea cargada en el registro seleccionado de forma sincronizada. Durante la carga, la señal BUSY es "0" y queda inhibida desde el CBUS la recepción de información posterior.

El contenido de los registros temporales de información se convierte internamente en impulsos de salida modulados en anchura con un periodo de 64 ciclos de reloj y un factor de trabajo proporcional al valor analógico, como se muestra en la figura 11. Una red RC externa como la de la figura 9 filtra los impulsos de salida modulados en anchura para obtener la tensión continua de control para los dos circuitos TDA1074A que integran potenciómetros electrónicos.

El SAB3013 puede utilizarse con un oscilador interno de 30 kHz a 1 MHz o con impulsos de reloj generados externamente en el mismo margen de frecuencia.

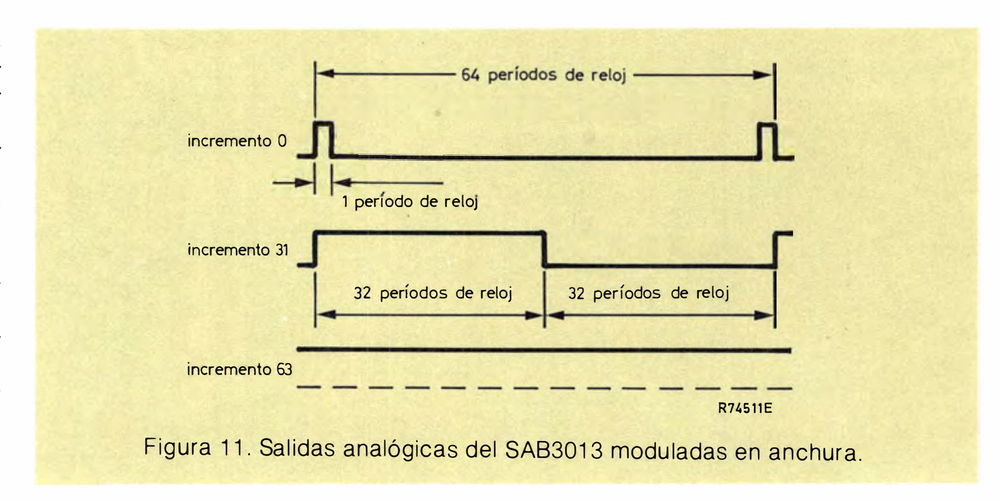


Figura 11. Salidas analógicas del SAB3013 moduladas en anchura.

VISUALIZADOR DE CRISTAL LÍQUIDO CON EL SAA1062

El circuito integrado SAA1062 de acoplamiento al visualizador de cristal líquido es un convertidor de serie a paralelo de 17 ó 20 bits compatible con la barra CBUS del microordenador e incluye un circuito interno que genera la señal alterna de excitación para conectar al electrodo común de un visualizador de cristal líquido. El circuito incorpora un comprobador de la validez de la información y es capaz de funcionar en una de las tres siguientes modalidades:

— Modo maestro síncrono. La información válida se presenta a las salidas en sincronismo con la señal de excitación del electrodo común generado internamente.
— Modo esclavo. El excitador del electrodo común se inhibe y la información, si es válida, se presenta a las salidas en sincronismo con una señal de excitación generada externamente (por otro SAA1062).
— Modo estático. El excitador del electrodo común se inhibe y la información, si es válida, aparece directamente en las salidas. En esta modalidad, el circuito puede programarse para invertir la información en las salidas.

El diagrama de bloques del SAA1062 se muestra en la figura 12. La información procedente del microordenador consiste en una palabra de 18 ó 21 bits incluyendo un cero guía como se muestra en la figura 13.

La información recibida a través del CBUS se carga en el registro de desplazamiento. Si existe un cero guía y se ha recibido el número correcto de bits (18 bits para BLS = "1", 21 bits para BLS = "0") y la señal DLEN ha pasado al estado "0" (información completa), la etapa de control de la barra genera un impulso de carga del registro temporal (LOL) que permite que la información sea transferida al registro temporal (modos síncrono o esclavo) o al amplificador de salida (modo estático), durante el frente de subida del próximo impulso CLB.

En el modo síncrono, un condensador externo de 22 nF se conecta entre la entrada C_{ext} y masa, y una señal de 60 Hz generada internamente se encuentra disponible en la salida/entrada AC/EL para su conexión al electrodo común del cristal líquido. La palabra de información, en el caso de ser válida, se transfiere del registro de desplazamiento al registro temporal en el impulso CLB inmediato posterior al impulso LOL y se transfiere entonces al amplificador de salida en sincronismo con la señal de excitación del cristal líquido.

En el modo estático, la entrada C_{ext} se conecta a V_{CC} y la salida/entrada AC/EL se conecta al nivel lógico "0", con lo que la información quedará invertida en las salidas. La señal de excitación del cristal líquido generada internamente queda inhibida y la información en el caso de ser válida, se transfiere directamente del registro de desplazamiento a las salidas.

En el modo esclavo, la entrada C_{ext} se conecta a V_{EE}, la señal de excitación del cristal líquido generada internamente se inhibe y la información, si es válida, se transfiere del registro de desplazamiento al registro temporal en el impulso CLB inmediato posterior al impulso LOL. La información se transfiere desde el registro temporal al amplificador de salida en sincronismo con una señal de excitación del cristal líquido generada externamente (por otro SAA1062) conectada a la salida/entrada AC/EL.

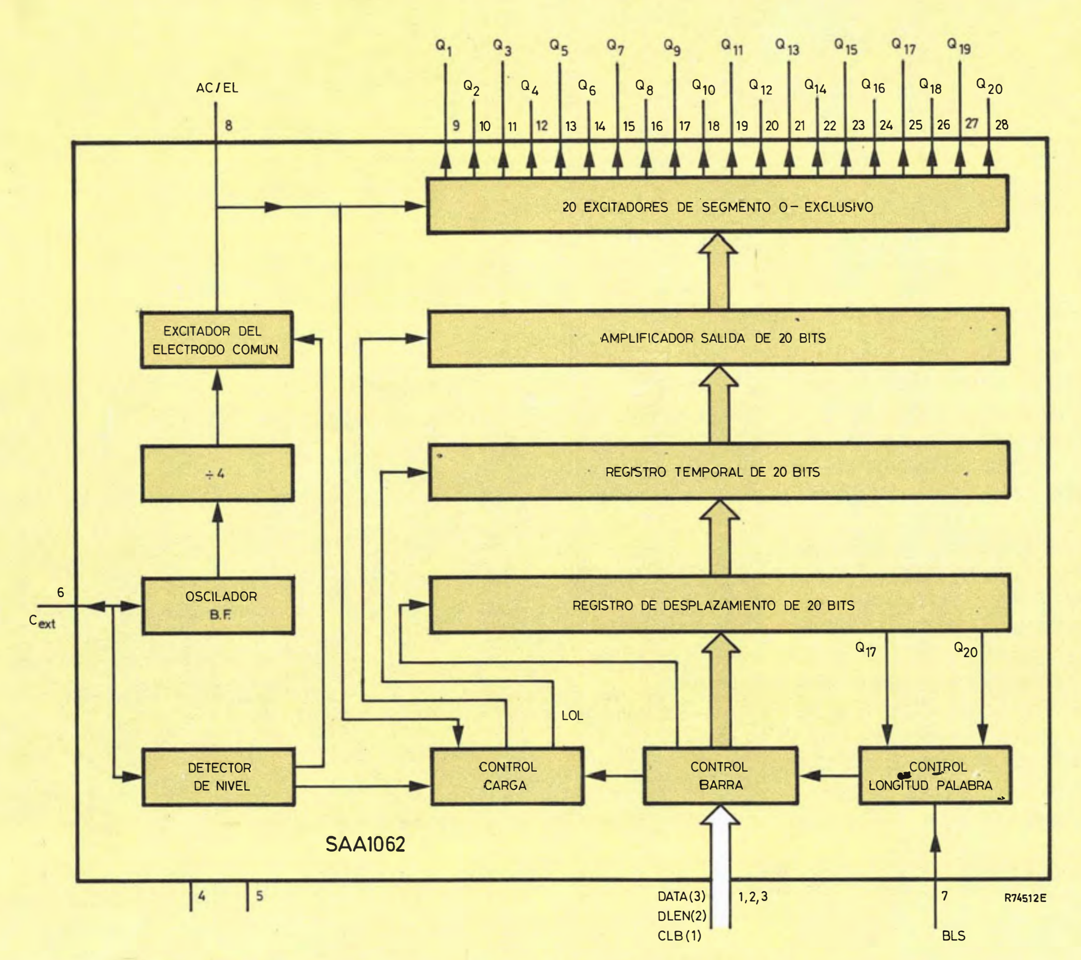
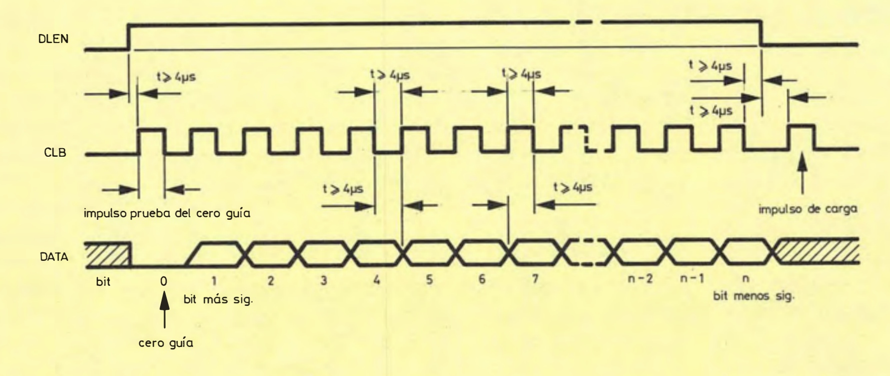


Figura 12. Circuito visualizador de cristal líquido (LCD)/acoplamiento SAA1062.



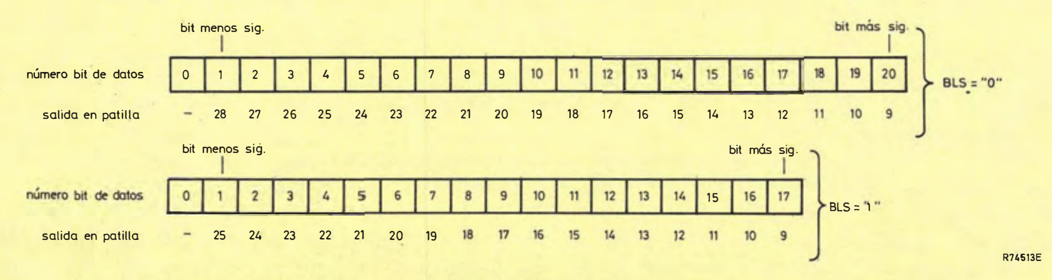


Figura 13. Formato de datos para el SAA1062.

Condensadores de polipropileno

Seis nuevos tipos de condensadores han sido añadidos a nuestro programa de ventas. Para aplicaciones donde se requieran altas corrientes y donde bajas pérdidas a altas frecuencias sean importantes, han sido desarrollados los tipos C357.4 y C357.5. Estos condensadores constan de una célula bobinada poco inductiva de lámina de Aluminio y película de Polipropileno. La serie C357.4 está protegida por una laca dura, repelente al agua y resistente a los disolventes, mientras que la serie C357.5 está protegida con una resina-epoxi en una cápsula amarilla de Polipropileno. La serie C357.4 cubre los valores desde 0,039 a 0,68 μF con tolerancias del 5 y 10%; la serie C357.5 cubre los valores desde 0,039 a 0,82 μF. Ambas series pueden soportar 250 Vcc.

Cuando altas tensiones son combinadas con altas corrientes, particularmente en los circuitos de desviación de televisión, en el control de motores de corriente alterna, y en fuentes de alimentación conmutadas, las series C357.6, C357.7, C357.8 y C357.9 pueden ser usadas.



Estos condensadores pueden soportar 630V, 1000V, 1500V y 2000V respectivamente. La serie C357.6 cubre los valores desde 0,047 a 0,33 μF, la serie C357.7 desde 0,018 a 0,22 μF, la serie C357.8 desde 0,0082 a 0,15 μF y la serie C357.9 desde 0,0015 a 0,0075 μF con tolerancias del 5 y 10%.

Resistencias no inflamables series NFR25

La principal característica de esta nueva serie de resistencias es que en caso de sobrecarga el circuito se abrirá sin que se inflame. Han sido especialmente diseñadas para cumplir los requerimientos de seguridad en equipos de audio y video y en cualquier otro equipo en que puedan haber sobrecargas.

Estas series NFR25 cubren los valores comprendidos desde 1 ohmio hasta 15 k ohmios (E24) con un 5% de tolerancia. Estas resistencias consisten en una película metálica homogénea depositada en un cuerpo cerámico. Una buena fiabilidad de contacto está asegurada por medio de unas cápsulas de acero prensadas en los extremos del cuerpo de las resistencias. Un hilo de cobre estañado está soldado a estas cápsulas. Las resistencias están recubiertas con una laca gris aislante no inflamable. Esta laca es resistente a todos los disolventes normalmente usados. El embalaje standard es 1.000 piezas por caja, ó 5.000 piezas por carrete.

Resistencias standard de película metálica series SFR25

Esta nueva serie de resistencias ofrece a los fabricantes muchas ventajas sobre las resistencias de película de carbón para aplicaciones generales a unos precios competitivos. Las series SFR25 cubren unos valores desde 1 ohmio hasta 1M ohmio (E24) con un 5% de tolerancia y una disipación de 0,33 W a 70°C.

Las principales ventajas sobre las resistencias de película de carbón son una mejor estabilidad, un muy bajo nivel de ruido de 0,1 μV/V máximo y un coeficiente de temperatura máximo de 250×10^{-6}/K. Estas resistencias son suministradas en cajas de 1.000 piezas o en carretes de 5.000 piezas.

Conmutadores rotativos miniatura para placas de circuito impreso

Copresa incluye en su programa de ventas una nueva serie de conmutadores rotativos (Serie E), que han sido diseñados para montarlos directamente sobre circuito impreso. Hay cuatro versiones básicas de 10 posiciones y tres versiones básicas de 16 posiciones.

Los tipos de 10 posiciones están disponibles con una salida común o con 1-2-4-8 códigos de conmutación con salida binaria, con salida complementaria y con salida binaria y complementaria. Los tipos de 16 posiciones están disponibles como 1-2-4-8 códigos de conmutación con salida binaria, con salida complementaria y con salida binaria y complementaria.



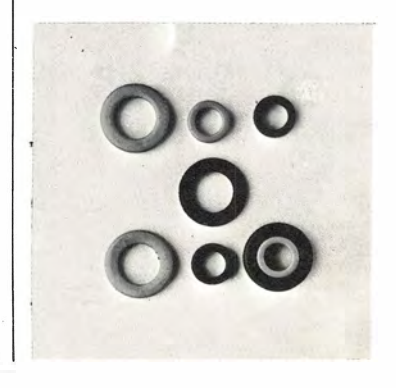
Estos conmutadores rotativos miniatura miden solamente 20,3 mm. por lado con una altura de 7,62 mm. Soportan una corriente de conmutación de 0,15 A y su duración de vida está por encima de 250.000 operaciones a 5V 10 mA.

Toroides para filtros supresión de interferencias

Copresa presenta la nueva gama de toroides de fabricación nacional utilizados principalmente en pequeños transformadores de banda ancha, transformadores de impulsos, filtros supresión de interferencias, etc..

Entre sus características técnicas destaca que no teniendo entrehierro poseen una elevada permeabilidad y pequeñas pérdidas magnéticas, debido a las propiedades de los distintos grados de material Ferroxcube.

La gama en cuanto a dimensiones va desde 4 × 2,2 × 1,1 a 36 × 23 × 15 en los grados de material 3H2, 3E1, 4C6, etc..

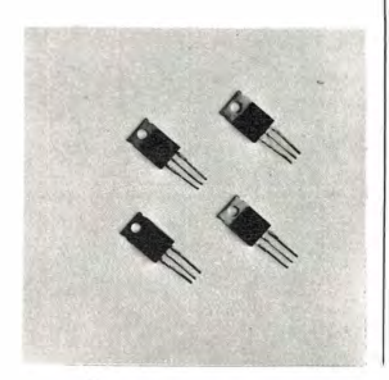


Control de motores

Durante el Certamen Sonimag'18, en el Stand de COPRESA, se ha presentado por primera vez en España, un equipo de CONTROL DE VELOCIDAD PARA MOTORES TRIFASICOS DE CA POR MODULACION DE ANCHURA DE IMPULSOS, realizado con componentes específicamente diseñados para esta aplicación. En concreto el diseño de un IC de alta escala de integración ha permitido la consecución de un equipo industrial de fiabilidad tal que supone una innovación altamente importante en este mercado.

El pasado día 1 de Octubre, y en el mismo Stand, la firma Agustín Comadrán, S.A. "Electromotores PACT", presentó la solución industrial de este tipo de control, producto de la colaboración entre ambas firmas, anunciando la aparición en el mercado de la primera serie de equipos fabricados para una potencia de 4 KW, en sus modalidades constructivas para adaptación a diferentes concepciones industriales.

Este primer equipo no es más que el primero de una familia que abarcará las potencias comprendidas entre 1 KW hasta 10 KW y que harán su aparición en el mercado español, durante el año 1981.



SONIMAG 18

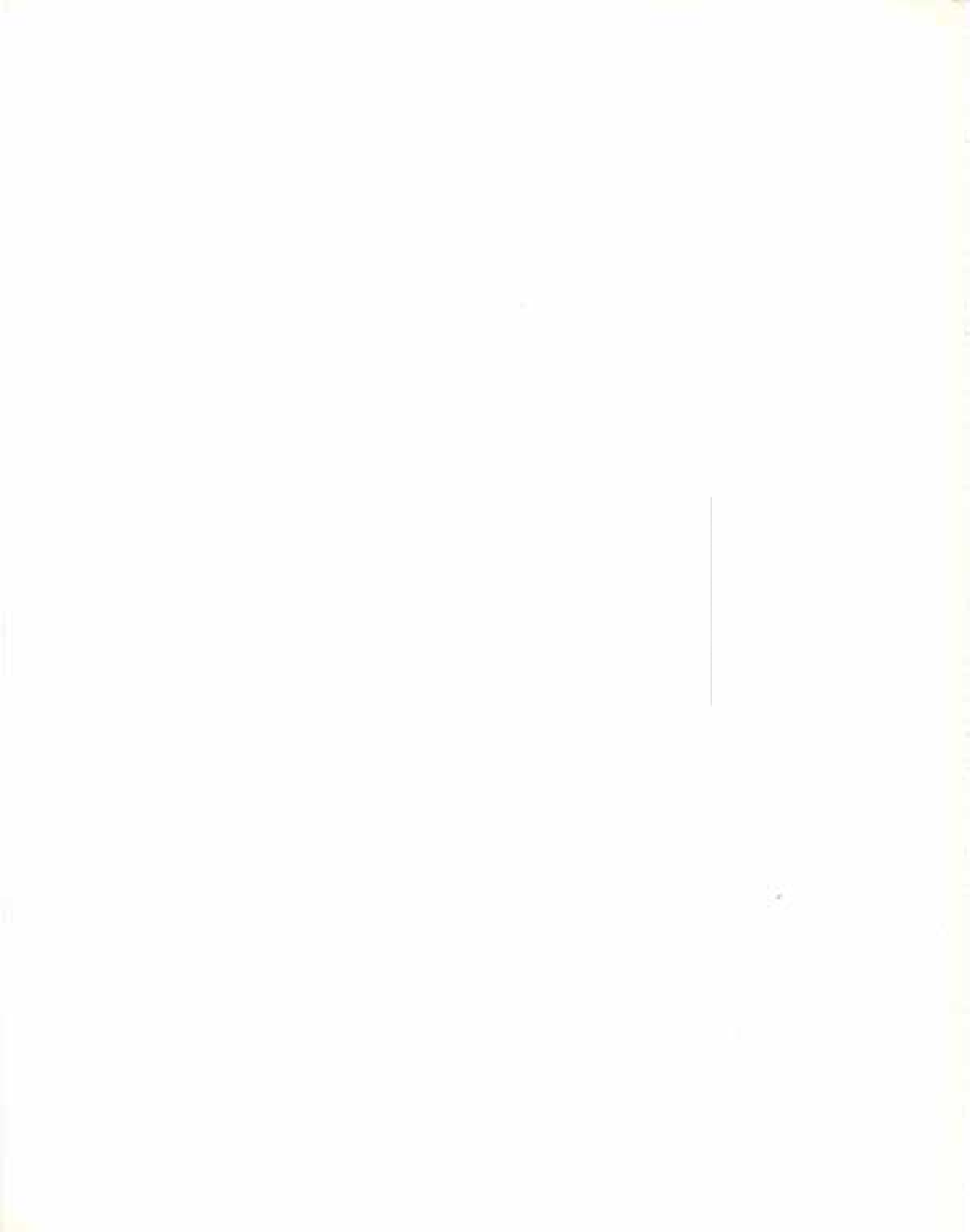
Una vez más COPRESA acudió al Certamen Sonimag, y una vez más, hemos intentado, como creemos es de rigor en toda Feria, ofrecer a nuestros amigos, las últimas novedades en la actualidad electrónica.

Quizás lo más espectacular que mostramos, mirando frente a un futuro, sea la exhibición del VIDEOTEX en nuestro Stand, exhibición quizás más modesta de lo que requería el acontecimiento, pero por tratarse de una utilización con carácter experimental, se trató con la discreción requerida.

Como se decía en una nota a la Prensa, y en somera exposición, "el servicio de Videotex permite al usuario, mediante un televisor doméstico adecuadamente adaptado, y del teléfono, obtener en la pantalla la información que ciertas entidades o personas (promotores) interesados en darlas a conocer, han depositado en un Banco de Datos". No podemos extendernos más, y si algún lector desea mayor información sobre el particular, puede escribirnos solicitando el folleto titulado "MULTITEXTO". Se exhibieron también en Sonimag, como en años anteriores, paneles de Células Solares Fotovoltaicas, con la novedad de presentar una aplicación práctica de las mismas, iluminando con cinco puntos de luz una caseta pre-fabricada.

Se presentaron también, equipos de IMS, MCT 48, una completa muestra de ferritas de fabricación en España, por Hispafer, en su fábrica de Guadalajara, y también se exhibieron diversos módulos, placas, tubos, impresoras, el "flat cable", una máquina para conformar el mismo, etc. Paralelamente se desarrollaron, con gran éxito unas jornadas de divulgación en el propio Stand entre fabricantes de TV, del sistema 30 AX, que duraron toda la semana. También se celebraron charlas sobre IMS, a cargo de D. Casimiro Pastor y sobre Células Solares Fotovoltaicas, a cargo de D. Pedro Vicente del Fraile, que consiguieron un éxito multitudinario.

COPRESA



signetics



Miniwatt

Ro

VOLUMEN 19-Número 12 Diciembre 1980 125 Ptas.





VOLUMEN 19-Número 12 DICIEMBRE 1980

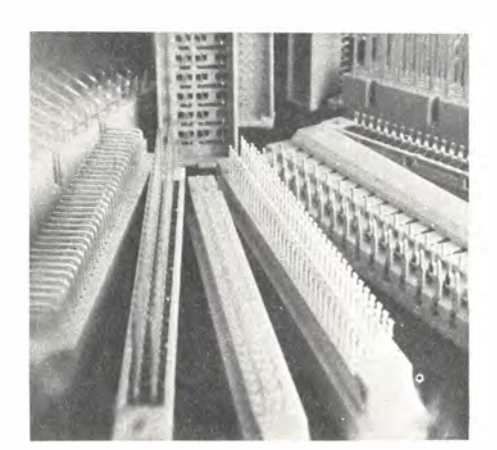
INDICE

Portada

Los conectores de la serie 7068 EUROCARD, son la respuesta lógica a los problemas de interconexión, dónde se requieren alta calidad y alta compacticidad.

El 7068 I, tiene un paso de 2,54 mm (0,1 pulgadas) y el 7068 II, dispone de un paso de 5,08 mm (0,2 pulgadas).

Los valores de corriente son de 2 A y 5 A respectivamente.



Revista Miniwatt

Publicada por:

COMPAÑIA DE PRODUCTOS ELECTRONICOS «COPRESA», S.A.
Balmes, 22 — Teléfono 301 63 12 — Barcelona-7

Suscripción anual (11 números)	Ptas.	1.100
Precio Ejemplar	Ptas.	125
Cambio domicilio	Ptas.	25

Director

D. José M.ª Llevat Grau

Editor

Cía. de Productos Electrónicos COPRESA, S.A.
Departamento de Publicaciones Técnicas
D. José Albiol Fernández

Coordinación

D. Enrique Riverola García
D. Rafael Rizo Aramburu

Redacción

D.ª M.ª Dolores Forns-Samsó

Consejo Asesor de Redacción

D. Antonio Griñó Berjón
D. Casimiro Pastor Millán
D. Ernesto Tassis Bosch

Suscripciones

D.ª M.ª Angeles García Ferrer

Coordinación, Maqueta y Producción

GENERAL GRAFIC, S.A.
Caspe, 172
Barcelona-13
Depósito Legal: B-18387-61

EDITORIAL

La dedicación de varios capítulos al tema de los llamados PLA (Programmable-Logic-Arrays) responde a la importancia que estos elementos van tomando en el mercado junto a la necesidad de reducción de costes en aquellas partes de los circuitos que por el tipo de aplicación y volumen no justifican la utilización de circuitos integrados específicos. Debe también verse bajo el punto de vista de reducción de costes de fabricación/montaje ya que las áreas de circuito impreso ocupados con circuitería lógica, máxime con puertas, son más caras que los integrantes mismos. Puede decirse que este tipo de productos verá reforzada su posición en el mercado por la aparición de nuevos componentes de esta familia dentro de la filosofía denominada IFL (Integrated Fusse Logic).

Se cierra en este número la serie de tres artículos dedicados a Micro-electrónica con la pregunta ¿El inicio de una revolución industrial? Nuestra contestación no puede ser otra: AMEN.

En SONIMAG se convocó para el año 1981 y como final al acto de presentación del fallo de los jurados de los Premios Copresa, el certamen sobre "MICROPROCESADORES. SUS APLICACIONES 1981" dotado esta vez con un primer premio de 250.000 ptas. y un segundo de 100.000. Esta continuidad es fruto de la respuesta con que se han acogido estos premios en el presente año.

SISTEMAS DE CONTROL CON PLA

PARTE 1

En sistemas de control de pequeñas máquinas, el empleo de un PLA (Programmable Logic Array) ofrece muchas posibilidades gracias a su flexibilidad. El PLA puede ser utilizado separadamente o formando parte en una estructura de funciones lógicas de alto nivel. Podrán verse mejor las posibilidades de los PLA en sistemas de control, mediante unos ejemplos que se expondrán en este artículo. La segunda parte de este artículo se publicará en volumen 20, número 2.

En Revista Miniwatt, volumen 19, número 10 se dio una descripción detallada de los FPLA.

SISTEMAS DE CONTROL COMBINACIONALES

Son aquellos en los que el estado lógico de sus salidas depende únicamente del estado de sus entradas. En ellos pues no es preciso tener en cuenta la variable de tiempo. La estructura básica de un sistema combinacional se compone de un conjunto de funciones Y, O y NO. Para el diseño de cualquier sistema combinacional debe obtenerse una tabla de verdad a partir de las especificaciones iniciales, y de ésta pueden deducirse las expresiones canónicas que definirán el sistema. Ya que el FPLA debe ser programado como una suma de productos, las expresiones lógicas que debe realizar, deberán expresarse también de esta manera. Esto se demuestra con la ayuda de algunos ejemplos. En la figura 1 se muestra una función lógica simple. Su expresión algebraica es:

$$F_7 = \overline{I}_0 \cdot I_1 \cdot I_2 + \overline{I}_0 \cdot \overline{I}_{10} \cdot \overline{I}_{15} + I_0 \cdot I_1$$

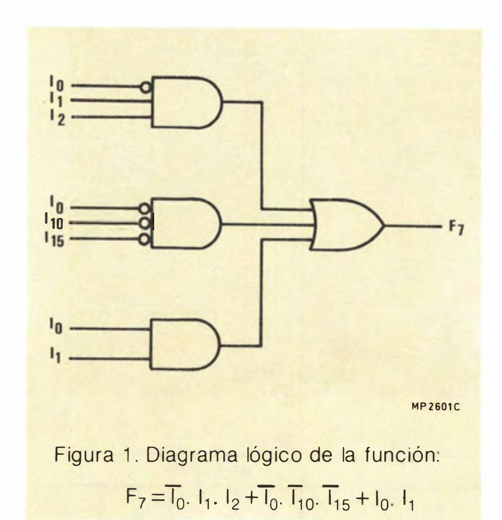


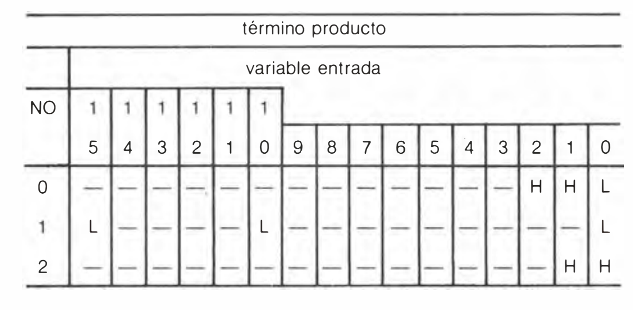
Figura 1. Diagrama lógico de la función:

$$F_7 = \overline{I}_0 \cdot I_1 \cdot I_2 + \overline{I}_0 \cdot \overline{I}_{10} \cdot \overline{I}_{15} + I_0 \cdot I_1$$

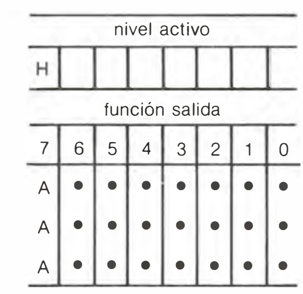
Esta expresión se programa en la tabla de programación de un PLA como se observa en la figura 2. Obsérvese que las entradas no utilizadas se programan como indiferentes. Un segundo ejemplo muestra una función O exclusiva de *n* bits. La salida de una O exclusiva está en estado activo cuando se cumple solamente una de las condiciones de entrada. También pueden programarse en un PLA funciones O exclusiva de más de 16 bits.

La ecuación de la función O exclusiva de tres bits es en este caso:

$$F_7 = I_0 \cdot \overline{I}_1 \cdot \overline{I}_2 + \overline{I}_0 \cdot I_1 \cdot \overline{I}_2 + \overline{I}_0 \cdot \overline{I}_1 \cdot I_2$$



	término producto															
	variable entrada															
NO	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	—	—	—	—	—	—	—	—	—	—	—	—	—	H	H	L
1	L	—	—	—	—	L	—	—	—	—	—	—	—	—	—	L
2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	H	H



nivel activo							
H							
función salida							
7	6	5	4	3	2	1	0
A	•	•	•	•	•	•	•
A	•	•	•	•	•	•	•
A	•	•	•	•	•	•	•

Figura 2. Tabla de programación de un PLA de la función de la figura 1.

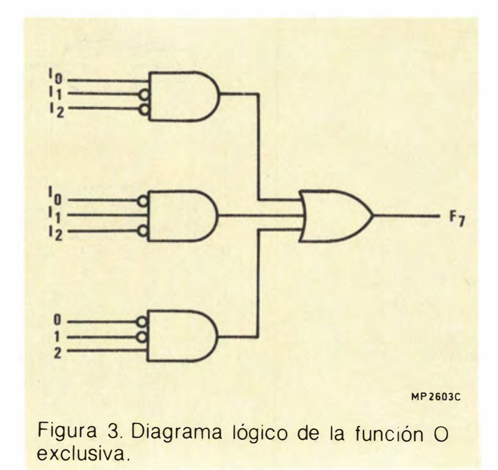


Figura 3. Diagrama lógico de la función O exclusiva.

El diagrama lógico de esta función puede verse en la figura 3. La función se representa en la tabla de programa del PLA tal como muestra la figura 4. Una función O exclusiva de 16 bits se realiza utilizando 16 productos y una salida. Además de funciones sencillas, en un PLA pueden programarse otras más complejas como la que muestra la figura 5. La ecuación lógica de la función es:

$$F_7 = I_7 (I_{15} + I_{10} + I_1 \cdot I_2 \cdot \overline{I}_3)$$

	término producto																	nivel activo							
	variable entrada																	H							
NO	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		función salida 7	6	5	4	3	2	1	0
0	—	—	—	—	—	—	—	—	—	—	—	—	—	L	L	H		A	•	•	•	•	•	•	•
1	—	—	—	—	—	—	—	—	—	—	—	—	—	L	H	L		A	•	•	•	•	•	•	•
2	—	—	—	—	—	—	—	—	—	—	—	—	—	H	L	L		A	•	•	•	•	•	•	•

Figura 4. Tabla de programación de un PLA de la función de la figura 3.

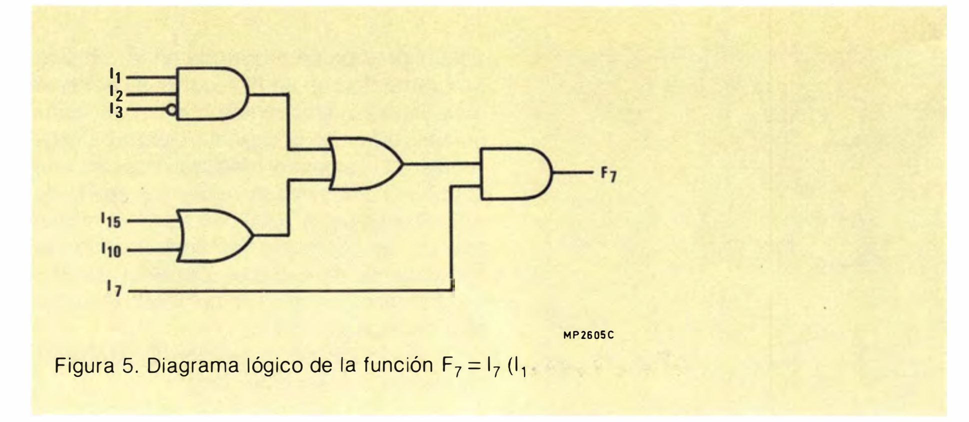
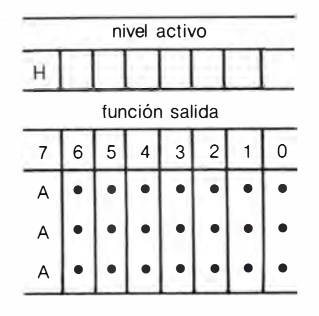


Figura 5. Diagrama lógico de la función $F_7 = I_7 (I_1$



	término producto																	nivel activo							
	variable entrada																	H							
NO	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		función salida 7	6	5	4	3	2	1	0
0	H	—	—	—	—	—	—	—	H	—	—	—	—	—	—	—		A	•	•	•	•	•	•	•
1	—	—	—	—	—	H	—	—	H	—	—	—	—	—	—	—		A	•	•	•	•	•	•	•
2	—	—	—	—	—	—	—	—	H	—	—	—	L	H	H	—		A	•	•	•	•	•	•	•

Figura 6. Tabla de programación de un PLA de la función de la figura 5.

Para programar esta función, debe estar expresada en forma de suma de productos:

$$F_7 = I_7 . I_{15} + I_7 I_{10} + I_1 . I_2 . \overline{I_3} . I_7$$

La tabla de programación correspondiente se muestra en la figura 6. En algunas aplicaciones se puede reducir el número de productos programando la salida, de forma que su estado activo sea 0. En la figura 7 se representa una función en el mapa de Karnaugh. En álgebra de Boole, ésta puede expresarse de dos maneras. Estas ecuaciones se representan en los diagramas de las figuras 8 y 9 y sus tablas de programación se muestran en las figuras 10 y 11.

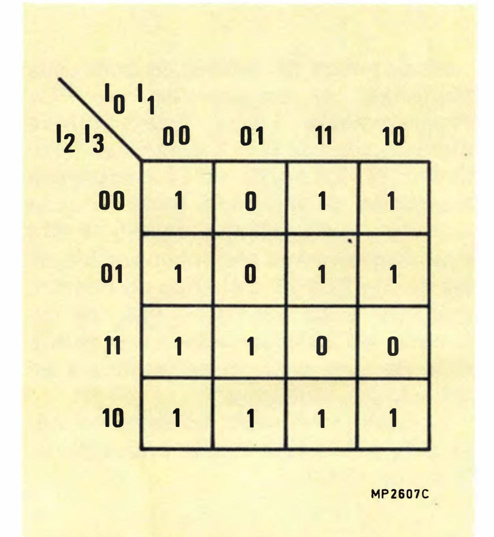


Figura 7. Mapa de Karnaugh de una función lógica.

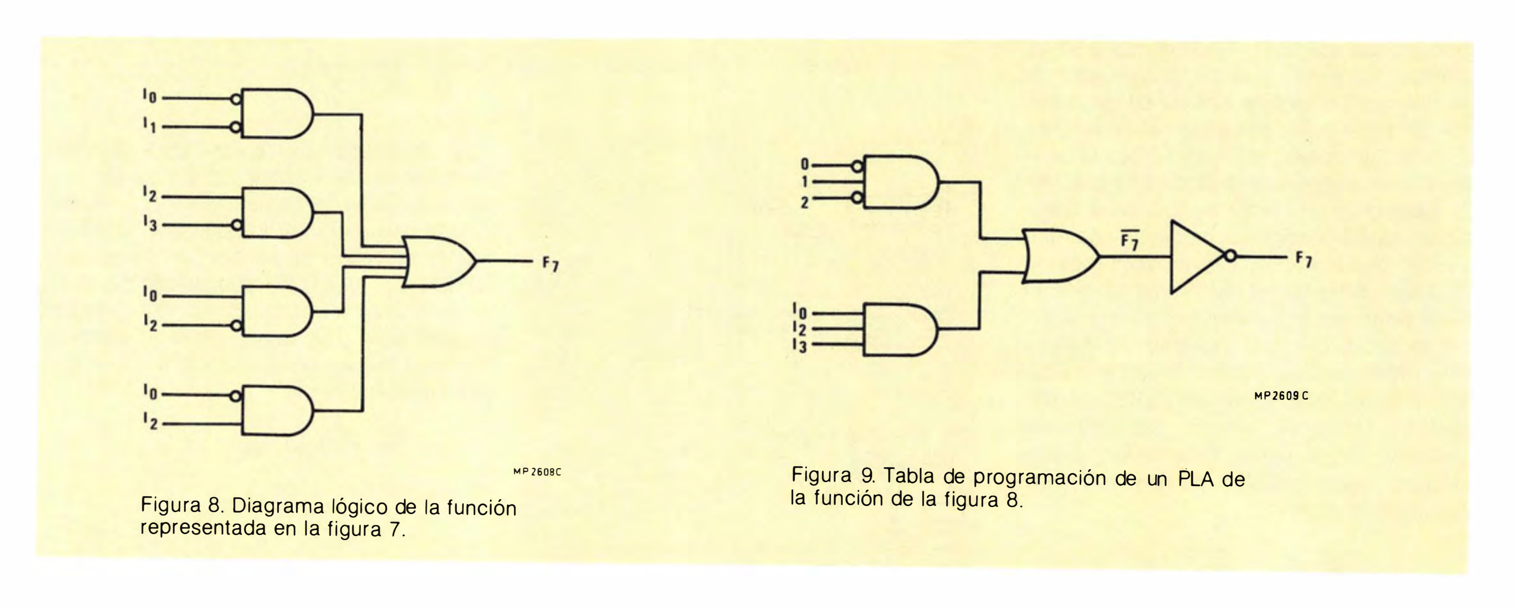


Figura 8. Diagrama lógico de la función representada en la figura 7.

Figura 9. Tabla de programación de un PLA de la función de la figura 8.

término producto																
	variable entrada															
NO	1 5	1 4	1 3	1 2	1 1	1 0	9	8	7	6	5	4	3	2	1	0
0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	L	L
1	—	—	—	—	—	—	—	—	—	—	—	—	L	H	—	—
2	—	—	—	—	—	—	—	—	—	—	—	—	—	L	—	H
3	—	—	—	—	—	—	—	—	—	—	—	—	—	H	—	L

nivel activo							
H							
función salida							
7	6	5	4	3	2	1	0
A	•	•	•	•	•	•	•
A	•	•	•	•	•	•	•
A	•	•	•	•	•	•	•
A	•	•	•	•	•	•	•

Figura 10. Diagrama lógico de la función de la figura 7.

término producto																
	variable entrada															
NO	1 5	1 4	1 3	1 2	1 1	1 0	9	8	7	6	5	4	3	2	1	0
0	—	—	—	—	—	—	—	—	—	—	—	—	—	L	H	L
1	—	—	—	—	—	—	—	—	—	—	—	—	H	H	—	H

nivel activo							
L							
función salida							
7	6	5	4	3	2	1	0
A	•	•	•	•	•	•	•
A	•	•	•	•	•	•	•

Figura 11. Tabla de programación de un PLA de la función de la figura 10.

Figura 12. Diagrama lógico de la función memoria $F_7 = I_1 . I_2 . \overline{I_3} + F_7 \, I_4$.

término producto																
	variable entrada															
NO	1	1	1	1	1	1										F7
	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0
0	—	—	—	—	—	—	—	—	—	—	—	—	L	H	H	—
1	—	—	—	—	—	—	—	—	—	—	—	H	—	—	—	H

nivel activo							
H							
función salida							
7	6	5	4	3	2	1	0
A	•	•	•	•	•	•	•
A	•	•	•	•	•	•	•

Figura 13. Tabla de programación en un PLA de la función lógica de la figura 12.

Figura 14. Diagrama lógico de la función memoria $F_7 = I_2 . I_3 . \overline{I_4} + F_7 \, (\overline{I_5 . I_6 . I_7 . I_8})$.

SISTEMAS SECUENCIALES

En un control secuencial, las salidas no son solamente función de las variables de entrada en un tiempo conocido t_n, también dependen del estado previo de los niveles de entrada (t_{n-1}). En sistemas de control secuenciales, además de las funciones Y, O, y NO hay que tener en cuenta el factor tiempo. Este tiempo se representa por la función memoria. Hay dos tipos de controles secuenciales: el control síncrono, que emplea impulsos de reloj para determinar el momento en que las salidas deben cambiar; y el control asíncrono en el que las salidas pueden cambiar sólo relacionadas con las variaciones de las entradas.

Controles asíncronos

En un sistema asíncrono simple, la función memoria puede obtenerse mediante una realimentación directa de las salidas a las entradas. Cuando se emplea esta configuración, es importante evitar estados en los que pueden aparecer fenómenos aleatorios; estos estados son debidos al retardo en la propagación de las señales a través de las puertas lógicas que las conducen. Si se utilizan diversas funciones memoria y una combinación de las salidas tiene que ser cambiada por otra, es posible que una de las salidas pueda ser más rápida que las demás. El estado intermedio que aparece puede influenciar al siguiente estado del sistema de control. Cuando exista la posibilidad de que aparezcan fenómenos aleatorios, debe elegirse un sistema síncrono. En el caso opuesto, si no existe esta posibilidad, puede utilizarse un sistema asíncrono. La figura 12 muestra una sencilla configuración de función memoria, que puede expresarse como:

$$F_7 = I_1 . I_2 . \overline{I_3} + F_7 . I_4$$

Para programar esta función en un PLA, se debe realimentar una de las entradas desde la salida F_7, por ejemplo I_0 como muestra la figura 13. Una función memoria algo más compleja se muestra en la figura 14. Esta se representa como:

$$F_7 = I_2 . I_3 . \overline{I_4} + F_7 \, (\overline{I_5 . I_6 . I_7 . I_8})$$

Hay dos formas de programarla:

a) como una suma de productos con una salida activa;
b) como una suma de productos empleando una salida suplementaria.

En el primer caso, la función puede expresarse como:

$$F_7 = I_2 . I_3 . \overline{I_4} + F_7 \overline{I_5} + F_7 \overline{I_6} + F_7 \overline{I_7} + F_7 \overline{I_8}$$

El programa de esta función puede verse en la figura 15. Este sistema precisa un número mayor de productos, en especial cuando la función F_6 depende de más entradas.

En el segundo caso, utilizando una entrada suplementaria, la función F_6 puede programarse en un producto y la función completa en tres términos. Las expresiones son:

$$F_6 = \overline{I_5 \cdot I_6 \cdot I_7 \cdot I_8}$$

$$F_7 = I_2 \cdot I_3 \cdot \overline{I_4} + F_7 \cdot F_6$$

En la tabla de programación que muestra la figura 16, F_7 está unida a I_0 y F_6 a I_1. Obsérvese que el nivel activo de F_6 está programado como 0 (o bajo). Otro ejemplo de sistema de control secuencial asíncrono puede ser el de una báscula grabada con nivel 1. El circuito correspondiente es el de la figura 17 donde la variable de entrada I_0 graba, y la variable I_1 borra. La ecuación correspondiente sería

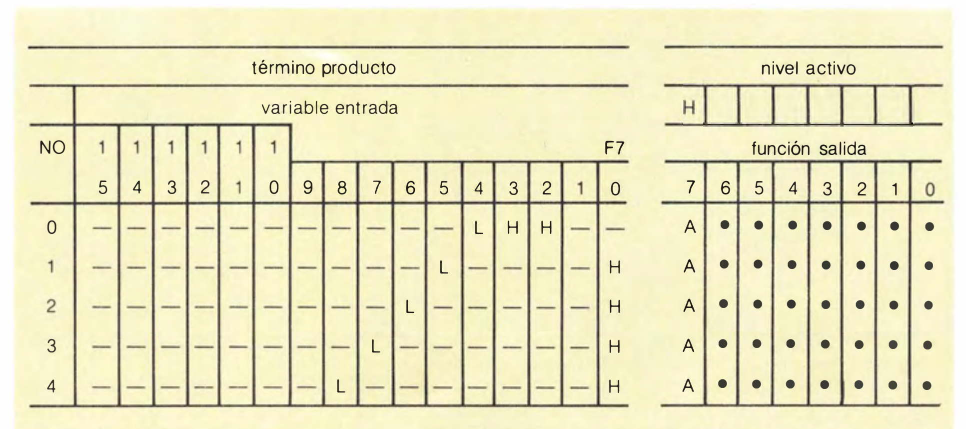
$$F_x = I_2 \cdot \overline{I_1} \cdot I_0$$

La tabla de programación se muestra en la figura 18. Con la notación F_0 colocada sobre la columna correspondiente a la variable de entrada 2, se indica que la salida 0 debe conectarse a la entrada 2.

En un sistema de control asíncrono en el cual se precisan varias funciones memoria, el número de entradas y/o salidas puede ser insuficiente. Esto puede resolverse mediante el empleo de varios PLA como muestra la figura 19. En este caso se precisan un total de 8 funciones memoria. Cuatro salidas de cada uno de los PLA utilizados están presentes en sus entradas. Todas las salidas de los PLA A y B están conectadas a las entradas del PLA, C. Las ocho salidas de este último son las salidas del sistema de control. Las doce entradas restantes de los PLA, A y B son las 24 entradas del sistema.

Controles síncronos

En algunos sistemas, es preciso el empleo de impulsos de sincronismo. La figura 20 muestra un ejemplo. El estado de todas las salidas del PLA se graba a la vez en los registros intermedios mediante los impulsos de reloj. Otra forma de realización, en sistemas síncronos, se obtiene realimentando la entrada desde cierto número de salidas de un PLA a través de biestables activados por flancos (fig. 21). Estas son las formas básicas de realización para los sistemas de control que se describirán a continuación.



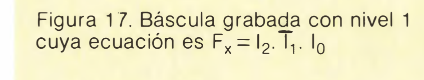
término producto	variable entrada																nivel activo	H						
NO	1	1	1	1	1	1										F7	función salida							
	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
0	—	—	—	—	—	—	—	—	—	—	—	L	H	H	—	—	A	•	•	•	•	•	•	•
1	—	—	—	—	—	—	—	—	—	—	L	—	—	—	—	H	A	•	•	•	•	•	•	•
2	—	—	—	—	—	—	—	—	—	L	—	—	—	—	—	H	A	•	•	•	•	•	•	•
3	—	—	—	—	—	—	—	—	L	—	—	—	—	—	—	H	A	•	•	•	•	•	•	•
4	—	—	—	—	—	—	—	L	—	—	—	—	—	—	—	H	A	•	•	•	•	•	•	•

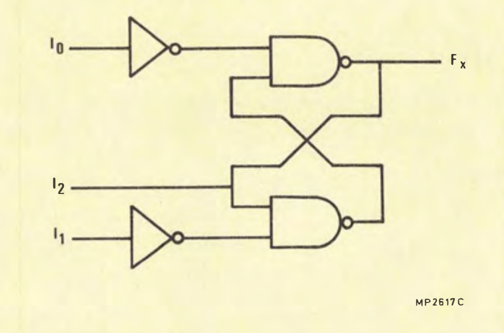
Figura 15. Tabla de programación en un PLA de la función lógica de la figura 14 en la forma de suma de productos con una salida activa.



término producto	variable entrada																nivel activo	H	L					
NO	1	1	1	1	1	1									F6	F7	función salida							
	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
0	—	—	—	—	—	—	—	H	H	H	H	—	—	—	—	—	•	A	•	•	•	•	•	•
1	—	—	—	—	—	—	—	—	—	—	—	L	H	H	—	—	A	•	•	•	•	•	•	•
2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	H	H	A	•	•	•	•	•	•	•

Figura 16. Tabla de programación de un PLA de la función lógica de la figura 14, en la forma de suma de productos empleando una salida suplementaria.


Figura 17. Báscula grabada con nivel 1 cuya ecuación es $F_x = I_2 \cdot \overline{I_1} \cdot I_0$



término producto	variable de entrada																nivel activo							H
NO	1	1	1	1	1	1								F0			función salida							
	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
0	—	—	—	—	—	—	—	—	—	—	—	—	—	H	L	—	•	•	•	•	•	•	•	A
1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	H	•	•	•	•	•	•	•	A

Figura 18. Tabla de programación de un PLA de la función de la figura 17.

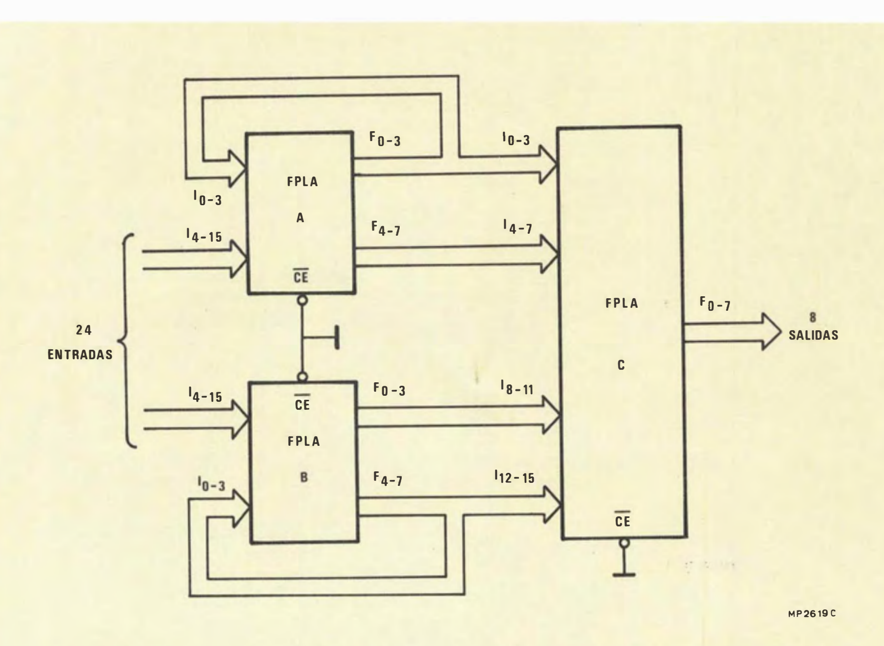


Figura 19. Empleo de varios PLA para el caso de un sistema de control asíncrono en el que el número de entradas y/o salidas es insuficiente.

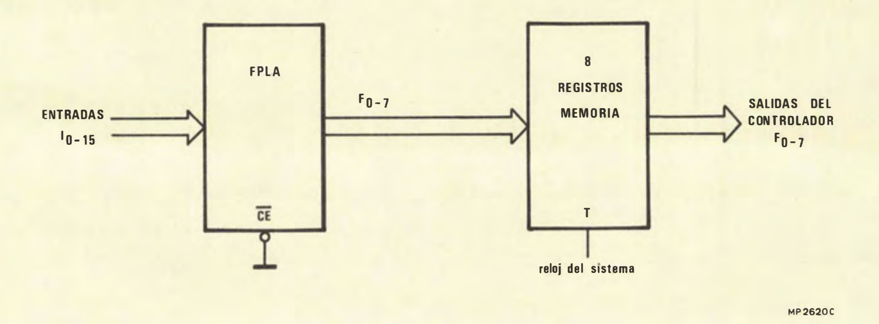


Figura 20. Sistema de control síncrono con impulsos de sincronismo (reloj).

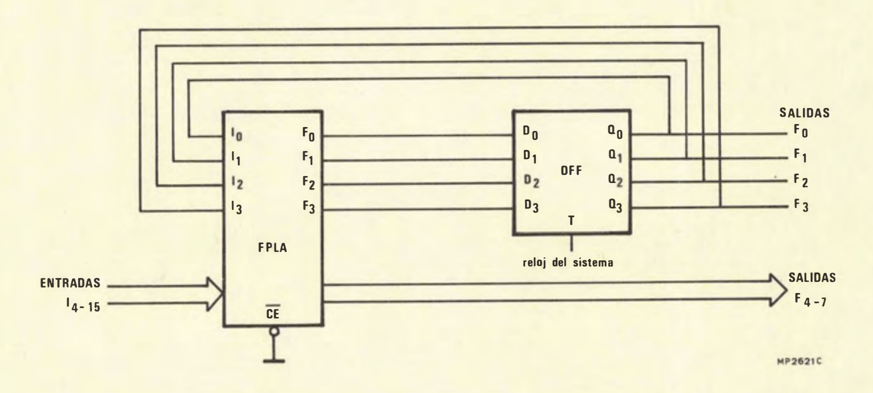


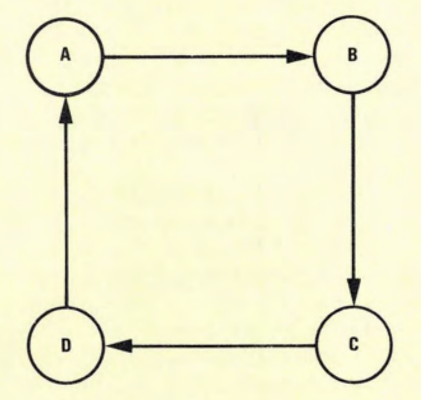
Figura 21. Sistema de control síncrono con realimentación a través de biestables activados por flancos.

En primer lugar, para diseñar un sistema de control síncrono, debe realizarse el diagrama de estados o de flujo. La función del control se divide en varios estados diferenciados, representando cada uno de ellos una combinación de las salidas realimentadas. El estado del circuito combinacional en un tiempo dado (t_n) está determinado por el estado previo (t_{n-1}) y las nuevas condiciones de entrada. Un ejemplo simple es un contador síncrono hasta 4. El diagrama de estado se muestra en la figura 22 y la tabla de programación en la figura 23.

Cada uno de los estados de la función está programado en un producto. Cuando el control se encuentra en un estado definido, el siguiente estado está determinado por las salidas F_0, F_1, F_2 y F_3. Estas están unidas a las entradas a través de biestables que reciben impulsos de sincronismo de un reloj (ver fig. 21). Si el control se encuentra en un estado indeterminado, por ejemplo si el estado de las entradas no corresponde con una de las combinaciones programadas, después de un impulso de reloj se da un impulso de puesta a cero y pasa al estado inicial determinado. Por lo tanto, no será necesario programar el producto n.º 3 indicado en la tabla de la figura 23.

Con el contador anterior puede realizarse otro ejemplo, decodificando el cuarto estado y añadiendo además un impulso de puesta a cero síncrono que pase cualquier combinación al estado inicial. El diagrama de estados de esta función se muestra en la figura 24 y se representa en la tabla de la figura 25. Las condiciones para las que R toma el valor cero (R=L) no precisan programarse porque si la combinación de entrada no corresponde con uno de los productos, el control siempre pasa al estado inicial (LLLL) cuando se presenta el primer impulso de sincronismo. En este ejemplo, las funciones de salida sólo dependen del estado de control. Este es el principio del modelo de Moore en el que, para circuitos secuenciales síncronos, el estado de las salidas es solamente función del estado del circuito combinacional.

En el último ejemplo, la salida F_7 se activa cuando el control está en el estado D(LLHH) independientemente del nivel presente en la entrada de puesta a cero R. Si la salida F_7 es también función de R, el diagrama de estado deberá cambiarse. El nivel de F_7 debe definirse para cada valor de R (ver figura 26). Esta función se representa en la tabla de la figura 27. Obsérvese que en el estado D, el nivel de la salida F_7 es función de R; en los estados restantes, el nivel de F_7 toma el valor 0. En este ejemplo, las salidas son función del estado interno y de los niveles presentes en las entradas (modelo de Mealy). Un cuarto

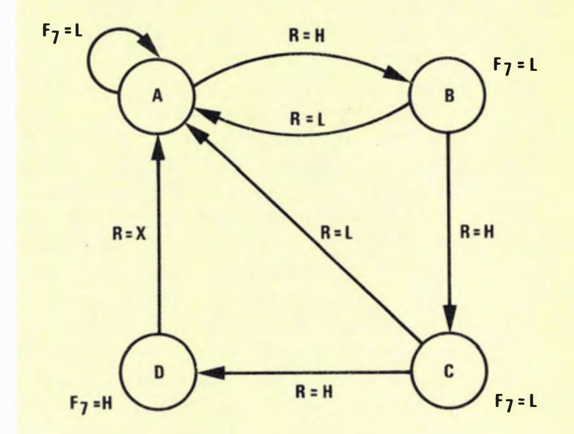


	Q_3	Q_2	Q_1	Q_0	estado actual	próxirno estado
A =	L	L	L	L	A	B
B =	L	L	L	H	B	C
C =	L	L	H	L	C	D
D =	L	L	H	H	D	A

Figura 22. Diagrama de estados de un contador síncrono hasta 4.

	término producto																D_3 D_2 D_1 D_0 nivel activo							
	variable entrada																H	H	H	H	H	H	H	H
NO													Q_3	Q_2	Q_1	Q_0	función salida							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
0	—	—	—	—	—	—	—	—	—	—	—	—	L	L	L	L	•	•	•	•	•	•	•	A
1	—	—	—	—	—	—	—	—	—	—	—	—	L	L	L	H	•	•	•	•	•	•	A	•
2	—	—	—	—	—	—	—	—	—	—	—	—	L	L	H	L	•	•	•	•	•	•	A	A
3	—	—	—	—	—	—	—	—	—	—	—	—	L	L	H	H	•	•	•	•	•	•	•	•

Figura 23. Tabla de programación de la función de la figura 22.



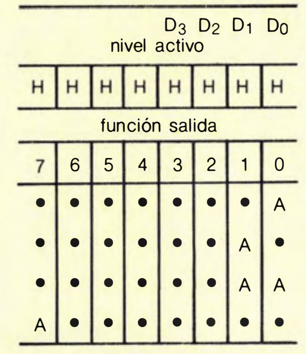
	Q_3	Q_2	Q_1	Q_0	R	estado actual	próximo estado
A =	L	L	L	L	H	A	B
B =	L	L	L	H	H	B	C
C =	L	L	H	L	H	C	D
D =	L	L	H	H	X	D	A
			$F_7 = D$		L	X	A

Figura 24. Diagrama de estados de un contador hasta 4 con impulsos de puesta a cero síncrono.

término producto

variable entrada

NO	15	14	13	12	11	10	9	8	7	6	5 (R)	4	3 (Q_3)	2 (Q_2)	1 (Q_1)	0 (Q_0)
0	—	—	—	—	—	—	—	—	—	—	H	—	L	L	L	L
1	—	—	—	—	—	—	—	—	—	—	H	—	L	L	L	H
2	—	—	—	—	—	—	—	—	—	—	H	—	L	L	H	L
3	—	—	—	—	—	—	—	—	—	—	—	—	L	L	H	H



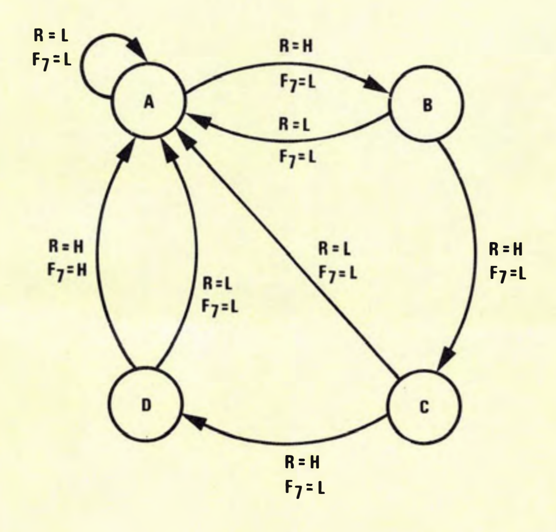
D_3 D_2 D_1 D_0
nivel activo

H	H	H	H	H	H	H	H

función salida

7	6	5	4	3	2	1	0
•	•	•	•	•	•	•	A
•	•	•	•	•	•	A	•
•	•	•	•	•	•	A	A
A	•	•	•	•	•	•	•

Figura 25. Tabla de programación de la función de la figura 24.



MP 2626C

	Q_3	Q_2	Q_1	Q_0
A =	L	L	L	L
B =	L	L	L	H
C =	L	L	H	L
D =	L	L	H	H

R	estado actual	próximo estado	salida F_7
H	A	B	L
H	B	C	L
H	C	D	L
H	D	A	H
L	X	A	L

Figura 26.

término producto

variable entrada

NO	15	14	13	12	11	10	9	8	7	6	5 (R)	4	3 (Q_3)	2 (Q_2)	1 (Q_1)	0 (Q_0)
0	—	—	—	—	—	—	—	—	—	—	H	—	L	L	L	L
1	—	—	—	—	—	—	—	—	—	—	H	—	L	L	L	H
2	—	—	—	—	—	—	—	—	—	—	H	—	L	L	H	L
3	—	—	—	—	—	—	—	—	—	—	H	—	L	L	H	H

D_3 D_2 D_1 D0
nivel activo

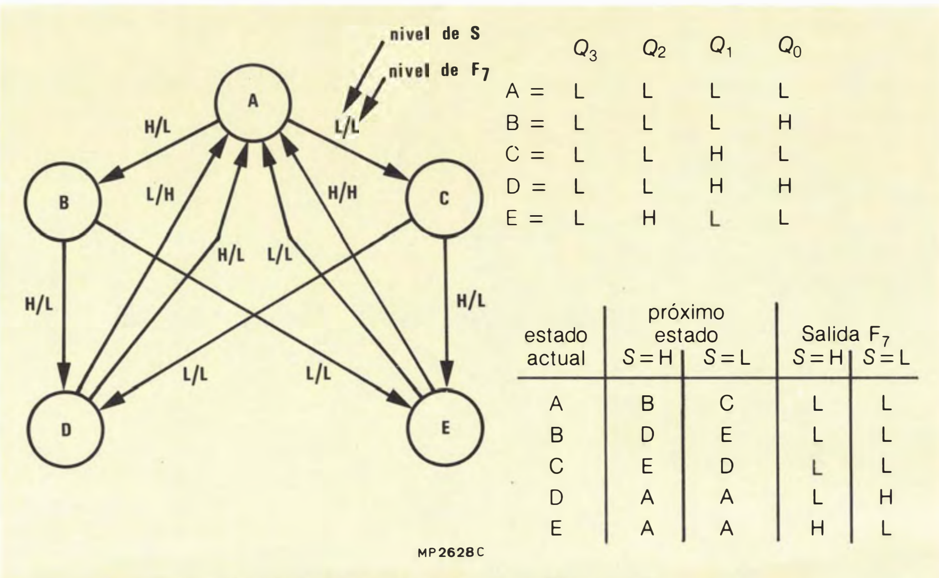
H	H	H	H	H	H	H	H

función salida

7	6	5	4	3	2	1	0
•	•	•	•	•	•	•	A
•	•	•	•	•	•	A	•
•	•	•	•	•	•	A	A
A	•	•	•	•	•	•	•

Figura 27. Tabla de programación de la función de la figura 36.

ejemplo es un detector de paridad serie que cumple el modelo de Mealy. La salida de paridad F_7 debe activarse (activa en 1) cuando la información serie de tres bits tiene paridad par. Los diagramas de estado y de flujo pueden verse en la figura 28 y la tabla de programación en la figura 29. En los ejemplos anteriores se han descrito modelos de controles secuenciales con sólo una variable de entrada exterior. En caso de utilizar un número elevado de variables de entrada, los diagramas de estado pueden resultar bastante complicados y es preferible utilizar los diagramas de flujo. Cada bloque de estos diagramas representa una o más funciones, debiendo programarse cada una de ellas en forma de producto, como se mostrará en los ejemplos siguientes



	Q_3	Q_2	Q_1	Q_0
A =	L	L	L	L
B =	L	L	L	H
C =	L	L	H	L
D =	L	L	H	H
E =	L	H	L	L

estado actual	próximo estado S = H	próximo estado S = L	Salida F_7 S = H	Salida F_7 S = L
A	B	C	L	L
B	D	E	L	L
C	E	D	L	L
D	A	A	L	H
E	A	A	H	L

Figura 28. Diagrama de estados de un detector de paridad serie.

Figura 29. Tabla de programación de la función de la figura 28.

término producto — variable entrada

NO	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											S		Q_3	Q_2	Q_1	Q_0
0	—	—	—	—	—	—	—	—	—	—	H	—	L	L	L	L
1	—	—	—	—	—	—	—	—	—	—	L	—	L	L	L	L
2	—	—	—	—	—	—	—	—	—	—	H	—	L	L	L	H
3	—	—	—	—	—	—	—	—	—	—	L	—	L	L	L	H
4	—	—	—	—	—	—	—	—	—	—	H	—	L	L	H	L
5	—	—	—	—	—	—	—	—	—	—	L	—	L	L	H	L
6	—	—	—	—	—	—	—	—	—	—	L	—	L	L	H	H
7	—	—	—	—	—	—	—	—	—	—	H	—	L	H	L	L

nivel activo — función salida

NO	7	6	5	4	3	2	1	0	
					D_3	D_2	D_1	D0	
nivel activo	H	H	H	H	H	H	H	H	
0	•	•	•	•	•	•	•	A	ESTADO A
1	•	•	•	•	•	•	A	•	ESTADO A
2	•	•	•	•	•	•	A	A	ESTADO B
3	•	•	•	•	•	A	•	•	ESTADO B
4	•	•	•	•	•	A	•	•	ESTADO C
5	•	•	•	•	•	•	A	A	ESTADO C
6	A	•	•	•	•	•	•	•	ESTADO D
7	A	•	•	•	•	•	•	•	ESTADO E

La figura 30 muestra un sencillo ejemplo en el que sólo son utilizadas funciones incondicionales con un salto incondicional del estado 2 al estado 0. La condición de puesta a cero de los biestables cuyas salidas están presentes en las entradas puede iniciar el programa. Esta función puede programarse en tres productos (fig. 31). También pueden utilizarse funciones condicionales.

	término producto — variable entrada																nivel activo				D_3	D_2	D_1	D0
													Q_3	Q_2	Q_1	Q_0	H	H	H	H	H	H	H	H
NO	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	función salida 7	6	5	4	3	2	1	0
0	—	—	—	—	—	—	—	—	—	—	—	—	L	L	L	L	A	•	•	•	•	•	•	A
1	—	—	—	—	—	—	—	—	—	—	—	—	L	L	L	H	•	A	•	•	•	•	A	•
2	—	—	—	—	—	—	—	—	—	—	—	—	L	L	H	L	•	•	A	A	•	•	•	•

Figura 31. Tabla de programación de la función representada en la figura 30.

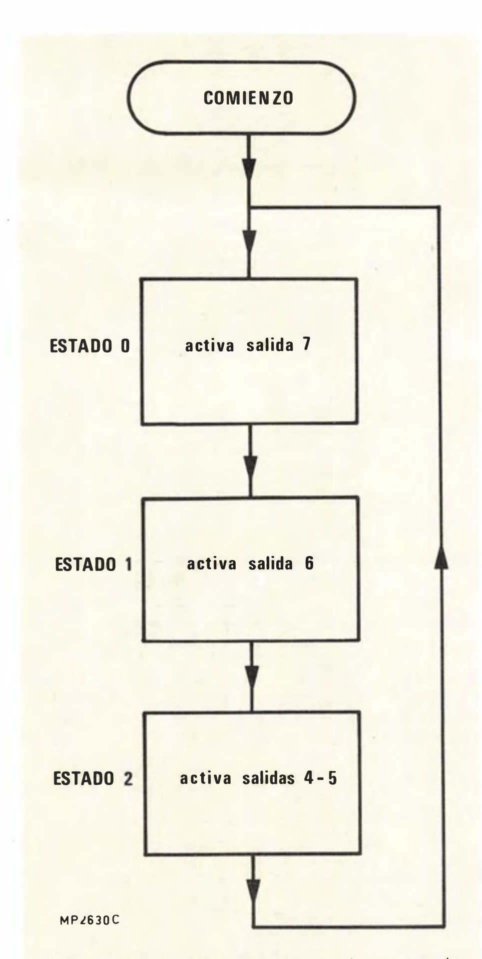


Figura 30. Sencillo ejemplo de diagrama de flujo con salto incondicional del estado 2 al estado 0.

En la figura 32 se muestra un salto desde un estado a sí mismo hasta que se presenta una determinada combinación de entrada. Deberá tenerse en cuenta que, cuando la combinación de entrada corresponda a más de un producto, se activan los niveles de salida respectivos de todos aquellos productos. La forma de programar dicha función en productos puede verse en la figura 33. En este ejemplo, el producto siguiente es el 5.º pero ninguno de los programados podrá usarse, a no ser que la salida 2 tenga un nivel activo. En un estado determinado de la función puede efectuarse un salto condicional a cualquiera de los demás estados. El salto condicional (cualquiera que sea) solamente precisa un período de reloj. En la figura 34 pueden verse tres instrucciones de salto condicional. Si ninguna de las tres condiciones A, B o C se presenta en las entradas, el control pasa al cuarto estado durante el siguiente impulso de reloj. Si se presenta alguna de las condiciones, el estado siguiente será el 5.º, 6.º ó 7.º respectivamente. La tabla de programación para esta función es la de la figura 35.

Si las salidas tienen que ser función del estado interno del control, puede usarse una ejecución condicional como muestra el diagrama de flujo de la figura 36. Esta función se programa en forma de productos como puede verse en la tabla de la figura 37.

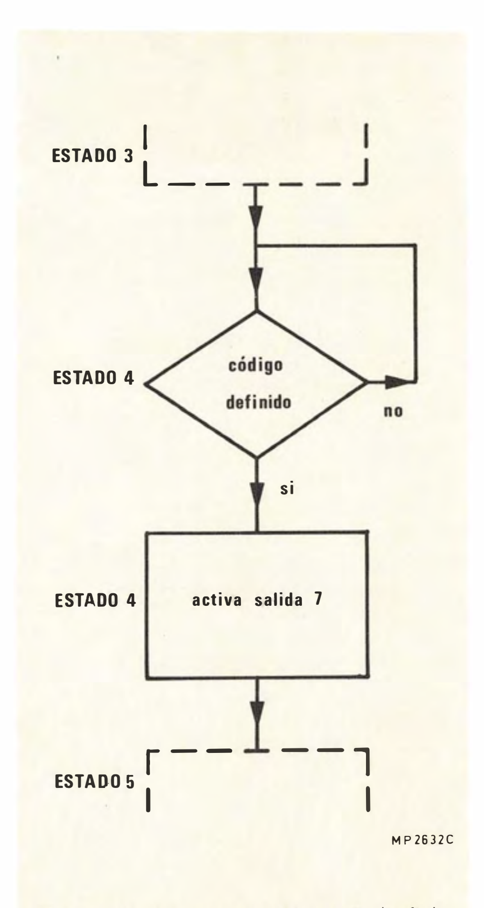
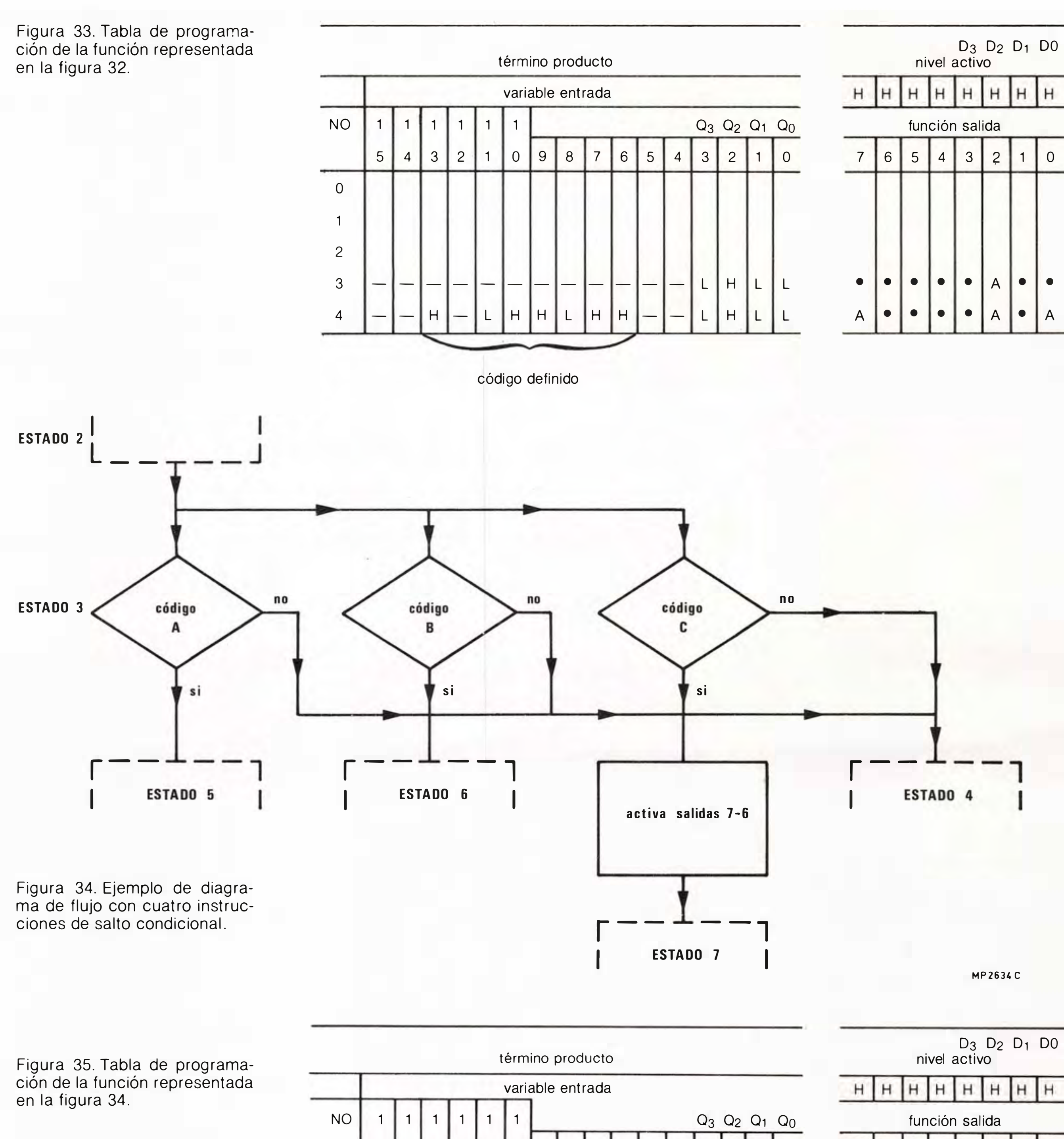


Figura 32. Ejemplo de diagrama de flujo con salto condicional de un estado a sí mismo.



	término producto																función salida							
	variable entrada																H	H	H	H	H	H	H	H
NO	15	14	13	12	11	10	9	8	7	6	5	4	3 (Q_3)	2 (Q_2)	1 (Q_1)	0 (Q_0)	7	6	5	4	3	2	1	0
0																								
1																								
2																								
3	—	—	—	—	—	—	—	—	—	—	—	—	L	H	L	L	•	•	•	•	•	A	•	•
4	—	—	H	—	L	H	H	L	H	H	—	—	L	H	L	L	A	•	•	•	•	A	•	A

(nivel activo: D_3 D_2 D_1 D0; columnas 13 a 6: código definido)

Figura 33. Tabla de programación de la función representada en la figura 32.

Figura 34. Ejemplo de diagrama de flujo con cuatro instrucciones de salto condicional.

Figura 35. Tabla de programación de la función representada en la figura 34.

	término producto																función salida							
	variable entrada																H	H	H	H	H	H	H	H
NO	15	14	13	12	11	10	9	8	7	6	5	4	3 (Q_3)	2 (Q_2)	1 (Q_1)	0 (Q_0)	7	6	5	4	3	2	1	0
0																								
1																								
2																								
3	—	—	—	—	—	—	—	—	—	—	—	—	L	L	H	H	•	•	•	•	•	A	•	•
4	—	—	—	—	H	H	—	L	H	L	—	—	L	L	H	H	•	•	•	•	•	A	•	A
5	—	—	—	—	L	L	H	L	H	H	—	—	L	L	H	H	•	•	•	•	•	A	A	•
6	—	—	—	—	H	L	L	H	L	H	—	—	L	L	H	H	A	A	•	•	•	A	A	A

(nivel activo: D_3 D_2 D_1 D0)

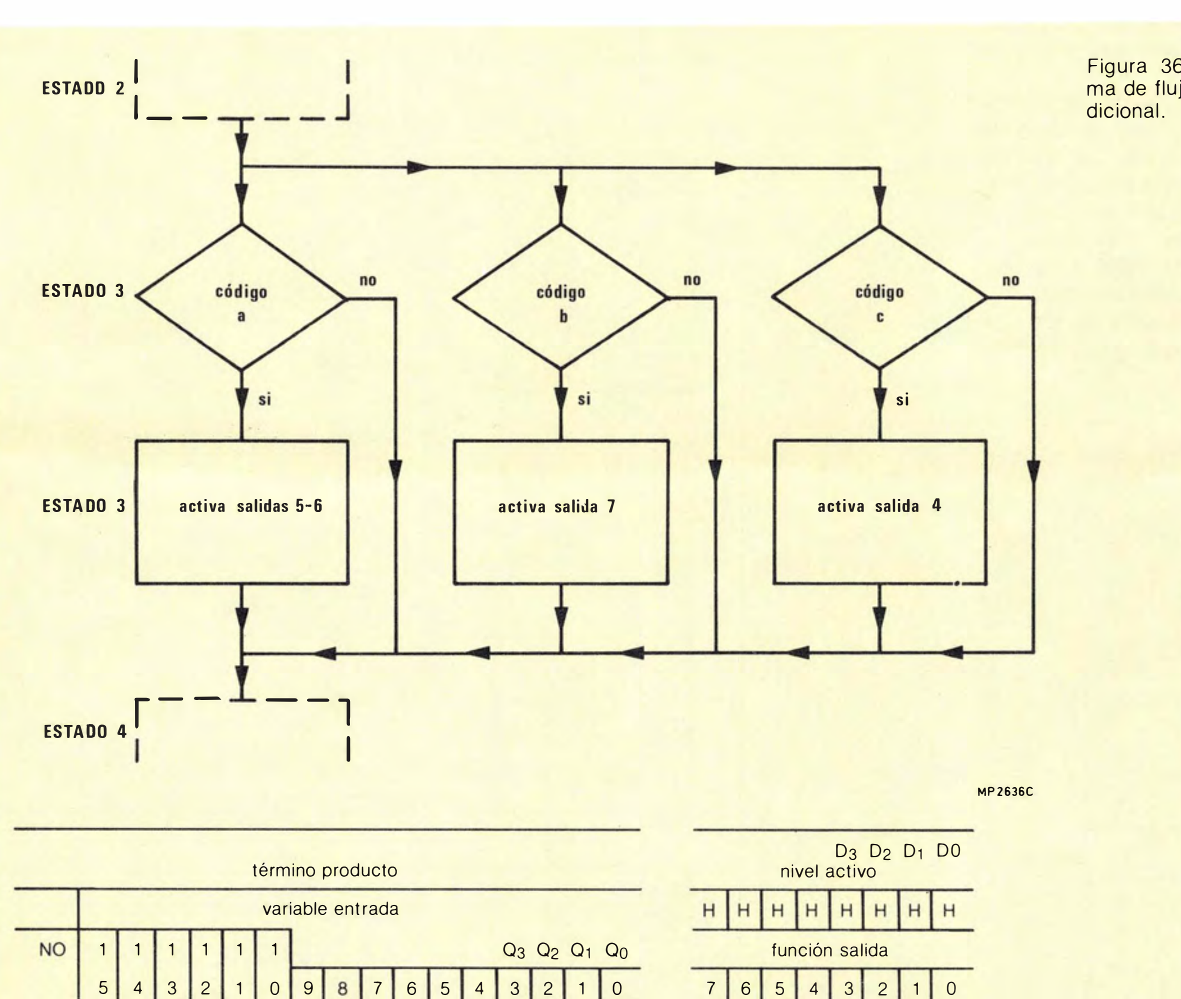


Figura 36. Ejemplo de diagrama de flujo con ejecución condicional.

NO	término producto / variable entrada 15	14	13	12	11	10	9	8	7	6	5	4	3 (Q_3)	2 (Q_2)	1 (Q_1)	0 (Q_0)
0																
1																
2																
3	—	—	—	—	—	—	—	—	—	—	—	—	L	L	H	H
4	—	—	—	—	H	H	H	—	L	H	—	—	L	L	H	H
5	H	—	—	H	—	—	—	—	H	—	—	—	L	L	H	H
6	L	—	—	L	—	—	—	—	H	—	—	—	L	L	H	H

función salida (nivel activo; D_3 D_2 D_1 D_0)	7	6	5	4	3	2	1	0
nivel activo	H	H	H	H	H	H	H	H
0								
1								
2								
3	•	•	•	•	•	A	•	•
4	•	A	A	•	•	A	•	•
5	A	•	•	•	•	A	•	•
6	•	•	•	A	•	A	•	•

Figura 37. Tabla de programación de la función representada en la figura 36.

Detector de sentido de giro

Se muestra la realización con un FPLA de un sistema incremental de indicación de la posición de un móvil respecto a un eje.

Se trata de generar, a partir de dos señales de entrada Φ_1 y Φ_2 que proporcionan los transductores correspondientes, las señales necesarias para tres casos diferentes: el primero en el que el contaje lo realiza un sistema digital, el segundo mediante el microprocesador 2650; y el tercero utilizando el microordenador 8048.

Los diagramas de bloques de los tres casos pueden verse en las figuras 38, 39 y 40.

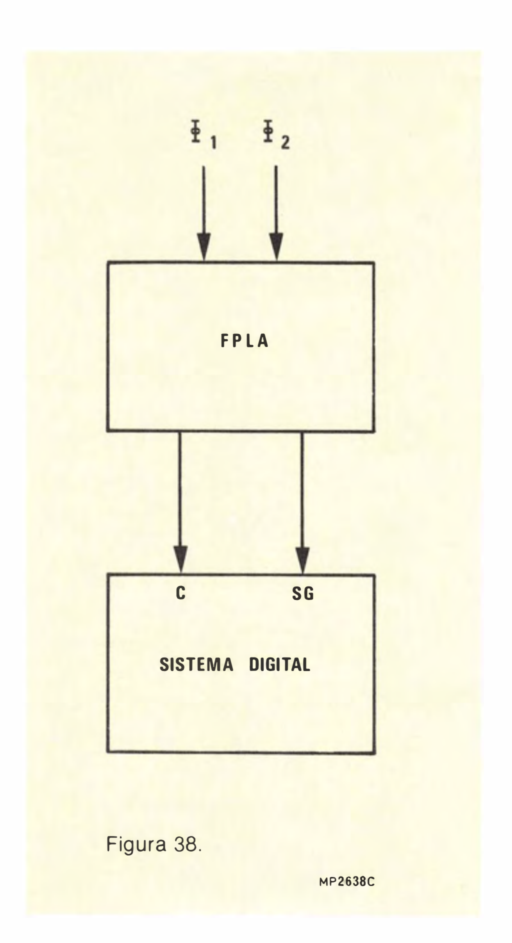


Figura 38.

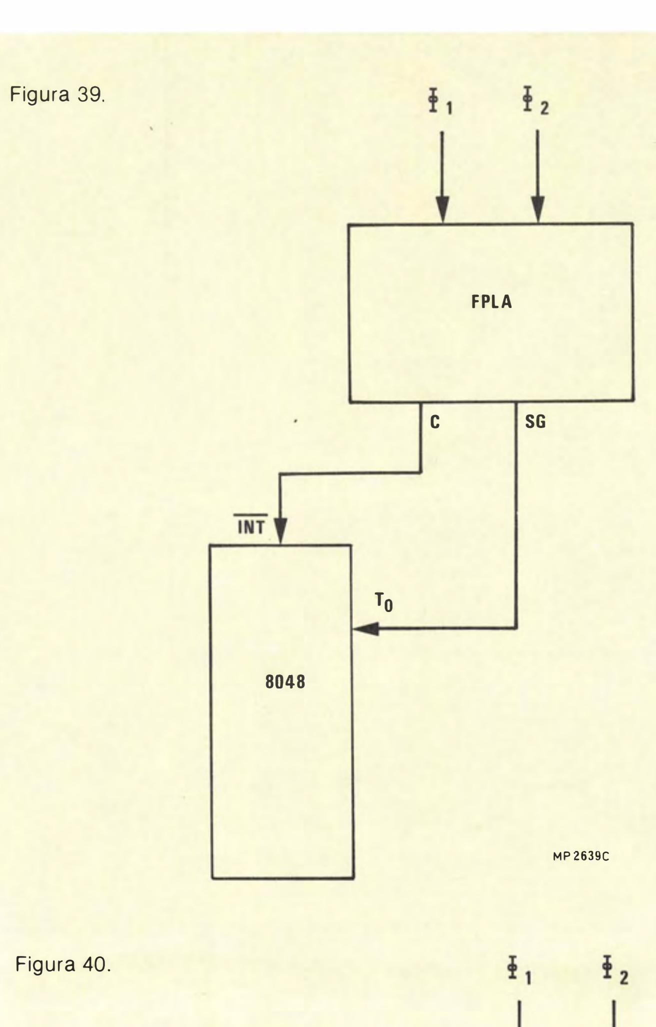


Figura 39.

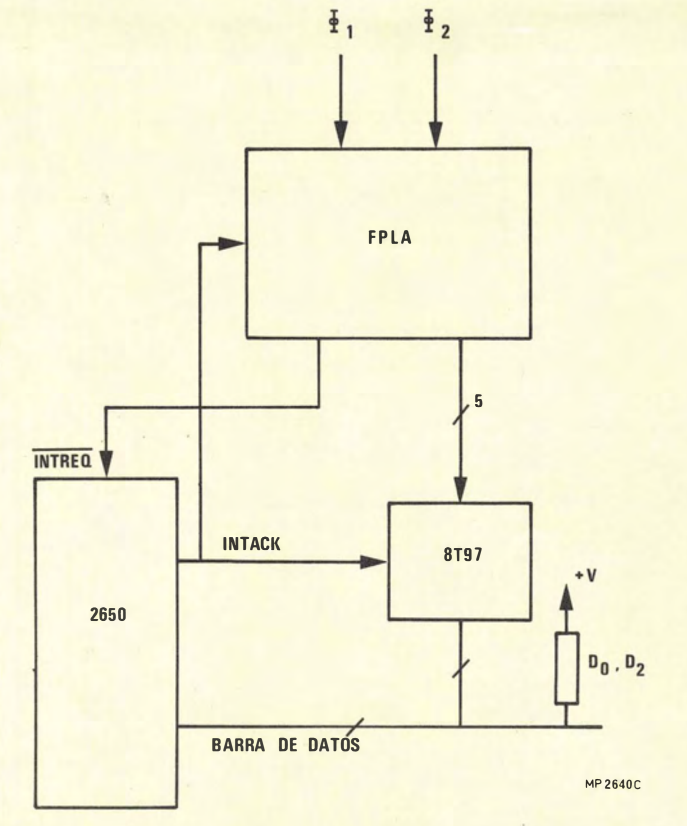


Figura 40.

La señal de sentido de giro, SG, puede ser la misma en las tres realizaciones. Los impulsos de contaje, por el contrario, serán de tres diferentes formas de onda. En el diagrama de tiempos de la figura 41 puede verse la relación entre las señales de entrada Φ_1 y Φ_2 y las señales de salida, que son impulsos de contaje para un sistema digital (C), impulsos de contaje para un 2650 (C_1), impulsos de contaje para un 8048 ($\overline{INT}$) y sentido de giro (SG).

Las ecuaciones que deberán grabarse en un FPLA para obtener las señales precisas son las siguientes:

Se aplicará Φ_1 a la entrada I_0 y Φ_2 a la entrada I_1:

$F_0 = I_0 . I_2 + I_1 . I_2 + I_0 . I_1;$

F_0 deberá alimentar a la entrada I_2.

$F_1 = \overline{I}_0 . I_3 + I_1 . I_3 + I_1 \overline{I}_0;$

F_1 realimentará a la entrada I_3.

Los impulsos de contaje para un sistema digital se obtienen en la salida F_3 y la ecuación que los genera es:

$$F_3 = I_4 + I_5$$

Los impulsos de contaje para el microordenador 8048 aparecerán en la salida F_4. La ecuación correspondiente es:

$$F_4 = I_6 . I_7$$

Se generan impulsos de contaje con los flancos de subida y bajada en F_5:

$$F_5 = I_0 . \overline{I}_1 + \overline{I}_0 . I_1$$

Los impulsos de contaje para el microprocesador 2650 se obtienen en la salida F_6. El nivel de F_3 se emplea para grabar un biestable que será borrado por la señal INTACK. La ecuación correspondiente es:

$F_6 = \overline{I}_4 . \overline{I}_5 . I_8 + \overline{I}_4 . \overline{I}_5 . I_9;$

F_6 deberá alimentar a I_9

La señal de sentido de giro se comportará según la ecuación siguiente:

$$F_2 = \overline{I}_0 . \overline{I}_1 . \overline{I}_3 + \overline{I}_0 I_1 . \overline{I}_2 + I_0 . I_1 . I_3 + I_0 . \overline{I}_1 . I_2$$

Todas las ecuaciones anteriores se expresarán en la tabla de programación como se muestra en la figura 42. La ecuación de los impulsos de contaje se obtiene, en los casos necesarios, con el monoestable 4528 que figura en el esquema general mostrado en la figura 43.

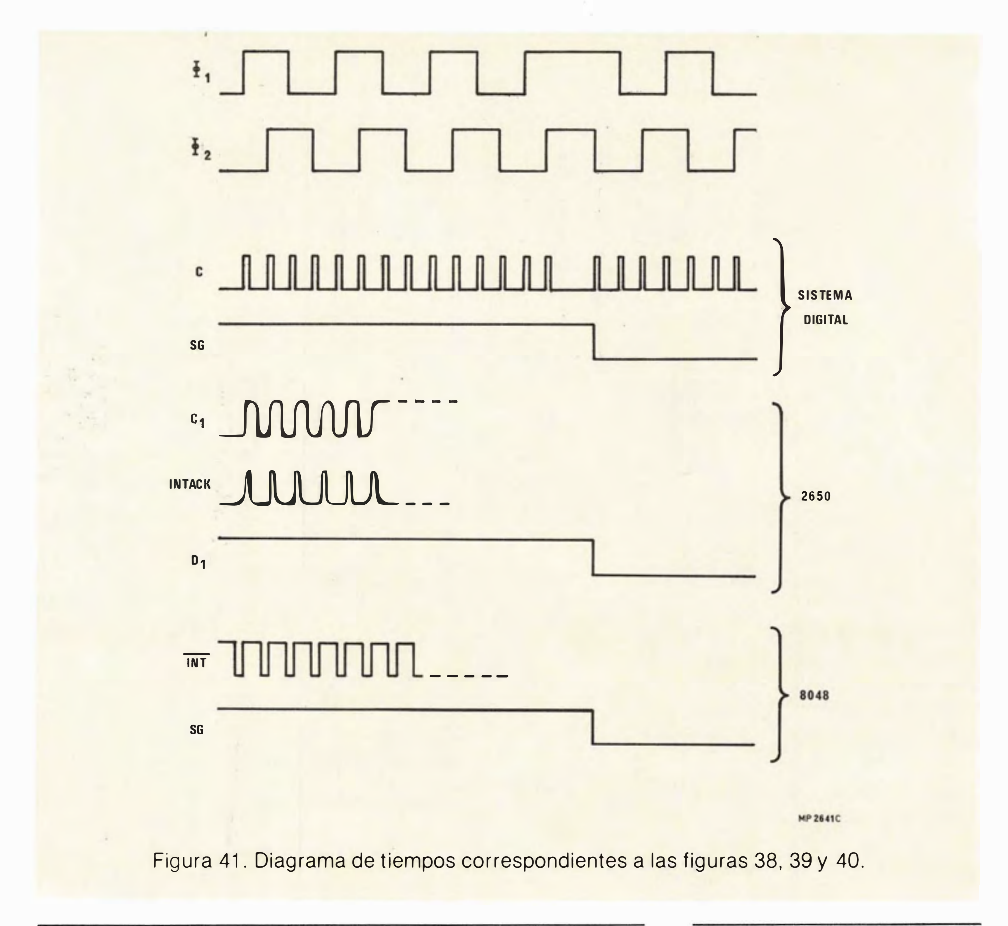
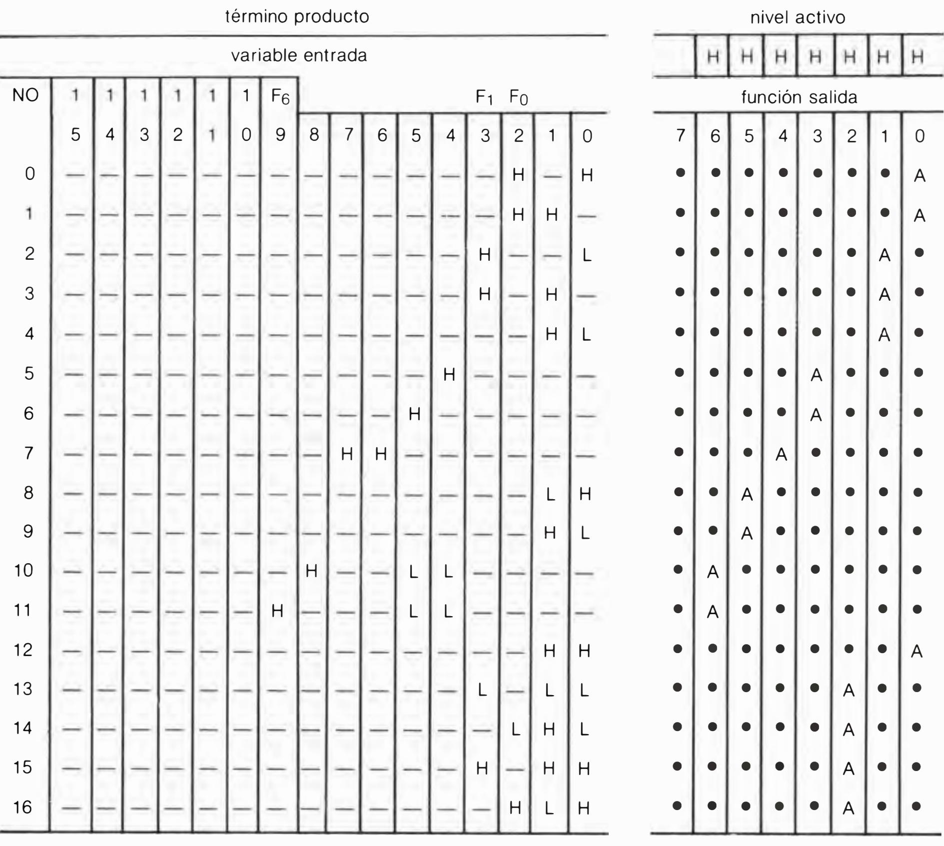


Figura 41. Diagrama de tiempos correspondientes a las figuras 38, 39 y 40.



término producto	variable entrada																nivel activo / función salida							
																	H	H	H	H	H	H	H	
NO	15	14	13	12	11	10	9 (F6)	8	7	6	5	4	3 (F1)	2 (F0)	1	0	7	6	5	4	3	2	1	0
0	—	—	—	—	—	—	—	—	—	—	—	—	—	H	—	H	•	•	•	•	•	•	•	A
1	—	—	—	—	—	—	—	—	—	—	—	—	—	H	H	—	•	•	•	•	•	•	•	A
2	—	—	—	—	—	—	—	—	—	—	—	—	H	—	—	L	•	•	•	•	•	•	A	•
3	—	—	—	—	—	—	—	—	—	—	—	—	H	—	H	—	•	•	•	•	•	•	A	•
4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	H	L	•	•	•	•	•	•	A	•
5	—	—	—	—	—	—	—	—	—	—	—	H	—	—	—	—	•	•	•	•	A	•	•	•
6	—	—	—	—	—	—	—	—	—	—	H	—	—	—	—	—	•	•	•	•	A	•	•	•
7	—	—	—	—	—	—	—	—	H	H	—	—	—	—	—	—	•	•	•	A	•	•	•	•
8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	L	H	•	•	A	•	•	•	•	•
9	—	—	—	—	—	—	—	—	—	—	—	—	—	—	H	L	•	•	A	•	•	•	•	•
10	—	—	—	—	—	—	—	H	—	—	L	L	—	—	—	—	•	A	•	•	•	•	•	•
11	—	—	—	—	—	—	H	—	—	—	L	L	—	—	—	—	•	A	•	•	•	•	•	•
12	—	—	—	—	—	—	—	—	—	—	—	—	—	—	H	H	•	•	•	•	•	•	•	A
13	—	—	—	—	—	—	—	—	—	—	—	—	L	—	L	L	•	•	•	•	•	A	•	•
14	—	—	—	—	—	—	—	—	—	—	—	—	—	L	H	L	•	•	•	•	•	A	•	•
15	—	—	—	—	—	—	—	—	—	—	—	—	H	—	H	H	•	•	•	•	•	A	•	•
16	—	—	—	—	—	—	—	—	—	—	—	—	—	H	L	H	•	•	•	•	•	A	•	•

Figura 42. Tabla de programación del detector de sentido de giro.

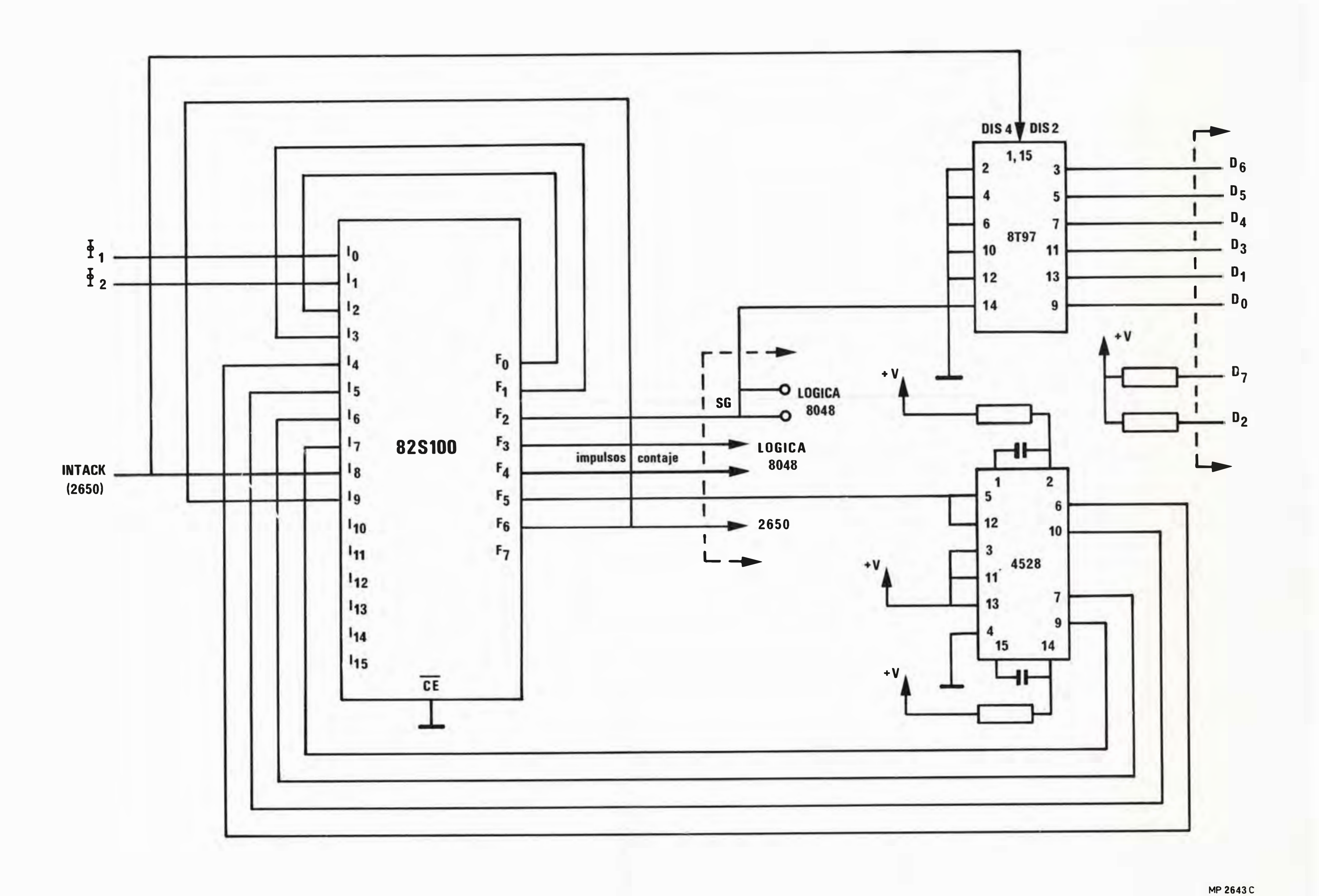


Figura 43. Esquema general del detector de sentido de giro.

TERMINAL VDU «INTELIGENTE» DE BAJO COSTE

Parte 2

En Revista Miniwatt, volumen 19, número 10, se hizo una breve descripción del sistema y se dieron los diagramas de bloques y de conexión a los cuales nos referiremos en este artículo.

SECCION DE PROCESO DE DATOS

La sección de proceso de datos está formada por un microprocesador 2650A, una unidad de acoplamiento de comunicaciones programable (PCI) 2651 y una memoria EPROM 2708 UV. Esta sección también incluye un teclado, registros de entrada y salida, y una memoria de visualización que contiene dos memorias RAM estáticas de 1K × 4.

Microprocesador

El 2650A (CI_{15} en la figura 2, Revista Miniwatt, vol. 19, n.º 10) es un microprocesador NMOS de 8 bits en paralelo con un conjunto fijo de instrucciones. En esta aplicación controla los registros de entrada y salida, y lee o escribe el carácter y el dato del cursor de o en la memoria de visualización, según se requiera.

El 2650A está sincronizado mediante una señal de 1 MHz obtenida de la salida F_1 del circuito TIC. En este diseño, se introducen los datos en la memoria de visualización durante el período de retroceso de línea y por lo tanto, las operaciones de lectura/escritura del 2650A están sincronizadas con el retroceso de la visualización. Si se requiere que el 2650A lea de, o escriba en, la memoria del visualizador durante el tiempo de visualización, la entrada de reconocimiento de funcionamiento $\overline{OPACK}$ (patilla 36) del microprocesador se mantiene en nivel alto hasta el final del intervalo de visualización; entonces el 2650A realiza la operación apropiada. El tiempo máximo para que el 2650A pueda tener acceso a la memoria de visualización es 56μs. Los octetos no utilizados de la memoria de visualización están alojados en la memoria intermedia o de trabajo del microprocesador ya que se accede a la memoria de visualización con mucha frecuencia.

El microprocesador y sus circuitos integrados periféricos están controlados por algunos circuitos integrados, los cuales se pueden dividir en los tres grupos que se describen a continuación.

Control de sincronismo

Los circuitos de control de sincronismo son los circuitos integrados 2b, 2c, 2d, 3a, 5a, 5b, 5c, 6a y 16c de la figura 2 (Revista Miniwatt, volumen 19, número 10). Ellos generan todas las señales de sincronismo necesarias para sincronizar el microprocesador 2650A con el comienzo y final de las líneas de visualización. Las señales de sincronismo directas del TIC (CI_{21}) no son adecuadas para esta función. Las salidas de enclavamiento de fase $\overline{PL}$ y de borrado de separación de color $\overline{CBB}$ del TIC se combinan en una puerta NAND HEF4023 (CI_{3a}) para dar lugar a un intervalo de 10μs.

Tres elementos del circuito integrado CI_5, hexbiestable tipo D HEF40174, generan dos señales de sincronismo, llamadas UE (desinhibición de la barra de dirección) y CLEAR. El biestable CI_5 proporciona también dos señales que controlan la entrada $\overline{OPACK}$ en CI_{4a}.

La salida de puesta a cero general $\overline{GLR}$ de la patilla 7 del TIC no es adecuada para poner a cero el contador de dirección (CI_{11} y CI_{12}) ya que coincide con la mitad del intervalo. Por lo tanto se genera una nueva señal de borrado CLEAR al final del intervalo de 10μs.

La señal UE es una señal de 10μs, retardada 1,5μs respecto de la $\overline{PL.CBB}$, la cual desinhibe el microprocesador para leer de, o escribir en, la memoria de visualización. La señal $\overline{OPACK}$ es generada por UE, junto con $\overline{RAM}$ (que conecta la memoria de visualización a la barra de datos) o la señal de desinhibición de escritura $\overline{XWE}$. La entrada $\overline{OPACK}$ es mantenida en nivel alto hasta que comienza el instante de entrar datos.

Las señales de reloj de 1 MHz amplificadas, $\overline{F_1}$ y F_1', se generan a partir de la salida F_1 del circuito integrado TIC a través de CI_{16c} y CI_{2d}. La señal F_1' proporciona la entrada de reloj para el microprocesador, mientras que $\overline{F_1}$ y F_1' excitan al registro de desplazamiento, el cual retarda la información del cursor.

La figura 6 muestra los diagramas de sincronismo para el microprocesador.

Control de memoria

Los circuitos de control de memoria son los circuitos integrados 4b, 6b, 6c, 7a y 16b de la figura 2. Estos seleccionan la memoria de visualización (CI_{13} y CI_{14}) o la EPROM (CI_8) y generan los impulsos de escritura.

Un elemento (CI_{7a}) del doble decodificador/demultiplexor

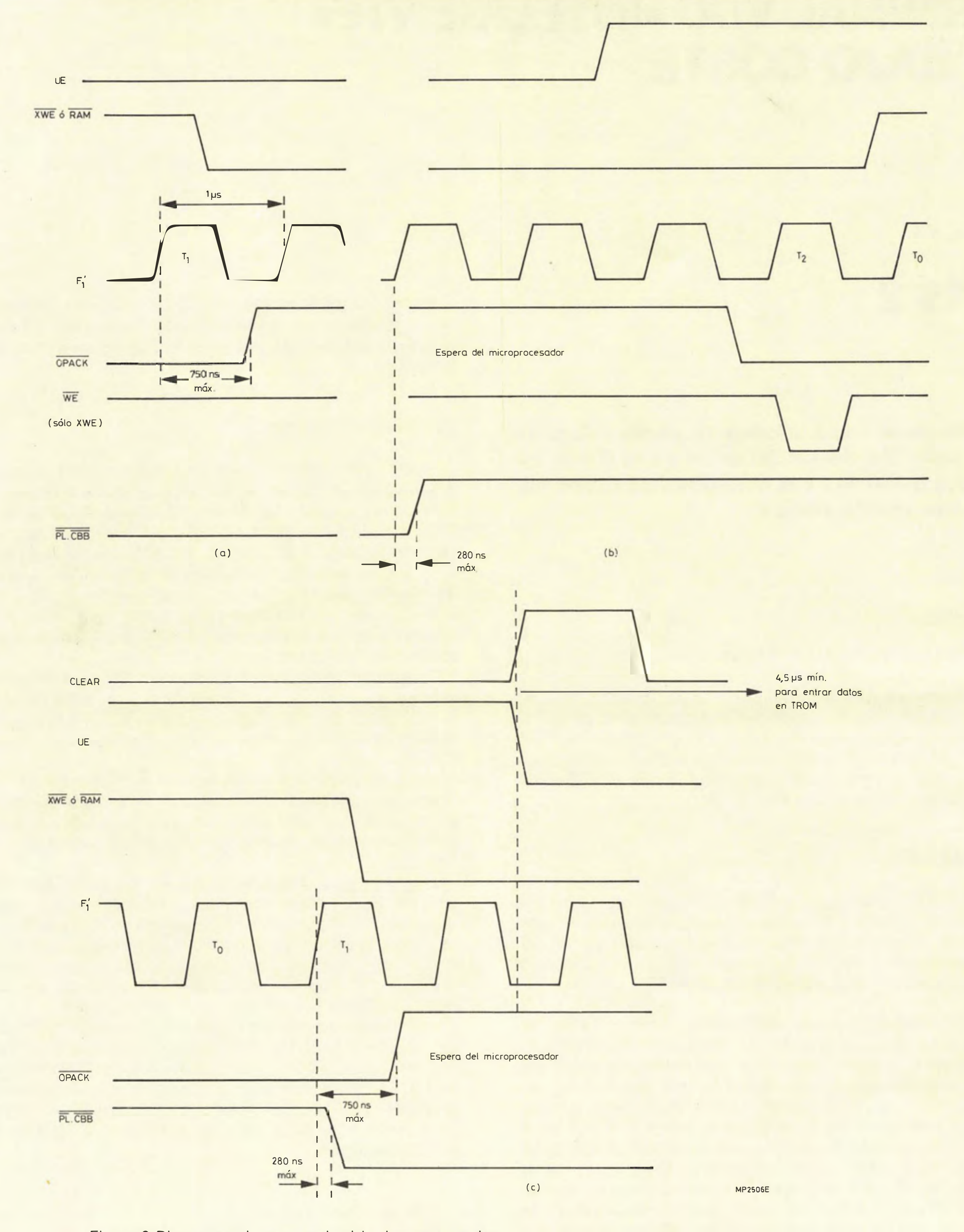


Figura 6. Diagramas de secuencia del microprocesador:
(a) El microprocesador hace petición de lectura o escritura durante el tiempo de visualización.
(b) Comienzo del tiempo de entrada de datos con la petición de lectura o escritura pendiente.
(c) El microprocesador hace petición de lectura o escritura al final del intervalo de entrada de datos (referir T_0, T_1 y T_2 a tiempos de ciclo del 2650A).

HEF4556, realiza la selección de memoria de visualización o EPROM si se requiere una operación de memoria. El demultiplexor selecciona también el sentido de los amplificadores bidireccionales de acoplamiento de memoria 8T28 (CI_{19} y CI_{20}) para lectura o escritura.

Los circuitos integrados puerta 4b, 6c y 16b generan el impulso de desinhibición de escritura $\overline{WE}$ que es de 0,5 μs de duración y se presenta durante el período T_2 del microprocesador (véase la figura 6). Este impulso no debe estar en nivel bajo durante el período de visualización y es mantenido en nivel alto por $\overline{OPACK}$ que está en estado alto. El inversor de realimentación (CI_{16b}) forma un registro temporal acoplado por cruce con CI_{4b}, y por lo tanto, normalmente sólo se genera un impulso $\overline{WE}$ para cada operación requerida (OPREQ). Sin embargo, la entrada de escritura continua, CONT WRT, en la patilla 13 del CI_{4b} (véase el diagrama de conexión de la figura 4 en Revista Miniwatt, vol. 19 n.º 10) permite 40 impulsos $\overline{WE}$ en total durante el período de visualización de línea. Esta posibilidad hace que la pantalla esté completamente borrada. El carácter de espacio (0100000) se escribe en cada lugar de la memoria que contiene un carácter visualizado.

Control de registro

Los circuitos de control de registro son los circuitos integrados 2e, 3b, 3c, 7b, 17b, 18a y 18b de la figura 2. Estos proporcionan señales que seleccionan los registros de entrada y salida adecuados. Los registros C no extendidos (CI_{23b}, CI_{24b} y CI_{26}) y D (CI_{23a}, CI_{24a} y CI_{25}) son seleccionados mediante un elemento (CI_{7b}) del doble decodificador/demultiplexor HEF4556 junto con las diversas puertas de decodificación, que forman el resto de los circuitos de control de registro. Se generan tres señales: registro de lectura D $\overline{REDD}$, salida al registro D $\overline{OPED}$, y vector de interrupción de lectura (registro de lectura C) $\overline{INTVEC}$.

Los registros de entrada/salida extendidos son el teclado y el PCI 2651. Si se selecciona un registro extendido, entonces la información del teclado es seleccionada mediante la señal $\overline{KBD}$ a no ser que las direcciones A_2 y A_3 (patillas 2 y 3 de CI_{18b}) del microprocesador estén ambas en estado alto. En este caso, el circuito CI_{18b} asegura que la señal $\overline{2651}$ llegue al PCI (CI_{27}). La señal WRP del microprocesador está controlada por $\overline{KBD}$ en CI_{18a} para minimizar los problemas que se presentan en la barra de datos.

Teclado

El microprocesador 2650 realiza la codificación del teclado, y por lo tanto no se necesita la lógica adicional normalmente utilizada. Las funciones alfanuméricas principales del teclado están sobre una matriz de 8 × 8 pulsadores. Las filas de la matriz están conectadas a las 8 líneas de dirección menos significativas por medio de inversores de colector abierto 74LS05 (CI_1 y CI_{2a}). Las columnas de la matriz están conectadas a la barra de datos por medio de los amplificadores inversores de tres estados HEF40098 (CI_{16a} y CI_{17a}). La figura 4 muestra las conexiones en las esquinas.

El teclado utiliza efectivamente ocho registros de entrada/salida extendidos; utiliza las ocho direcciones de registro extendido que tienen solamente un bit en estado alto. Los datos del teclado están conectados a la barra de datos mediante la señal de control del registro de entrada/salida extendido $\overline{KBD}$.

Acoplamiento de comunicaciones en serie

El acoplamiento de comunicaciones programable 2651 (CI_{27} en la figura 2) es un circuito integrado universal controlador de comunicaciones de información síncrona/asíncrona, diseñado para sistemas de microordenador. Este dispositivo se acopla directamente al microprocesador 2650A y convierte los caracteres de datos en paralelo recibidos del microprocesador a la forma serie. Simultáneamente, el PCI recibe datos en serie del acoplamiento ordenador/teletipo y los convierte en caracteres de datos en paralelo. En esta aplicación, el PCI se utiliza en modo asíncrono para proporcionar señales compatibles RS-232 (o V24) a y desde los cuádruples excitadores y receptores de línea (CI_{28} y CI_{29}). El circuito mostrado en la figura 2 trabaja en modo duplex a 110, 300 ó 1200 baudios; no obstante, con el 2651 se podrían utilizar otras velocidades.

La patilla 20 del PCI es la entrada de reloj generadora de la velocidad en baudios BRCLK, la cual requiere una entrada de 5,0688 MHz generada por el circuito de la figura 3 (ver Revista Miniwatt, volumen 19 n.º 10).

Registros de entrada/salida no extendidos

Los registros no extendidos C y D se utilizan principalmente para obtener información del control y estado del sistema. La entrada al registro C (CI_{23b}, CI_{24b} y CI_{26}) es un octeto de 8 bits conocido como vector de interrupción, el cual puede ser leído en cualquier instante. El vector de interrupción puede ser cambiado si se requiere que uno de estos bits esté conectado a un bit de la salida del registro D; la patilla 6 de CI_{26} está conectada a un bit de la salida del registro D; la patilla 6 de CI_{26} está conectada a la patilla 27 de CI_{25}; véase la figura 4. La salida C no se utiliza.

La entrada al registro D (CI_{23a} y CI_{24a}) lleva información del estado de los conmutadores del teclado adicionales, tales como mayúsculas y página/rollo (véase la figura 4). No obstante, un bit (en la patilla 6 de CI_{23a}) viene de los registros temporales en la salida del registro D (patilla 10 de CI_{25}).

La salida del registro D (CI_{25}) es memorizada externamente desde el microprocesador 2650. La tabla 1 indica las señales que llevan las patillas de CI_{25}.

Tabla 1. Patillas de salida del registro D (CI_{25}).

n.º patilla	Denominación patilla	Conexión (fig. 4)	Señal
2	O_0	25	A indicador de error recibido RERR LED
5	O_1	26	CONT WRT; posibilidad de borrar la página
7	O_2	27	XUE; posibilidad de rodar la página
10	O_3	22	A la entrada del registro D
12	O_4	23	CTS al acomplamiento RS-232
15	O_7	24	Disponible

EPROM 2708

La EPROM 2708 (CI_8 en la figura 2) es una memoria ROM borrable, de alta velocidad y reprogramable eléctricamente, encapsulada con la parte superior transparente, lo que permite borrar el modelo de bit mediante exposición a luz ultravioleta. El programa para este terminal necesita un dispositivo de 1K octetos (tal como el 2708) pero el software para un terminal más sencillo puede estar contenido en un dispositivo de 512 octetos tal como la EPROM 2704.

Un terminal más sencillo incluiría todas las características de este diseño excepto todas las funciones rollo, tabulación y salto.

Memoria de visualización

La información de una página visualizada de 40 por 24 caracteres es almacenada en dos memorias RAM estáticas 2614 de $1K \times 4$ (CI_{13} y CI_{14} en la figura 2) que tienen un tiempo de acceso menor que 450 ns. También pueden ser adecuadas dos memorias RAM estáticas 2114. Como el visualizador sólo requiere 960 (40×24) octetos, se tienen 64 octetos sin utilizar y 32 de ellos se utilizan como memoria de trabajo para el microprocesador 2650A. Cada octeto contiene 8 bits; los 8 bits de cada lugar contienen 7 bits de datos de carácter y 1 bit de información del cursor. Los 960 bits de la memoria de visualización situados en el cursor contienen sólo un bit '1' que indica la posición del cursor.

Ambas memorias EPROM y RAM que constituyen la memoria de visualización están en la página 0 de la memoria del 2650A, para facilitar el uso de las memorias RAM como memoria de trabajo del microprocesador. Esto evita la necesidad de direccionamiento indirecto que requerirían los punteros para ser almacenados en la EPROM, al no poder disponer de otra RAM para poner en página 0.

La memoria de visualización está direccionada por el microprocesador en una barra de dirección de 11 bits que contiene 5 bits de dirección de fila y 6 bits de dirección de columna. La memoria de trabajo ocupa los ocho primeros lugares en las líneas 25 a 32 no utilizadas; las líneas 1 a 24 contienen la visualización. La barra de direccionamiento de fila es alimentada a través de un amplificador no inversor de tres estados HEF40097 (CI_{10}) y la barra de direccionamiento de columna es alimentada a través de dos contadores binarios síncronos de 4 bits 74LS193 (CI_{11} y CI_{12}), en modo de carga.

Este diseño utiliza dos memorias RAM de $1K \times 4$, pero también pueden ser adecuadas ocho memorias RAM 2102, de 1K, que tengan un tiempo de acceso similar. Los amplificadores bidireccionales 8T28 (CI_{19} y CI_{20}) deben reemplazarse entonces por amplificadores de tres estados no inversores HEF40097 desde las salidas de datos de la memoria de visualización en la barra de datos. No se necesita amplificación en las entradas de datos que estén separadas y conectadas únicamente a la barra de datos del microprocesador.

SECCION DE LA LOGICA DE VISUALIZACION

La lógica de visualización en el terminal VDU inteligente contiene dos circuitos LSI de teletexto (TIC y TROM) que proporcionan la temporización (secuencia) y la generación de caracteres. Estos se acoplan con la memoria de visualización y con un monitor de TV. Se necesitan algunos circuitos adicionales para el direccionamiento de la memoria y para proporcionar la posibilidad de cursor.

Cadena de sincronismos

La cadena de sincronismos TIC (SAA5020, CI_{22} en la figura 2) es un circuito integrado NMOS que ha sido desarrollado para realizar las funciones de sincronismo en un sistema de teletexto. La entrada principal es una señal de reloj de 6 MHz; las etapas divisoras en el circuito TIC subdividen esta señal de reloj hasta obtener 25 Hz, velocidad de cuadro de televisión, y generan todas las señales de sincronismo de la visualización. La figura 7 muestra un diagrama de bloques simplificado del circuito TIC.

En esta aplicación, se utilizan la mayoría de las funciones de la cadena de sincronismos y la cadena proporciona la mayoría de las señales de sincronismo para el sistema visualizador así como las señales de sincronismo para la sección de proceso de datos. El reloj de direccionamiento de lectura RACK (patilla 24) es una salida de 1 MHz que se utiliza para sincronizar el decodificador de direccionamiento de columna de la RAM durante el período de visualización. Las salidas de dirección de memoria (patillas 19 a 23 en el circuito TIC) proporcionan el direccionamiento de línea de la RAM durante el período de visualización. Las patillas 3, 4, 7, 11, 13 y 14 son salidas que proporcionan la generación de caracteres con las señales de temporización requeridas. La salida F_1 de 1 MHz (patilla 4) proporciona también la señal del reloj básica para el microprocesador. Las salidas de enclavamiento de fase $\overline{PL}$ y de borrado de separación de color $\overline{CBB}$ (patillas 8 y 9) están gobernadas juntas (CI_{3a} en la figura 2) para proporcionar el intervalo básico del tiempo de entrada de datos. La entrada HIE (patilla 16) facilita la entrada de datos durante el período de retroceso de línea. Si se tiene nivel alto, esta entrada conmuta las salidas de direccionamiento de memoria y la salida RACK al estado de alta impedancia.

El circuito TIC tiene dos entradas que permiten visualizar los caracteres grandes. Los caracteres grandes tienen doble altura que los normales pero su anchura no varía nunca. Así, el visualizador presenta una página de 12 líneas, cada una con 40 caracteres, y la memoria contiene efectivamente dos páginas. La entrada de selección de carácter grande $\overline{BCS}$ (patilla 17) determina caracteres de tamaño normal o de doble altura, y la entrada superior/inferior $\overline{T}/B$ (patilla 18) determina cuál de las dos páginas de la memoria debe ser visualizada (es decir, la mitad superior o inferior de la página).

El sincronismo básico del sistema se obtiene de un oscilador controlado por cristal de 6 MHz (véase la figura 3 en Revista Miniwatt, volumen 19 número 10) cuya salida es introducida en el circuito TIC (patilla 2). La relación de la duración de los ciclos del oscilador debe ser lo más próxima posible a 1:1 para obtener un redondeo de caracteres satisfactorio. Por tanto, el circuito oscilador de la figura 3 incluye un amplificador de nivel controlado para mantener el centro de la forma de onda de excitación aproximadamente en 1,5 V, que es el umbral de conmutación del circuito TIC.

Direccionador de memoria

Los circuitos direccionadores de memoria son los circuitos integrados CI_9, CI_{10}, CI_{11} y CI_{12} de la figura 2. Las direcciones de línea para la visualización se obtienen directamente del circuito TIC sobre cinco líneas de salida en paralelo (patillas 19 a 23). Las direcciones de columna para la visualización se obtienen mediante 39 impulsos de la salida RACK del circuito TIC (patilla 24). Estos impulsos sincronizan dos contadores binarios de 4 bits 74LS193 (CI_{11} y CI_{12} en la figura 2) que se pone a cero al comienzo de cada línea de visualización. La salidas binarias del

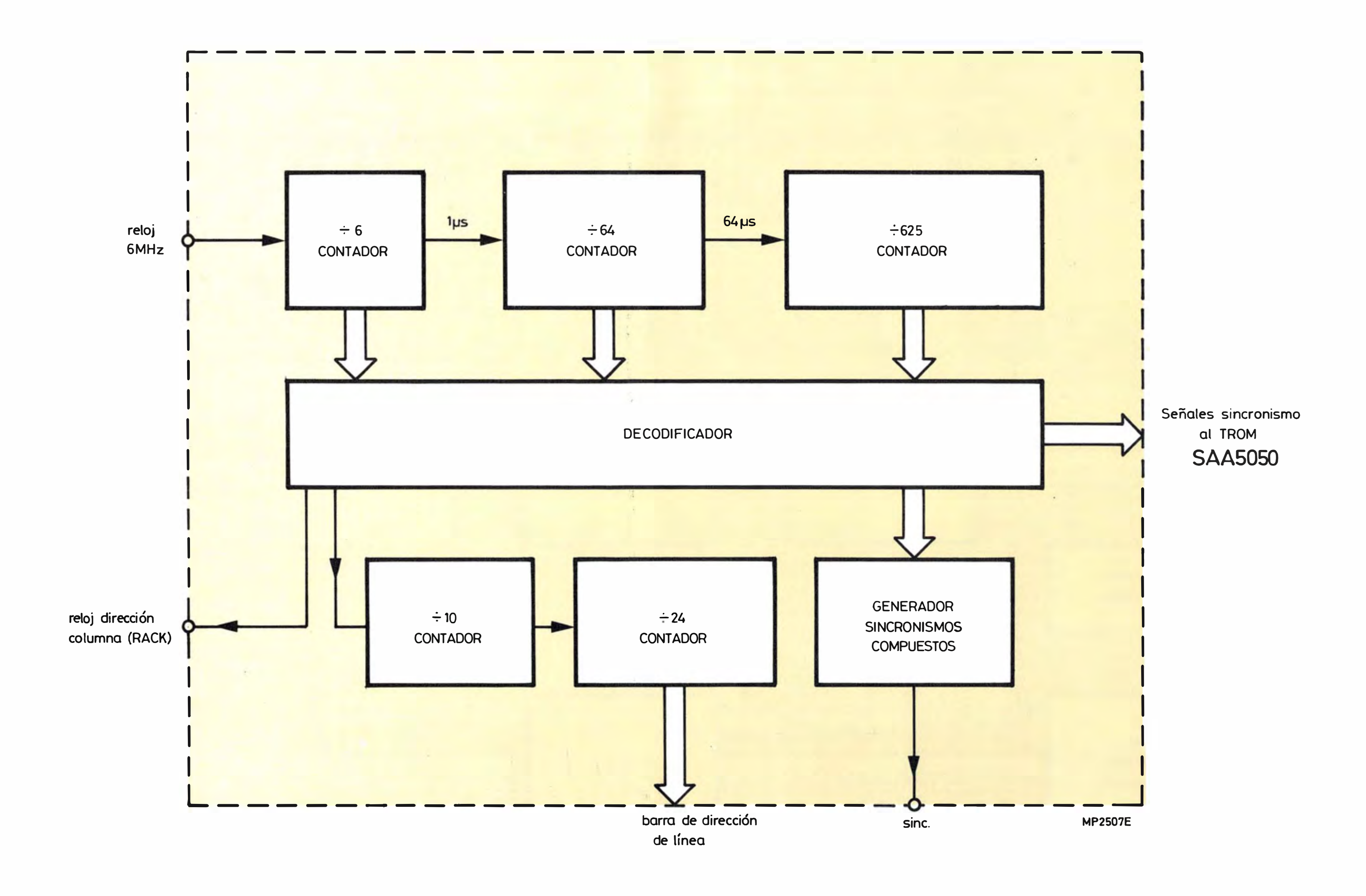


Figura 7. Cadena de secuencias TIC (SAA5020).

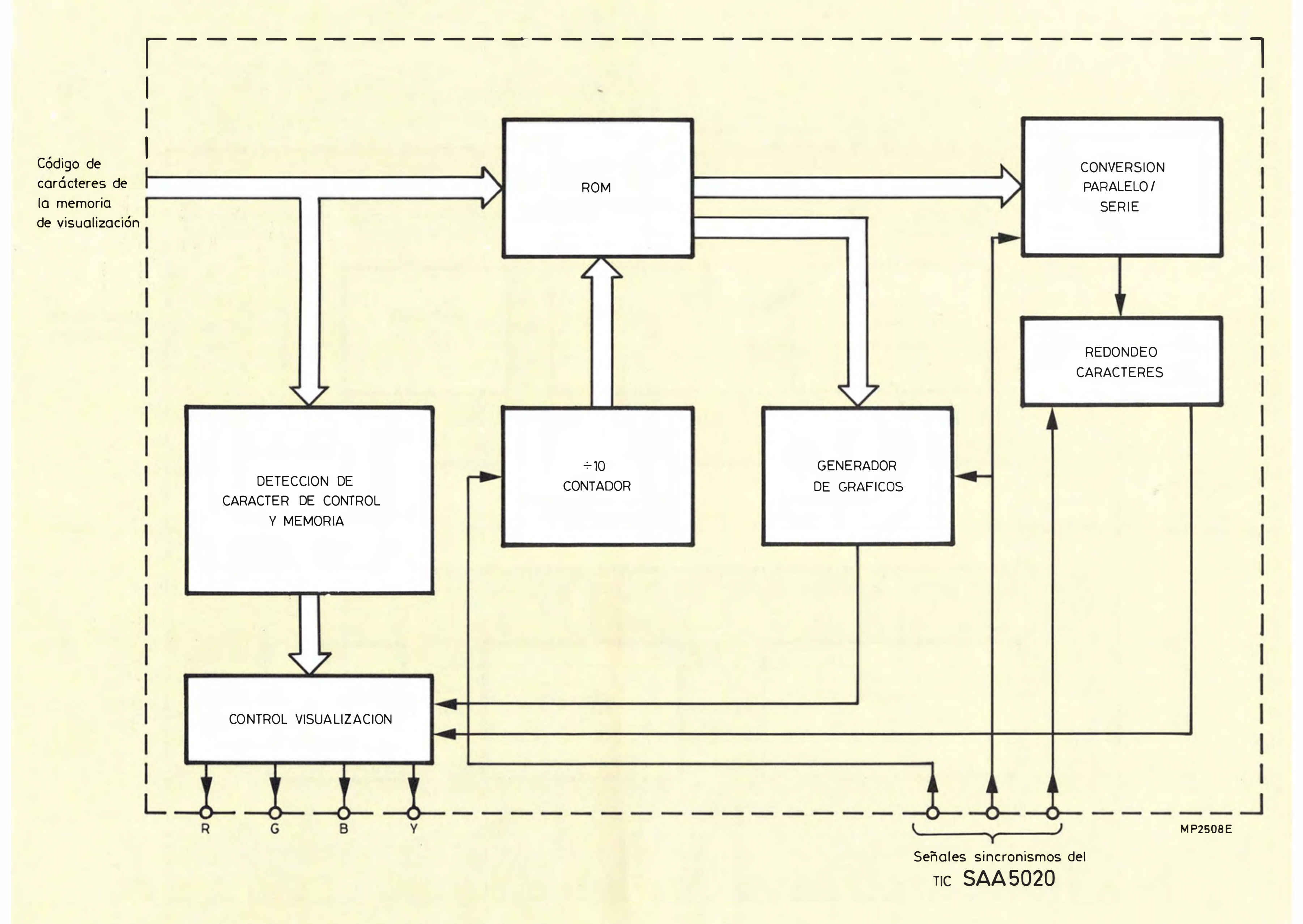


Figura 8. Generador de caracteres TROM (SAA5050).

CI_{11} y CI_{12} proporcionan la dirección de columna para la memoria de visualización. La salida de puesta a cero general de la línea $\overline{GLR}$ del circuito TIC (patilla 7) no es adecuada para poner a cero los contadores binarios ya que esto ocurre en la mitad del intervalo de entrada de datos. Por tanto, un nuevo impulso de puesta a cero CLEAR es generado por CI_{6a} (figura 2).

Los contadores 74LS193 tienen una posibilidad de carga asíncrona, y por tanto pueden ser utilizados para alimentar las direcciones de columna desde el microprocesador 2650A hasta la memoria de visualización durante el período de entrada de datos. Si la entrada de carga (patilla 11 de CI_{11} y CI_{12}) se mantiene en estado bajo, los datos en las entradas preajustadas son transferidos a las salidas. Un amplificador de tres estados no inversor HEF40097 (CI_{10} en la figura 2) multiplexa las direcciones de línea desde el microprocesador a la memoria de visualización. Sin embargo, las salidas de dirección de fila del circuito TIC tienen tres estados y por tanto no se necesita multiplexado.

Como el visualizador está organizado en 24 filas de 40 caracteres (dando 40 columnas), las direcciones de fila son señales binarias de 5 bits, mientras que las direcciones de columna tienen 6 bits. Sin embargo, las memorias RAM están organizadas como matrices de 32 × 32 con códigos de dirección de 10 bits. Por lo tanto, las direcciones generadas por el circuito TIC y por el microprocesador, deben estar acopladas con memorias RAM. Esta función es realizada por el sumador 74LS83A (CI_9 en la figura 2) que combina los dos bits más significativos de la dirección de línea y los tres bits más significativos de la dirección de columna para formar cuatro bits de dirección de memoria. Las cuatro salidas del sumador, junto con las tres salidas de CI_{12}, y las tres salidas de CI_{21} o CI_{10}, forman el código de dirección de 10 bits para la memoria de visualización.

Generador de caracteres

El generador de caracteres TROM (CI_{22} en la figura 2) es un circuito integrado NMOS que proporciona las señales de excitación de video requeridas para un visualizador de teletexto. Como respuesta a las señales de temporización del TIC, el circuito TROM convierte la información de carácter de 7 bits (en las patillas 4 a 10 del CI_{22}) que proviene de la memoria de visualización en un modelo de matriz de puntos. Esta matriz tiene 5 × 9 puntos para cada carácter alfanumérico (todos los caracteres del caso superior nunca tendrán más de 7 puntos de altura). Sin embargo, el circuito TROM contiene también una posibilidad de redondeo de carácter que aumenta efectivamente esta matriz a 10 × 18, mejorando así la definición de los caracteres visualizados. El redondeo de caracteres es el proceso por el cual se inserta medio punto antes o después de un punto completo en presencia de una diagonal en una matriz de caracteres. El circuito TROM produce salidas R, G, B e Y (patillas 21 a 24 de CI_{22}) con una velocidad de puntos de 6 MHz que atacan a los circuitos de video a través de una puerta O-exclusiva, 74LS86, (CI_{31} en la figura 2). La figura 8 muestra un diagrama de bloques simplificado de los circuitos TROM.

Con circuitos adicionales al TROM se pueden realizar algunas funciones de control. Estas funciones están determinadas por caracteres de control (como oposición a los caracteres alfanuméricos y gráficos) recibidos de la memoria. Estos caracteres de control se estudiaran con detalle más adelante.

El generador de caracteres no contiene posibilidad de visualizar un cursor y por tanto para ello requiere circuitería adicional. La posición del cursor es almacenada en la memoria del visualizador, y la salida correspondiente al cursor obtenida de la memoria de visualización es retardada en un registro de desplazamiento que compensa los retardos de la información de carácter en el TROM. La salida del registro de desplazamiento controla entonces las salidas de video del generador de caracteres en el circuito integrado CI_{31}. Un "1" en la memoria del cursor indica la posición del cursor, y cuando este "1" se aplica a la puerta O-exclusiva (CI_{31}), se invierten las señales de video.

Las salidas de video del TROM pueden estar completamente inhibidas manteniendo en nivel bajo la entrada DE de desinhibición del visualizador (patilla 28) y en nivel alto la imagen en la entrada PO (patilla 27).

Eliminación del entrelazado

El decodificador de teletexto está diseñado para dar una visualización en un receptor de televisión estándar. Así, los circuitos TIC y TROM generan una visualización entrelazada que es indeseable en la mayoría de aplicaciones del VDU.

La figura 9 muestra una modificación que elimina el entrelazado del visualizador producido por los circuitos TIC y TROM. Esta modificación está basada en un contador Johnson de cuatro etapas HEF4022 que se conecta como se indica en la figura 9. Al final del primer cuadro, la salida CRS de selección del redondeo de caracteres del circuito TIC (patilla 11) pasa a nivel bajo (nominalmente al final de la línea 313). Esta señal negativa hace que el contador Johnson cuente los flancos de subida de la señal de sincronismo. En el cuarto flanco de subida (después de dos períodos de línea), la salida del contador O_4 (patilla 11) pasa a nivel alto y proporciona una entrada FS de sincronismo de campo al circuito TIC (patilla 10). Este impulso pone a cero el circuito TIC en el primer cuadro y la salida CRS pasa entonces a estado alto y borra el contador. Así se produce una visualización no entrelazada de la línea 314.

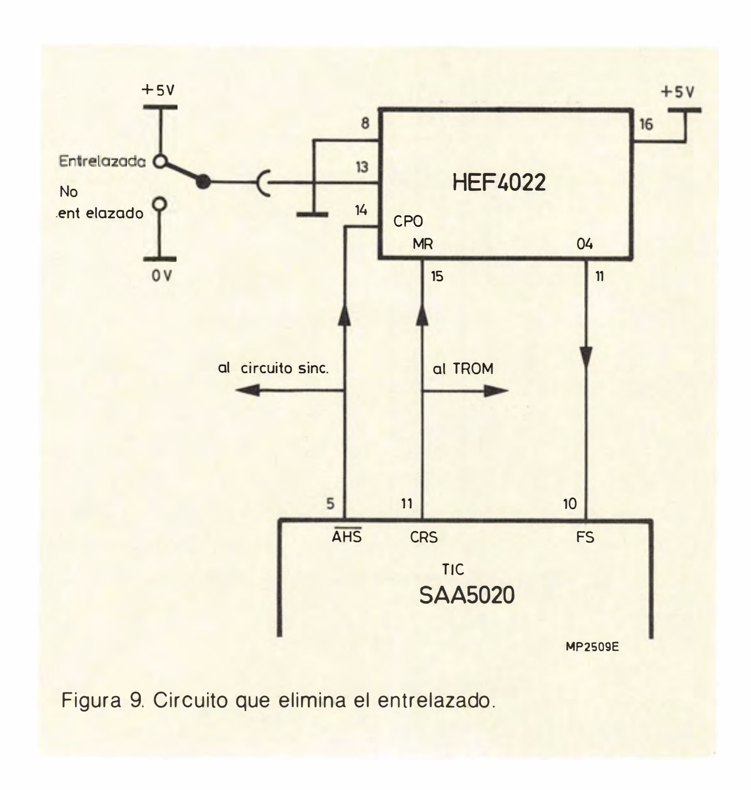


Figura 9. Circuito que elimina el entrelazado.

Esta visualización no entrelazada contiene la mitad de los bits de redondeo de caracteres para caracteres de altura normal y el redondeo total de caracteres para caracteres de doble altura. La salida de sincronismos compuestos $\overline{AHS}$ del TIC (patilla 5) no es afectada, excepto si se añaden tres impulsos adicionales ecualizadores de media línea después del sincronismo de cuadro.

CARACTERES DE CONTROL

El código de teletexto de datos de 7 bits proporciona un conjunto total de 96 caracteres alfanuméricos, 64 caracteres gráficos y 32 caracteres de control. La tabla 2 muestra el conjunto total de códigos de teletexto. Los caracteres de control son decodificados por el circuito TROM para dar lugar al formato de visualización requerido, y son visualizados como espacios en blanco. A continuación se da una descripción de los efectos producidos por los caracteres de control de teletexto. La figura 10 muestra algunos ejemplos de visualización en pantalla generada por el terminal inteligente descrito en este artículo.

Obsérvese que algunos caracteres de control están reservados por razones de compatibilidad con otros códigos de datos, mientras que otros no son adecuados para las aplicaciones del VDU. Así, siete de los códigos son conocidos como "códigos de omisión": se aplican a un visualizador "normal" y son tomados antes de que empiece cada fila. Estos controles son "blanco alfanumérico", "fondo negro", "gráficos contiguos", "altura normal", "estable" (es decir, sin parpadeo), "gráficos en libertad" y "final recuadro".

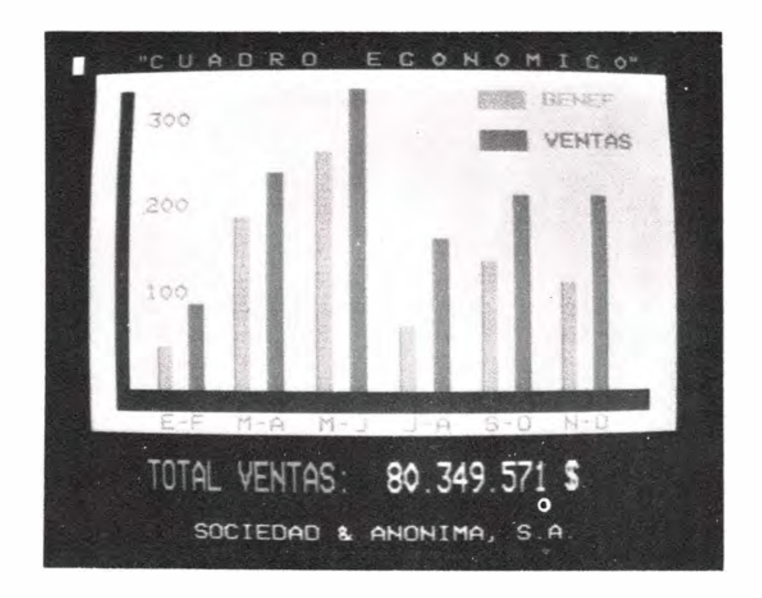
Tabla 2. Códigos de caracteres de teletexto.

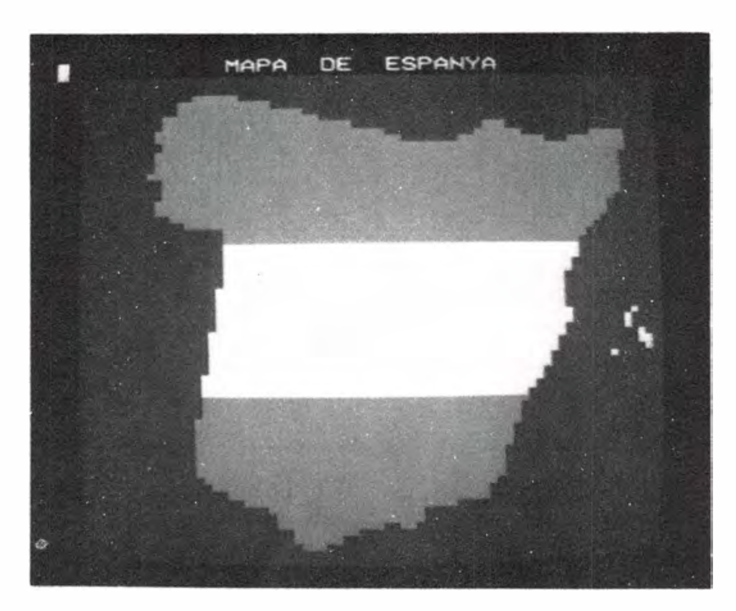
bits dato				b7	0	0	0		0		1	1	1		1	
				b6	0	0	1		1		0	0	1		1	
b4	b3	b2	b1	b5	0	1	0		1		0	1	0		1	
0	0	0	0		NUL*	DLE*	(espacio)		0		@	P	—		p	
0	0	0	1		Alfa^n rojo	Gráficos rojo	!		1		A	Q	a		q	
0	0	1	0		Alfa^n verde	Gráficos verde	"		2		B	R	b		r	
0	0	1	1		Alfa^n amarillo	Gráficos amarillo	£		3		C	S	c		s	
0	1	0	0		Alfa^n azul	Gráficos azul	$		4		D	T	d		t	
0	1	0	1		Alfa^n magenta	Gráficos magenta	%		5		E	U	e		u	
0	1	1	0		Alfa^n cyan	Gráficos cyan	&		6		F	V	f		v	
0	1	1	1		Alfa^n blanco	Gráficos blanco	'		7		G	W	g		w	
1	0	0	0		Intermitente	Cancela visualización	(		8		H	X	h		x	
1	0	0	1		Estable	Gráficos contiguos	)		9		I	Y	i		y	
1	0	1	0		Fin recuadro	Gráficos separados	*		:		J	Z	j		z	
1	0	1	1		Comienzo recuadro	ESC*	+		;		K	←	k		¼	
1	1	0	0		Altura normal	Fondo negro	,		<		L	½	l		‖	
1	1	0	1		Doble altura	Nuevo fondo	-		=		M	→	m		¾	
1	1	1	0		SO*	Gráficos detenidos	.		>		N	↑	n		÷	
1	1	1	1		SI*	Permitir gráficos	/		?		O	#	o		■	

Negro representa el color de la visualización, y blanco el fondo.

* Estos caracteres de control están reservados por compatibilidad con otros códigos.

Figura 10. Ejemplos de visualizaciones en pantalla generadas por el terminal inteligente.





Caracteres coloreados

Los caracteres alfanuméricos pueden visualizarse en la pantalla en siete colores, dependiendo del caracter de control alfanumérico elegido. Estos colores son: rojo, verde, amarillo, azul, magenta, cyan y blanco.

Caracteres gráficos

Cada uno de los 64 caracteres gráficos puede estar en cualquiera de los siete colores citados anteriormente. El uso de estos caracteres permite construir títulos muy grandes y diagramas sencillos (como por ejemplo mapas meteorológicos).

Los caracteres gráficos se visualizan en una matriz de 2×3 como la de la figura 11. Seis bits determinan qué células de la matriz se iluminan mientras que el séptimo bit (b_6) distingue entre caracteres gráficos o alfanuméricos. Si b_6 es un "0" el código corresponde siempre a un carácter alfanumérico, si es "1" el código corresponde a un caracter alfanumérico o a uno gráfico, dependiendo de los caracteres de control.

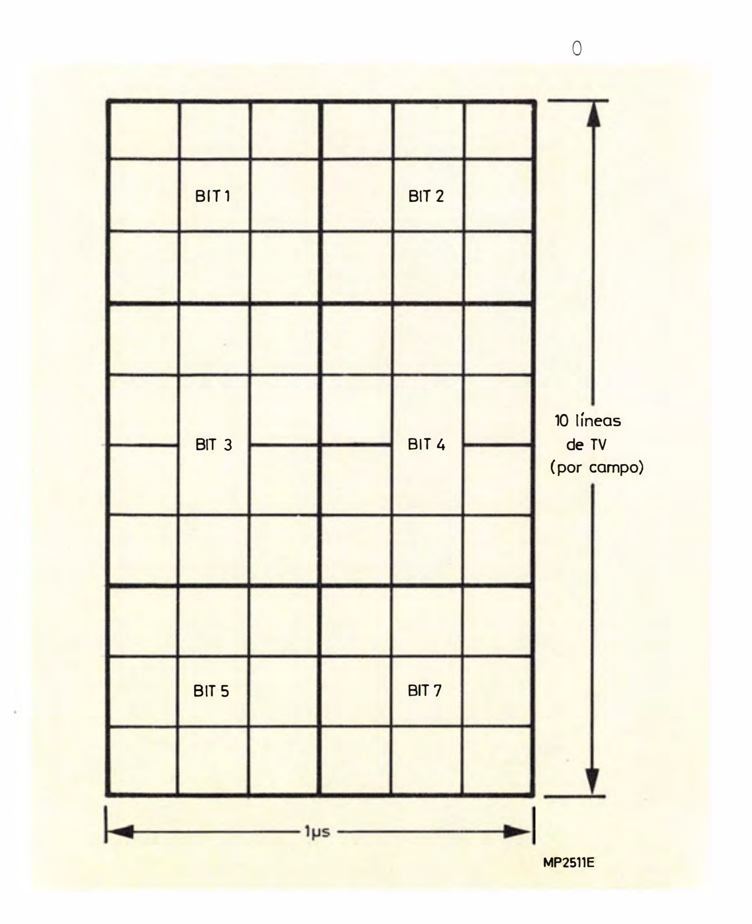
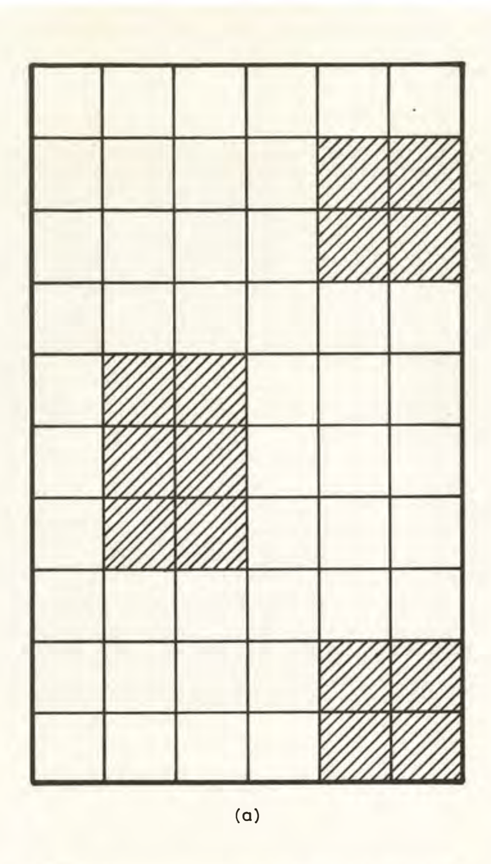


Figura 11. Situación de los bits de datos para un carácter gráfico y tamaño del rectángulo del carácter.



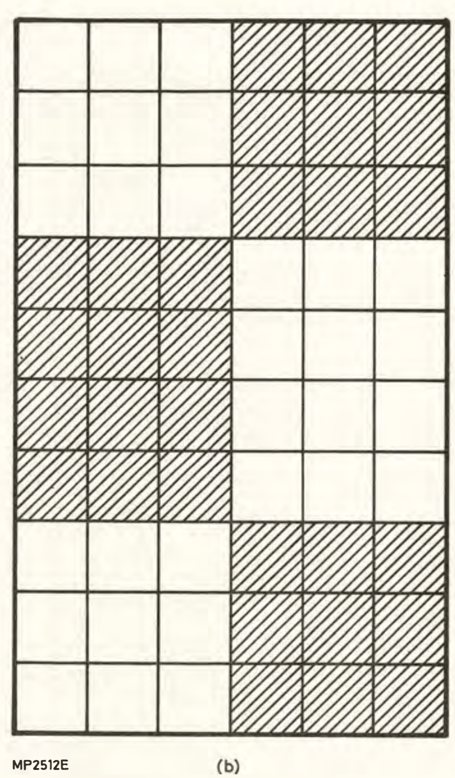


Figura 12. Carácter gráfico 1100110.
(a) modo separado.
(b) modo contiguo.

Los caracteres de control "gráficos contiguos" y "gráficos separados" permiten disitnguir si las zonas diferentes de gráficos y dibujos son contiguas (una línea continua, por ejemplo) o separadas (por ejemplo una línea de puntos); véase la figura 12.

El carácter de control de "gráficos detenidos" hace que se produzcan blancos en la pantalla, llenando los caracteres de control con una repetición del carácter gráfico precedente. Así por ejemplo, zonas de los gráficos de diferente color pueden estar juntas sin espacio entre ellas. La orden "permitir gráficos" cancela esta orden.

Fondos coloreados

El fondo de un terminal normalmente es negro, pero se puede elegir un fondo de cualquiera de los siete colores estándar mediante el carácter de control "nuevo fondo". Entonces el fondo pasa al color del carácter de control de color precedente. Mediante el carácter de control "fondo negro" se restablece un fondo negro.

Caracteres intermitentes

Todos los caracteres que siguen al control "flash" parpadean repetitivamente hasta que se recibe la orden "estable".

Caracteres de doble altura

El control "doble altura" da lugar a que los siguientes caracteres aparezcan en la pantalla con altura doble de la normal pero con la misma anchura, y así los caracteres elegidos pueden ser visualizados con doble altura. Obsérvese que la elección de un carácter de doble altura hace que desaparezca la línea que está debajo. La orden "altura normal" cancela esta orden.

Recuadro y cancelación

En aplicaciones de teletexto, los caracteres de control de "comienzo de recuadro" y "final de recuadro" hacen que desaparezca la señal normal de TV en las zonas elegidas y entonces, por ejemplo, puede generarse un recuadro alrededor de un subtítulo o instantánea de noticia. Sin embargo, de momento esta posibilidad no parece necesaria en las aplicaciones de los VDU.

El carácter de control "cancelar visualización" hace que se suprima parte de la visualización y se almacene en la memoria hasta que se necesite. Así, en aplicaciones de teletexto, se puede cancelar una respuesta a una pregunta. Normalmente, los caracteres suprimidos están diseñados para ser revelados por un sistema de control remoto/receptor, pero pueden obtenerse eliminando el carácter de control "visualización oculta" y de este modo esta posibilidad puede ser útil para los VDU.

POSIBILIDADES DEL TECLADO

El terminal VDU inteligente incluye un teclado totalmente alfanumérico. Tiene 48 teclas alfanuméricas y de puntuación que dan un conjunto total de caracteres ASCII que incluyen caracteres en mayúsculas y en minúsculas. La tecla de desplazamiento del control CTRL hace que 32 de estas teclas generen el conjunto total de caracteres de control de teletexto (véase la tabla 2).

La figura 13 es una fotografía del terminal con el teclado claramente visible. La figura 14 es un diagrama de la placa de circuito impreso del teclado, y la figura 15 muestra la matriz del teclado.

A continuación se da una breve descripción de las posibilidades del teclado.

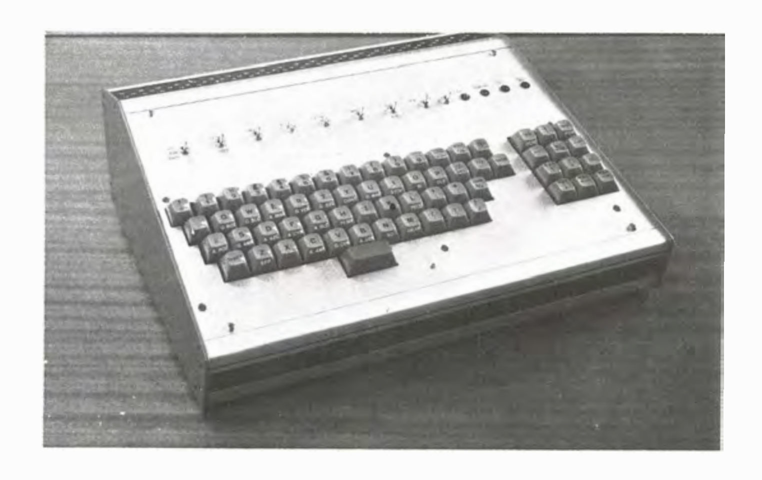


Figura 13. Terminal inteligente VDU.

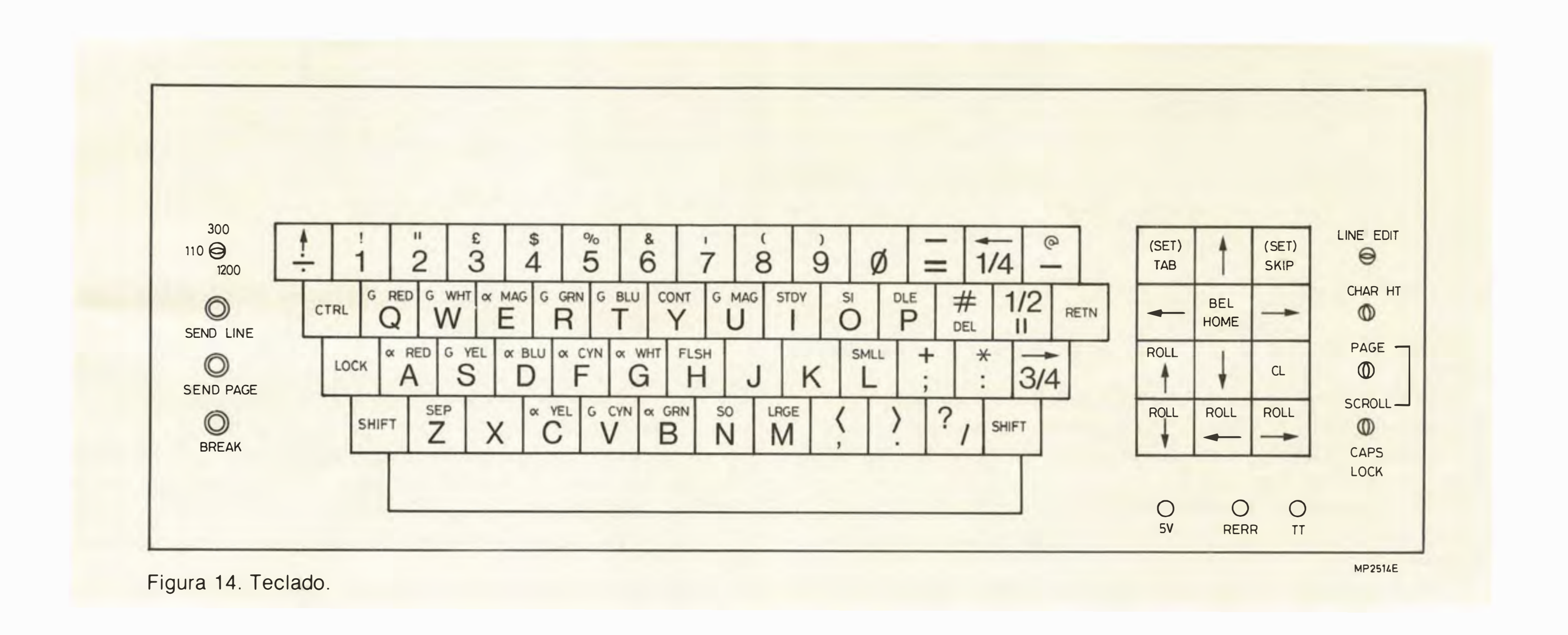


Figura 14. Teclado.

Conmutadores de selección de modo

En el teclado se tienen los siguientes conmutadores de selección de modo.

Línea/edición

El conmutador LINE/EDIT desconecta el temrinal de cualquier equipo externo de modo que el visualizador pueda ser editado. Obsérvese que la tecla RETN tiene un retorno de carro CR y una función de salto de línea LF cuando el terminal está en modo de editar.

Velocidad en baudios

La velocidad en baudios para el acoplamiento RS-232 se elige mediante un conmutador de tres posiciones. En este diseño están disponibles velocidades de 110, 300 o 1.200 baudios. Hay que tener en cuenta que la tecla de borrado CL debe apretarse después de cambiar la velocidad.

Break

El conmutador BREAK pone la salida T × D del acoplador RS-232 a + 12 V. Entonces, una señal de "interrupción" es enviada por la línea en serie (al ordenador, por ejemplo).

Números conexión	dato (41) D_7	dato (46) D_6	dato (45) D_5	dato (44) D_3	dato (32) D_2	dato (36) D_1	dato (35) D_0	dato (34)
dirección (75)A_0	SPACE	RETN	HOME	TAB	↑	←	ROLL ↑	ROLL ←
dirección (76)A_1		SEND LINE	SEND PAGE	SKIP	→	↓	ROLL →	ROLL ↓
dirección (77)A_2	0	1	2	3	4	5	6	7
dirección (71)a_3	8	9	:	;	,	—	•	/
dirección (73)A_4	—	A	B	C	D	E	F	G
dirección (74)A_5	H	I	J	K	L	M	N	O
dirección (69)A_4	P	Q	R	S	T	U	V	W
dirección (70)A_7	X	Y	Z	1/4	II	3/4	÷	DEL

Figura 15. Matriz del teclado

Altura de carácter

El conmutador de altura de carácter CHAR HT tiene tres posiciones con los siguientes efectos.

Posición central: Cuando el conmutador está en esta posición se visualizan caracteres de altura normal a no ser que se hayan elegido caracteres de doble altura con el control de carácter de teletexto adecuado.

Posición superior: Cuando el conmutador está en esta posición se visualiza la mitad superior de la página con caracteres de doble altura.

Posición inferior: Cuando el conmutador está en esta posición se visualiza la mitad inferior de la página con caracteres de doble altura.

Página/rollo

Cuando este conmutador está arriba, PAGINA, el cursor se mueve hacia la parte superior de la pantalla hasta que el visualizador esté completo. Cuando este conmutador está abajo, ROLLO, todas las líneas de carácter se desplazan una línea hacia arriba hasta que el visualizador esté completo.

Fijación de mayúsculas

El conmutador CAPS LOCK pone en mayúsculas todos los caracteres que entran del teclado.

Teletexto/ASCII

Cuando el terminal recibe el carácter SI (Shift-IN), éste pasa al modo teletexto; la recepción del carácter SO (Shift-Out) pasa el terminal al modo ASCII.

El carácter SI se genera apretando la tecla CTRL seguida de la O (SI). En el modo teletexto se reciben todos los caracteres de control excepto ESC (véase la tabla 2) y SO entra en la memoria de visualización.

El carácter SO se genera apretando la tecla CTRL y después la N (SO). En el modo ASCII se eliminan todos los caracteres de control, excepto retorno de carro CR, salto de línea LF, y SI. En el modo teletexto, las funciones CR y LF se realizan utilizando la tecla RETN.

Cuando el terminal está en el modo LINE, los caracteres SI y SO del equipo externo (no del teclado) conmutan al VDU entre los modos teletexto y ASCII.

Teclas de función

En el teclado se tienen las siguientes teclas de función.

Movimientos del cursor

Se tienen teclas que mueven el cursor hacia arriba, abajo, a derecha y a izquierda. La tecla marcada con HOME vuelve el cursor a la parte superior izquierda de la pantalla.

ROLL

Las teclas de rotación hacia arriba, rotación hacia abajo, rotación a la izquierda y rotación a la derecha (indicados por ROLL y flechas en las teclas) borra o inserta caracteres o líneas en la posición del cursor.

TAB

Se pueden colocar en la página hasta ocho posiciones del tabulador. Para fijar una posición del tabulador hay que desplazar el cursor a la posición adecuada y apretar la tecla CTRL y después TAB. Es aconsejable fijar una posición de tabulador en uno de los márgenes. Para pasar de una posición del tabulador a otra, fijar el cursor en la nueva posición y apretar la tecla CTRL y después TAB.

SKIP

Al apretar la tecla SKIP, el cursor se moverá hacia la posición adecuada inmediatamente después de encontrar el siguiente carácter de salto. Los caracteres de salto se introducen apretando la tecla CTRL y a continuación SKIP con el cursor en la posición adecuada. Se incluye esta posibilidad para ayudar a llenar la forma y operaciones similares.

SEND LINE

Cuando se aprieta SEND LINE se transmiten todos los contenidos de la línea. En el modo ASCII, los espacios finales son sustituidos por retorno de carro y salto de línea (CR y LF). En otro modo se envían los 40 caracteres.

SEND PAGE

SEND PAGE tiene la misma función que SED LINE con la única diferencia de que se transmite la página completa (24 líneas).

CLEAR

La tecla de borrado CL pone a cero el terminal. Además, si se aprieta CL a la vez que BREAK, se borra la pantalla.

Indicadores LED

Existen tres indicadores LED en el terminal.

Indicadores de error
La indicación de error, LED RERR, indica que se ha recibido un código incorrecto (D_{15} en la figura 4).

Indicador de teletexto
El indicador de teletexto, LED TT, indica que el terminal está en el modo teletexto (D_{13} en la figura 4).

Indicador de alimentación
El indicador de alimentación, LED 5V, indica que está conectada la tensión de 5V (D_{14} en la figura 4).

Acoplamientos

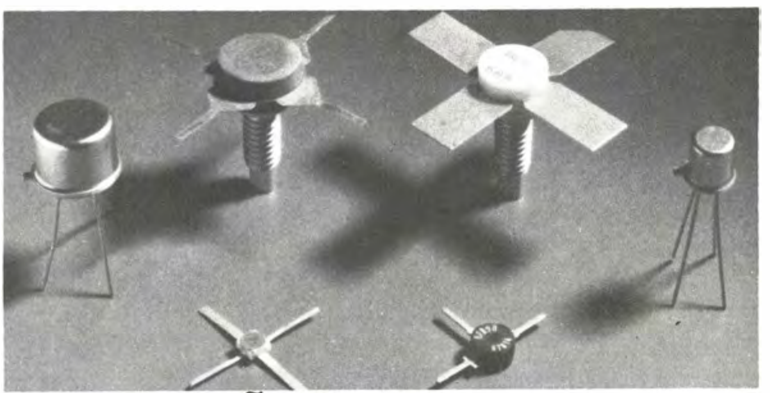
Se tienen salidas de video rojo, verde, azul (R, G, B), así como salida de sincronismo y salida monocromática con sincronismo; véase la figura 4, conexiones 4, 5, 6 y 7.

Se tienen dos conectores para el acoplamiento RS-232: una clavija para conectarlo a la línea (ordenador o modem, por ejemplo) y un zócalo para conectarlo a un terminal (teletipo o impresora, por ejemplo). La tabla 3 muestra el significado de las conexiones de clavija y de zócalo.

Tabla 3. Conexiones de clavija y zócalo dB RS-232.

Patilla	Denominación	Conexión (fig. 2 y 4)	Propósito
1 y 7	Masa	—	Masas de señal y protección
2	T×D	13	{ Datos transmitidos al modem o a la línea Datos recibidos del terminal
3	R×D	14	{ Datos recibidos del modo o de la línea Datos transmitidos al terminal
4	RTS	18	Petición de enviar señal desde el VDU al modem o línea (normalmente alto).
5 (clavija)	CTS	15	Dejar de enviar (o preparado para enviar) señal desde el modem al VDU.
5 (zócalo)	CTS	17	Esta salida del VDU se desconecta cuando se pulsa una tecla de función
6	DSR	—	Señal preparada del conjunto de datos del modem o línea al VDU (normalmente "1")
8	DCD	10	Portadora de datos que detecta la señal del modem. Si es "1" desinhibe el receptor
20	DTR	—	Señal preparada del terminal de datos del VDU a la línea (normalmente "1")

TRANSISTORES DE BANDA ANCHA PARA AMPLIFICADORES DE SEÑAL DE ANTENA

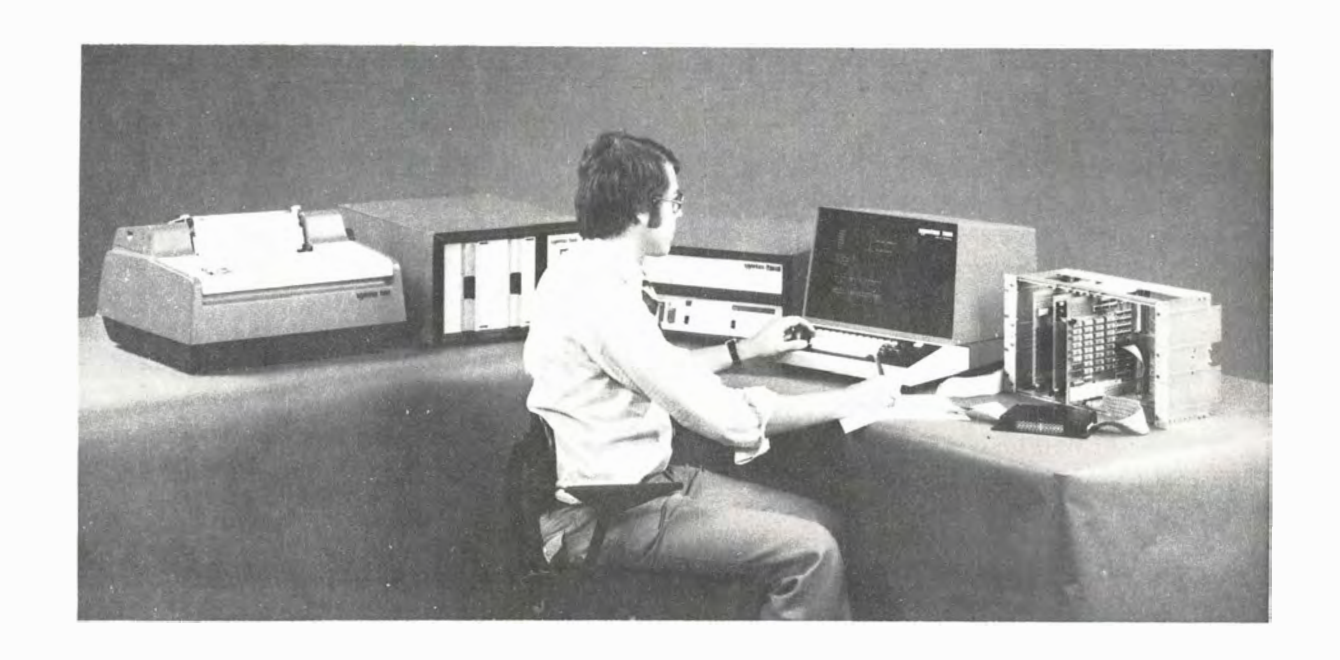


		VALORES CIRCUITO (TIP)				VAL. LIMITE			CARACTERISTICAS		
Tipo todos NPN	f MHz	P_o* mW	G_p (G_{UM}) dB	V_{CE} V	I_C mA	V_{CEO} V	I_{CM} mA	P_{tot} mW	h_{FE}	f_T tip. GHz	F tip. dB
BFX89	200 800	6	22 7	10	8	15	50	200	20-150	1,2	3,3 7,0
BFW92	200 800	8	23 11	10	10	15	50	190	20-150	1,6	4a 500 MHz
BFY90	200 800	12	23 8	10	14	15	50	200	25-150	1,4	2,5 5,5
BFW30	200 800	15	21 7,5	5	30	10	100	250	>25	1,6	<5,0 a 500 MHz
BFW93	200 800	15	(22) (10,5)	5	30	10	100	190	>25	1,7	<5,0 a 500 MHz
BFW16A	200 800	150 90	16 6,5	18	70	25	300	1500	>25	1,2	<6,0 –
BFW17A	200	150	16	18	70	25	300	1500	>25	1,1	–
BFR64	200 800	150 90	16 6,5	20	70	25	500	3500	>25	1,2	6,0 –
BFR65	200 800	450 –	19 4,5	20	200	25	1000	5000	> 30	>1,2	–

* VRWR a salida <2 medida a $f_{(2q-p)}$
f_p = 202 MHz, f_q = 205 MHz o f_p = 798 MHz, f_q = 802 MHz.

		CARACTERISTICAS (TIP)							
		d_{im}	* bajo condiciones				G_{UM}	F a	f
Tipo	Polaridad	dB	f(p+q−r) MHz	V_{CE} V	I_C mA	V_o mV	típ. dB	típ. dB	MHz
BFQ22	N	−60	493,25	5	30	300	16,5	1,9	500
BFQ23	P	−60	493,25	5	30	300	16,5	2,4	500
BFQ24	P	−60	493,25	5	30	300	16,5	2,4	500
BFQ32	P	−60	493,25	10	50	500	14	3,75	500
BFQ34	N	−60	793,25	15	120	1200	16	8	500
BFR49	N	–	–	10	14	–	17	2,5	1000
BFR90	N	−60	493,25	10	14	150	19,5	2,4	500
BFR91	N	−60	493,25	5	30	300	16,5	1,9	500
BFR94	N	−60	493,25	20	90	700	13,5	5	200
BFR95	N	−61	194,25	18	80	1000	13,5	9	200
BFR96	N	−60	493,25	10	50	500	16	3,3	500

* Distorsión de intermodulación medida segun normas DIN



Microelectrónica

¿El inicio de una revolución industrial?

Parte 3

(Las dos primeras partes de este artículo se publicaron en Revista Miniwatt, vol. 19 n.º 7 y n.º 10 respectivamente)

6. Nuevas posibilidades empleando circuitos integrados

Los nuevos productos, si son bien acogidos, satisfacen una necesidad humana. Los cambios de las circunstancias económicas y sociales modifican a menudo los modelos de las necesidades pues aunque el hombre desconoce que hay mejores medios para satisfacer una necesidad, la aparición de nuevos productos se lo indica. Es fácil prever que la microelectrónica contribuirá considerablemente a llenar nuevas necesidades del hombre en campos tales como protección, seguridad, confort doméstico, control de energía, administración familiar, cuidado personal, comunicaciones, información, educación y pasatiempos. El análisis de las posibilidades de la microelectrónica en cada uno de estos campos nos llevaría a estudios voluminosos, por lo que nos limitaremos a efectuar solamente algunos comentarios.

En el campo doméstico, la microelectrónica puede demostrar su utilidad ya que muchas de las tareas y procedimientos parecen ser adecuados para integrarlos en el contexto de un sistema programado. La misma posibilidad se tiene en el control de temperatura, iluminación y acondicionamiento de aire en el hogar. Los diversos subsistemas actualmente empleados pueden interrelacionarse produciendo un mayor confort y una economía en la energía consumida.

Las posibilidades son numerosas en el terreno de la seguridad y protección. Como ejemplos podemos citar, presencia simulada mediante iluminaciones programadas, que puede combinarse con detección de rotura de cristales, cerrado electrónico de todas las puertas mediante una llave única, detección de fuego y robos, las cuales se pueden combinar con conexiones automáticas a la policía y bomberos, etc.

La gente habla frecuentemente de la administración familiar; las cuentas se están complicando cada vez más, impuestos, seguros y un sinfín de servicios públicos y de otros tipos que exigen una creciente actividad administrativa por parte de los ciudadanos.

En un futuro próximo puede esperarse que sistemas basados en microordenadores simplificarán notablemente estas tareas. Un paso más y los sistemas administrarán todos los datos útiles para la familia, pasaportes, fechas de aniversarios, recetas, números telefónicos, que si se desea, podrán marcarse automáticamente. Será posible la comunicación con ordenadores de bancos y otros servicios, controlándose los equipos caseros mediante sistemas que diagnosticarán el defecto cuando alguno no funcione correctamente.

Los marcapasos y aparatos para sordos constituyen hoy una clara aplicación de la microelectrónica. Es previsible esperar un desarrollo progresivo en los instrumentos que controlan y supervisan funciones corporales. Además se crearan sistemas médico-administrativos que ayudarán a efectuar un mejor control de la salud.

En las próximas décadas, las tendencias de la sociedad Occidental pasarán de los bienes materiales a los productos informativos. Los medios tradicionales de información actualmente empleados por el público serán ampliados (piénsese por ejemplo en el video-disco o en los bancos de datos accesibles al público). Se desarrollarán nuevas combinaciones de actividades sin relación hasta la fecha, como por ejemplo la colaboración de la prensa con correos y emisoras de T.V. en el Viewdata. Nuevamente, la base radica en la microelectrónica que deberá proporcionar aparatos a precios moderados para permitir su adopción por el gran público. En buena lógica puede esperarse que la educación quedará también fuertemente influenciada por este desarrollo.

Las comunicaciones juegan un papel muy importante en todo esto. Hasta la fecha la radio y la televisión han trabajado exclusivamente con emisión de programas controlados por una organización que

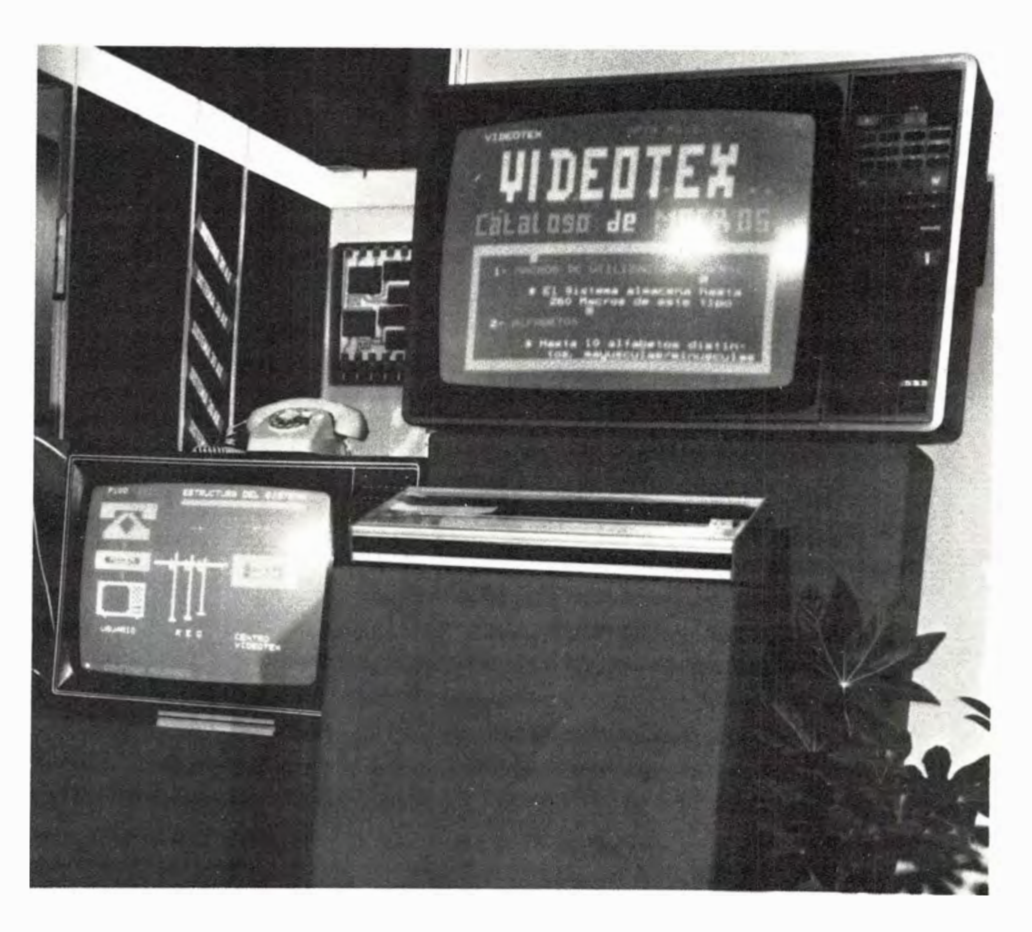


Foto 2. La microelectrónica hace posible añadir muchas nuevas funciones a un aparato de televisión. Un ejemplo es el Videotex, con el cual la información pedida al ordenador se recibe a través de la línea telefónica y aparece en la pantalla del aparato de televisión del usuario.

determina qué y cuándo debe emitirse. También en este campo cabe esperar un cambio mediante el cual, el que recibe la información podrá elegir por sí mismo el tipo que desea y cuándo. Los primeros ejemplos en este terreno lo constituyen el Teletexto y la televisión por cable. Las cartas (anacrónicas en un cierto sentido) también podrán mejorarse. Próximamente, la microelectrónica permitirá tener un enlace casa-casa, con una red facsímil que haga posible la transmisión a bajo coste de cartas en tamaño normalizado ilustradas con fotografías, etc., en 2-4 minutos. Cualquier persona conectada a dicha red podrá igualmente pedir información y obtenerla impresa si lo desea.

El alcance que puede tener la microelectrónica en los productos de gran consumo queda perfectamente reflejado con la influencia que los circuitos integrados tendrán en el automóvil. Simplemente reemplazando el actual cableado (luces, etc.) por un sistema electrónico controlado por microordenador, se pueden obtener considerables economías. Las prestaciones que quieran añadirse serán entonces sólo una cuestión de tiempo.

7. *Consecuencias para la industria*

Los desarrollos descritos anteriormente inevitablemente tendrán consecuencias para las industrias electromecánicas y electrónicas. El propósito de esta publicación no es el de profundizar en estas consecuencias, por lo que solamente efectuaremos unos cuantos comentarios al respecto.

Relación entre componentes y sistemas

Las consecuencias de la introducción de la microelectrónica en los productos industriales se dejará sentir tanto en la industria como en los pro-

ductos mismos. Como resultado de la disponibilidad de esta nueva tecnología, los fabricantes de equipos tendrán que replantearse nuevamente su trabajo. Deberán determinar las funciones que quieren incluir en sus productos y lo que su propio esfuerzo puede aportar a estos productos. Por ejemplo, al proyectista de una aplicación concreta se le presentan millares de componentes electrónicos en forma de circuito integrado para una función diseñada por él. Su propia contribución deberá estar dirigida perfectamente hacia la formación de un (sub)sistema capaz de ofrecer mayores posibilidades y una gama más completa para el usuario. En este sentido se habla de integraciones "adelantadas" o "atrasadas". Los suministradores de circuitos integrados se están orientando hacia la producción de subsistemas e incluso en algunos casos al producto final completo. Se están "adelantando" en la dirección del mercado. Inversamente, un importante productor de equipos electrónicos puede diseñar y producir él mismo, un cierto número de sus circuitos integrados fundamentales, sobre todo si su tecnología específica está incorporada en los circuitos integrados. Un fabricante semejante se esta "atrapando" en la cadena productiva. Semejantes modificaciones en actividades industriales significa que en muchos casos se producirán grandes cambios en el reparto de funciones entre el suministrador de componentes y el fabricante de productos terminados. Este deberá equiparse y adaptarse para una tarea diferente en su contribución al producto. Lógicamente esto redundará en modificaciones en la organización de la producción. Será necesario nuevo personal. Parte del trabajo constructivo será reemplazado por desarrollos de diseños y especificaciones. Desaparecerán o cambiarán trabajos y probablemente el aspecto más importante será el cambio de actitud (mental) hacia su propio producto. La gente deberá aprender a ver su producto y su contribución al mismo con otros ojos.

El alcance que esto puede tener es previsible a través de la reducción de precio habida en los circuitos, el cual ha descendido entre el 30 y el 40% anualmente en el período 1970-1978. En otras palabras, los componentes son cada vez más compactos y relativamente más baratos.

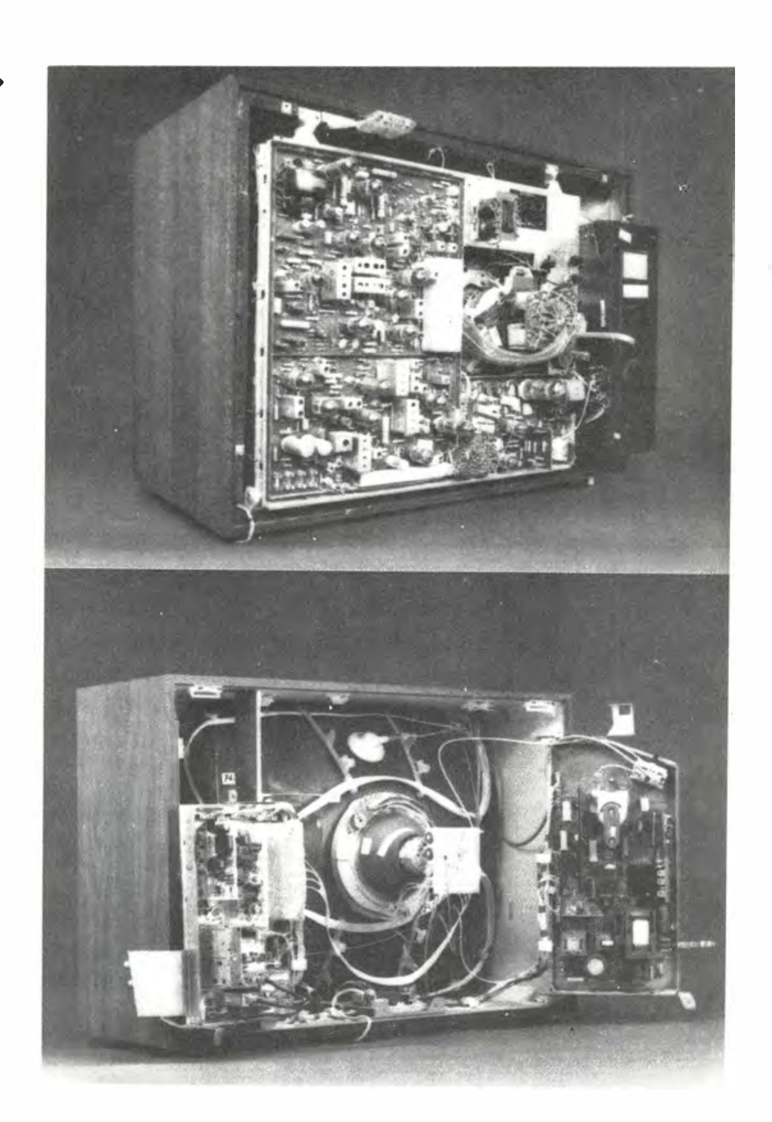
Una consecuencia de este desarrollo es el número de componentes que deben montarse para obtener un cierto producto. En la tabla siguiente se tienen las cifras correspondientes a un televisor en color. A pesar de haber incrementado las funciones, el número de componentes ha descendido casi al 50% desde 1970, habiendo sucedido lo mismo con el consumo energético. Fabricantes japoneses han visto además que el número de horas de trabajo necesarias para montar un televisor decrece en proporción al número de componentes que lo constituyen.

Componentes en un TVC de 20"	*1970*	*1978*
Circuitos integrados	2	9
Transistores (independientes)	65	34
Diodos (independientes)	65	38
Varios	100	50-70
Consumo energético	155 W	85 W

Oportunidades para las pequeñas empresas

La primera conclusión que puede deducirse de lo expuesto es que la disponibilidad de complicados componentes electrónicos proporciona oportunidades a las pequeñas empresas. Un primer requisito es que las pequeñas empresas se den cuenta de la necesidad de adquirir los conocimientos necesarios sobre las posibilidades ofrecidas por la microelectrónica y también de su efecto sobre los productos que ellos fabrican en el campo de procesado de señales, proceso de datos y control de energía. Esto

Foto 3. Los microcircuitos han revolucionado el receptor de televisión en color: menos partes, menos peso, menos ajustes, menor consumo de potencia, menor calentamiento, mejor fiabilidad y, por supuesto, mejor imagen.



tiene una particular importancia ya que la influencia de la microelectrónica no está restringida al grupo de los productos electrónicos tradicionales sino que también afecta a los productos electromecánicos y mecánicos.

Otro requisito es que las empresas trabajen con funciones normalizadas (y en consecuencia con componentes normalizados), que la microelectrónica ofrece en número cada vez mayor. Las soluciones específicas tienen un nivel de integración demasiado bajo, lo que implica elevados costes de diseño y realización.

Una buena información y la debida asesoría son esenciales en este campo. Los microprocesadores y microordenadores proporcionan soluciones estándar. Dependiendo de su aplicación, una función puede obtenerse con sólo unos pocos componentes. Mientras la experiencia y el empleo de microordenadores no se generalicen a un nivel adecuado, su utilización tiene el riesgo de obtener malos productos con costes elevados.

De la misma forma que el constructor debe conocer perfectamente las posibilidades de un material antes de que el delineante comience a dibujar, el proyectista que quiere desarrollar una función con microprocesador, debe conocer perfectamente sus posibilidades y tener la experiencia necesaria antes de iniciar el desarrollo del programa. Al igual que el constructor, como responsable final, debe comprobar el proyecto, el diseñador del sistema debe comprobar el programa. Todos los diseñadores de circuitos electrónicos tendrán que trabajar con microprocesadores y tendrán que conocer su significado para orientar a los que tienen que desarrollar sus diseños. Sobre este asunto es importante hacer la siguiente observación: con el empleo de los ordenadores para fines administrativos, las compañías han dependido con demasiada frecuencia del programador; esto, consecuencia de un mundo revuelto, ha costado mucho dinero en la fase de aprendizaje. La repetición de este error debe evitarse.

Los riesgos que corre la ingeniería de precisión y las industrias electromecánicas dependen en parte del contenido electrónico de sus productos. Si la electrónica juega en ellos un papel importante, debe considerarse la posibilidad de que los fabricantes de componentes se encarguen por completo del producto final.

Todos los fabricantes de componentes para calculadoras de bolsillo pueden fabricar calculadoras con pocos gastos suplementarios. Esto es precisamente lo que ha sucedido con calculadoras, relojes e incluso ordenadores. Debe añadirse no obstante que la capacidad para elaborar productos terminados no significa que se vaya a tener éxito en su comercialización, pues para ello se requiere entre otras cosas buenos conocimientos de Marketing.

El empleo inteligente de los logros de la electrónica afectará a productos a los que la empresa puede proporcionar una contribución propia. De esta forma no existe el riesgo de que el producto quede

desplazado por la industria de componentes mediante nuevas integraciones.

Podemos citar como ejemplo equipos con especificaciones ambientales como equipos médicos, mediciones e instalaciones industriales controladas electrónicamente. Básicamente, la microelectrónica aumenta la capacidad para lograr novedades, nuevas funciones, nuevas aplicaciones, productos más compactos, menor consumo energético y mayor fiabilidad.

Actualmente están surgiendo nuevas posibilidades: muchas nuevas empresas pequeñas están comercializando ordenadores especiales montados a partir de componentes comprados. Tradicionalmente, los ordenadores han sido los instrumentos más adecuados para el empleo de la electrónica digital, pero no hay razón para suponer que sus aplicaciones deban quedar aquí. Otros productos hasta la fecha reservados para grandes empresas quedarán al alcance de las pequeñas.

8. Aspectos laborales

La influencia de la microelectrónica en el mundo laboral será importante y se prevé la siguiente evolución.

a) A corto y medio plazo se espera un descenso en el número de puestos de trabajo, tanto en puestos directos como indirectos, como resultado del empleo de la microelectrónica sobre todo en las industrias con mercado de evolución lenta.
b) A largo plazo, la microelectrónica ofrece la posibilidad de crear unos puestos de trabajo si se cumplen las condiciones necesarias.

Como se ha visto anteriormente, estas condiciones dependen tanto de la industria electrónica como de las industrias electromecánica y de precisión. Sin embargo, no debe cometerse el error de considerar sólo la industria al comienzo. La microelectrónica ofrece numerosas oportunidades para nuevas actividades e incluso para nuevas industrias.

Finalmente queremos hacer unas observaciones sobre un aspecto totalmente diferente de las posibilidades ofrecidas por la microelectrónica. Esta es la oportunidad de las industrias de ampliar su radio de acción, mediante la creación de su propio suministro de información.

Ya se ha comentado que los productos electrónicos encuentran numerosas aplicaciones en productos de información y distribución. Hasta la fecha, la industria se ha ocupado de forma sistemática sólo de los equipos (hardware), dejando el suministro de información a sus clientes (software).

En vista de las posibilidades de la microelectrónica y de la creciente necesidad de información (para educación, diversión, etc.), surge la pregunta de si parte de esta información podría ser suministrada por la industria, ya que en términos relativos al Software representa una carga de trabajo superior al Hardware.

Excitador de visualizadores fluorescentes NE/SA594

Nuestro circuito integrado excitador de visualizadores fluorescentes de vacío NE/SA594, ofrece a los diseñadores una solución muy efectiva para visualizadores digitales o segmentados. Este circuito integrado consta de ocho excitadores y una red de polarización. Las entradas son compatibles con todas las entradas lógicas, por ejemplo circuitería TTL, DTL, NMOS, PMOS y CMOS, y por tanto el margen de tensión de entrada es —0,3 V a + 20 V. En el chip se incluye un circuito activo con salida de emisor. El circuito minimiza las sombras y proporciona una trayectoria de baja impedancia que acorta el tiempo necesario para descargar la corriente del segmento. La resistencia de emisor incluida en el chip elimina la necesidad de componentes externos en la mayoría de aplicaciones de visualización fluorescente.

El NE/SA594 está diseñado para funcionar con un amplio margen de tensiones de alimentación entre 4,75 y 40°C. Los excitadores tienen una tensión de ruptura de 45 V por salida y la máxima corriente de salida en cualquiera de ellas es de 50 mA ó 200 mA en total. La máxima disipación de potencia es 800 mW a 25°C. El NE594 tiene un margen de temperatura de funcionamiento de 0° a + 70°C. El SA594, diseñado especialmente para aplicaciones en el automóvil, tiene un margen de temperatura de funcionamiento de —40° a + 85°C.

El conmutador perfecto

La serie BTW58 de conmutadores rápidos bloqueables por puerta (GTO) es la primera de una nueva tecnologia que combina la alta tensión de bloqueo de los tiristores y su facilidad de gobierno por puerta con la rápida conmutación de los transistores bipolares y darlington. Es el semiconductor que se aproxima más a un conmutador perfecto.

El BTW58 es un dispositivo rápido, de tres terminales y cuatro capas PNPN, de construcción similar a la de los tiristores convencionales. De la misma forma que los tiristores y los tiristores asimétricos (ASCR), el BTW58 puede cebarse mediante una exitación positiva de puerta y, al igual que los transistores, puede bloquearse mediante una excitación negativa de puerta.

La estructura de cuatro capas soporta una tensión en bloqueo inherentemente alta; el nuevo BTW58 está disponible en versiones de 1.500 V, 1.300 V y 1.000 V.

Con una baja excitación de puerta de unos 100 mA el BTW58 puede conmutar una corriente de 5 A. No obstante, puede conducir 50 A sin dañarse y puede protegerse con un fusible.

El BTW58 tiene un tiempo de almacenamiento bajo comparado con un transistor de alta tensión. Se bloquea completamente en un tiempo típicamente inferior a 0,5μs, lo que le hace aventajar a los dispositivos bipolares de alta tensión y a los tiristores.

Este dispositivo es adecuado para una amplia variedad de aplicaciones: fuentes de alimentación industriales, inversores, encendido electrónico del automóvil, control de motores y de potencia en aplicaciones domésticas, fuentes de alimentación para audio y TV y desviación de línea.

Para facilitar su uso, el BTW58 se suministra con un encapsulado plástico TO-220AB.

Nuevo tubo indicador de gas

La altura de 25,4 mm de nuestro nuevo indicador de siete segmentos, ZM1560, lo hace ideal para máquinas recreativas y para equipos de control numérico donde se desea números brillantes y de fácil lectura. El ZM1560 es un dispositivo de gas de cátodo frío en un encapsulado plano y con larga vida; tiene un punto decimal en la parte inferior derecha del carácter para los casos en que sea necesario. Para aplicaciones de control numérico, está ahora en desarrollo otro tubo visualizador con signo más/menos. El ZM1560 tiene patillas estañadas para insertarlo directamente en una placa de circuito impreso. Las patillas están separadas 2,54 mm y situadas de forma tal que los dispositivos pueden montarse uno al lado de otro con gran ahorro de espacio. La anchura de una década con dos tubos alineados es de 25,4 mm mínimo.

El ZM1560 encendido tiene una luz elevada de color naranja brillante, lo que permite tener visualizadores económicos de gran visibilidad.

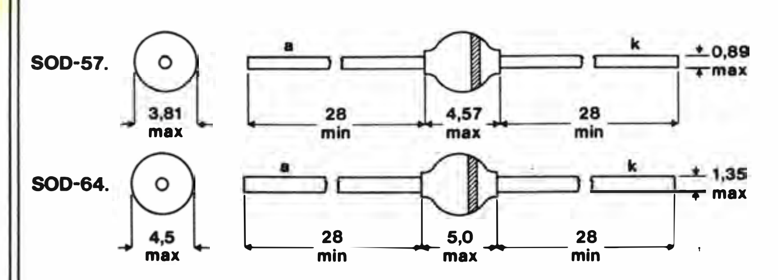
Diodos rectificadores en cápsula de vidrio

COPRESA presenta una nueva gama de diodos rectificadores en cápsula de vidrio. Diseñados para sustituir a los diodos de plástico existentes, los nuevos tipos tienen mayor margen de tensión, mejores prestaciones e incluso mejores características de calidad. Estos diodos tienen también las propiedades de los de avalancha y por tanto pueden soportar picos inversos.

Esta gama comprende cuatro nuevas series de diodos de recuperación rápida. el BYV95, BYV96, BYW95 y BYW96. Estos tipos se complementan con la gama existente: BYW54/56, 1N5060/62 y BY228. Los valores nominales de máxima tensión directa son de 1,5 A para el BYV95 y BYV96 y de 3 A para el BYW95 y BYW96.

Los diodos BYV95 y BYW95 se suministran en tres versiones A, B y C con valores nominales de tensión inversa de 200 V, 400 V y 600 V, respectivamente. El tiempo de recuperación inversa para estos diodos es menor que 250μs.

Los diodos BYV96 y BYW96 se suministran en dos versiones D y E con valores nominales de tensión inversa de 800 V y 1000 V, respectivamente, y un tiempo de recuperación inversa menor que 300 ns.



La banda rayada indica el cátodo.
Dimensiones en mm.

Indice del volumen 19